



Etude, réalisation et caractérisation du transistor à ionisation par impact (I-MOS)

Frédéric Mayer

► To cite this version:

Frédéric Mayer. Etude, réalisation et caractérisation du transistor à ionisation par impact (I-MOS). Physique [physics]. Université Joseph Fourier; Université Joseph-Fourier - Grenoble I, 2008. Français. NNT : . tel-00341292

HAL Id: tel-00341292

<https://theses.hal.science/tel-00341292>

Submitted on 24 Nov 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université Joseph Fourier - Grenoble

THESE

Pour obtenir le grade de Docteur de l'université Joseph Fourier de Grenoble

Ecole Doctorale : *Electronique, Electrotechnique, Automatique et Traitement du Signal (EEATS)*

Spécialité : *Micro et Nano Electronique*

Par

Frédéric MAYER

Etude, Réalisation et Caractérisation du Transistor à Ionisation par Impact (I-MOS)

Directeur de Thèse : Gilbert Vincent

Co-encadrants : Laurent Clavelier (oct. 2005 - fév. 2007)

Cyrille Le Royer (fév. 2007 – oct. 2008)

Soutenue le 3 octobre 2008 devant le jury composé de :

Rapporteurs : Alexandre Zaslavsky, Professeur à l'Université de Brown (USA)

Adrain Ionescu, Professeur à l'EPFL (Suisse)

Examineurs : Amara Amara, Professeur à l'ISEP, Paris

Pierre Gentil, Professeur à l'INPG, Grenoble

Gilbert Vincent, Professeur à l'UJF, Grenoble

Cyrille Le Royer, Ingénieur CEA-LETI, Grenoble

Thèse préparée au CEA-LETI.

*« Rien ne vaut la recherche lorsqu'on
veut trouver quelque chose. »*

J. R. R. Tolkien
Bilbo le Hobbit

Remerciements

Ce travail a été réalisé au Laboratoire d'Electronique et de Technologie de l'Information (LETI) du CEA - Grenoble dirigé par M. Laurent Malier. Je tiens à le remercier ainsi que M. Olivier Demolliens, chef du département D2NT et M. Simon Deleonibus, chef du laboratoire LNDE, de m'avoir accueilli durant cette thèse.

J'exprime ma reconnaissance à M. Alexandre Zaslavsky de l'Université de Brown (Providence, Rhode Island, U.S.A.) ainsi qu'à M. Adrian Ionescu de l'Ecole Polytechnique Fédérale de Lausanne (Suisse) d'avoir accepté d'être rapporteurs pour cette thèse. Leurs précieuses remarques m'ont permis d'améliorer la qualité de ce manuscrit. Ma reconnaissance va aussi à M. Amara Amara de l'Institut Supérieur d'Electronique de Paris (ISEP) pour avoir accepté d'être examinateur et à M. Gilbert Vincent de l'Université Joseph Fourier (Grenoble) pour avoir assuré la direction universitaire de cette thèse.

Je tiens à remercier particulièrement M. Pierre Gentil de l'Institut Polytechnique de Grenoble (INPG) pour l'honneur qu'il m'a fait d'accepter la présidence du jury.

Ma reconnaissance va également à M. Laurent Clavelier et M. Cyrille Le Royer, qui ont encadré chacun leur tour cette thèse au quotidien, chacun avec leur caractère propre... Je les remercie sincèrement pour leur soutien et l'aide qu'ils m'ont apportés tout au long de ce travail. Ce fut un réel plaisir de travailler à leur côté.

Je suis particulièrement reconnaissant à l'équipe de simulation du LETI pour l'aide prodiguée sur les outils SILVACO : Marie-Anne Jaud (spécialiste du 3D), Pierrette Rivallin et Pascal Scheiblin (implantation et dopage), Gilles Le Carval... ainsi qu'Alexandre Ferron de SILVACO pour avoir débloqué certaines situations difficiles.

Merci également à Fabienne Allain et Alain Toffoli (tests systématiques) qui ont toujours su trouver le temps et la patience pour effectuer des mesures qui étaient loin d'être conventionnelles... Merci aussi à Denis Blachier et son banc d'émission lumineuse qui ont apporté un peu de lumière sur le I-MOS.

Un grand merci aussi à Thierry Poiroux pour son aide et ses conseils avisés sur la modélisation analytique du I-MOS. Ma gratitude va aussi à Olivier Rozeau, qui a eu la patience de vérifier mon code VerilogA pour traquer les fameuses erreurs « code 6 », ainsi qu'à Gérard Billiot pour avoir élaboré des circuits à base de I-MOS.

Qu'aurait été cette thèse sans les gens de salle blanche, sans qui mes chers petits transistors I-MOS ne seraient jamais sortis ? Ces remerciements s'adressent aussi tout particulièrement à Bernard Prévitali, le magicien du MEB qui a toujours su obtenir les meilleurs clichés et à Claude Tabone (« *Y a pas de risque !!!* »), qui a toujours suivi et surveillé mes lots en salles, luttant contre vents et marées pour les faire avancer le plus vite possible...

Comment ne pas évoquer mes colocataires du bureau 416, qui m'ont accompagné durant toute cette thèse pour certains, un peu moins de temps pour d'autres ? Ou plutôt devrais-je dire les générations de locataires qui se sont succédées dans ce bureau mythique. Loin dans le passé, au-delà des brumes du temps, on retrouve Gab et Lucas, qui sont maintenant permanents, mais qui poussent toujours un soupir de nostalgie en revenant dans ce bureau. Il y a ensuite les anciens colocataires, Romain (spécialiste des tacles musclés...), Steph (la poète du groupe et accessoirement la seule fille que le bureau 416 ait connue pendant des années) et Atsushi (qui n'a jamais réussi à se remettre du décalage horaire avec le Japon). La génération 2005-2008 : Vince (gentil organisateur d'événements sportifs, mais pour qui marcher 10m dans la neige est un obstacle insurmontable). Et finalement, les petits nouveaux : Jean Paul et sa chocolaterie (trésorier et gestionnaire du stock de sucreries entreposées dans le frigo), Guillaume, dit *pas d'bol* (« *pourquoi mon disque dur a grillé le jour où j'ai effacé mes sauvegardes de ma clé USB ?* »), et Louis (gestionnaire du café, ben oui, le bureau 416 officiait un peu de bistrot...). Ne pas oublier aussi Milène, stagiaire de son état et future locatrice au 416 !

Evidemment, d'autres compagnons d'arme rôdaient dans les coins les plus obscurs du bâtiment 4123 : Estelle et sa plante verte, Marc et ses montages Photoshop, Perrine ma soeur de thèse (même si papa Laurent s'en est allé), Emilie, Alex, Michael (vive les chamois et les marmottes...), Jyotshna, Cécilia, Sophie, Tizianna...

La thèse, c'est aussi du sport avec entraînement de foot tous les mardi soir à Fontaine : les début furent difficiles (oui, d'accord Vince, je traînais des pieds...), mais je suis maintenant sûr d'y retourner même après la thèse, ne serait-ce que pour revoir tout le monde...

Et merci encore à ceux qui hors du cadre professionnel m'ont aidé à rendre ces trois années plus agréables : Jean, Lia, Anne Claire (merci pour les soirées jeux), Cédric (reviens sur Grenoble, Paris c'est pas bien !), Hélène, Mathieu, Julien, Céline, Benoît (merci pour les soirées passées à Paris), Slavko.... Et un dernier grand merci à Elodie qui m'accompagné et soutenu tout au long de ces années, ainsi qu'à mes parents et à mon frère qui ont su m'apporter leur confiance depuis ma plus tendre enfance.

Sommaire général

Table des abréviations et des constantes	4
Introduction Générale	6
Chapitre 1 <i>Problématique et état de l'art des dispositifs alternatifs</i>	8
I Le MOSFET : ses compromis et ses limites	10
I.1 Compromis entre les différentes grandeurs électriques	10
I.2 S : limite théorique et valeurs pratiques	11
I.3 Avantage d'une pente sous le seuil inférieure à 60mV/dec dans un environnement circuit	12
II Etat de l'art des architectures innovantes permettant une pente sous le seuil inférieure à 60mV/dec	13
II.1 Architecture de rupture	13
II.2 Structure à injection alternative de porteurs	15
II.3 Structure à gain interne	17
III Conclusions du chapitre	22
Chapitre 2 <i>Etude du I-MOS par simulations numériques</i>	27
I Description de la physique mis en jeu	30
I.1 Ionisation par Impact	30
I.2 Effet Tunnel Bande à Bande	32
II Choix des modèles pour la simulation TCAD	33
II.1 Structure Simulée	33
II.2 Ionisation par Impact	34
II.3 Effet Tunnel Bande à Bande	35
II.4 Modèle de Transport	35
II.5 Température du réseau	39
II.6 Conclusion sur le choix des modèles	40
III Etude du fonctionnement du I-MOS	41
III.1 Commutation ON/OFF	41
III.2 Localisation de l'avalanche	45
III.3 Autres modes d'opération	49
III.4 Conclusion sur le fonctionnement du I-MOS	50
IV Etude paramétrique du I-MOS	51
IV.1 Impact sur la tension d'avalanche	51
IV.2 Impact sur le courant à l'état passant	54
IV.3 Impact sur la pente sous le seuil	56
IV.4 Influence du dopage de la zone intrinsèque Nres	57

	IV.5	Influence du profil de dopage côté source	57
V		Impact du matériau sur les performances	57
	V.1	Comparaison Si/Ge	57
	V.2	Réalité technologique : les contraintes du Ge	60
	V.3	$\text{Si}_{1-x}\text{Ge}_x\text{OI}$	61
	V.4	Simulation du I-MOS sur GeOI	62
VI		Conclusions du chapitre	65
VII		Annexes	67
	VII.1	L'équation de Boltzmann	67
	VII.2	Les modèles de transport hydrodynamiques	67
	VII.3	Mobilité CVT de Lombardi	68
Chapitre 3		Réalisation technologique	73
I		Stratégie d'obtention de la zone intrinsèque	75
	I.1	Architecture 3D : épitaxie source/drain	75
	I.2	Espaceur	76
	I.3	Désalignement des niveaux d'implantation	77
	I.4	Avantage et Inconvénient de chaque méthode	78
II		Procédé de réalisations technologiques	78
	II.1	Réalisation sur substrats « xOI »	79
	II.2	Proposition d'une réalisation innovante	82
III		Substrats Innovants : GeOI et le $\text{Si}_{1-x}\text{Ge}_x\text{OI}$	84
	III.1	Réalisation de substrat	84
	III.2	Spécificités technologiques	86
IV		Conclusions du chapitre	88
Chapitre 4		Caractérisation électrique du I-MOS	94
I		Introduction	97
	I.1	Objectif du chapitre	97
	I.2	Récapitulatif des variantes technologiques	97
II		Etude des MOSFET co-intégrés	98
	II.1	Brève analyse des performances des MOSFET	98
III		Etude des I-MOS	101
	III.1	Caractéristique $I_D(V_{GS})$ des I-MOS sur SOI épais	102
	III.2	Etude des différentes variantes étudiées	106
	III.3	Localisation expérimentale de l'avalanche	108
IV		Fiabilité du I-MOS	114
	IV.1	Porteurs chauds	114
	IV.2	Effet 3D : I-MOS parasites	118
	IV.3	Limitation dynamique du I-MOS	126
V		Etude des transistors à effet tunnel (TFET)	126

	V.1	Fonctionnement du TFET : $ID(VGS)$, $ID(VSD)$	127
	V.2	Etude des différentes variantes technologiques	130
VI		Conclusions du chapitre	132
Chapitre 5	<i>Modélisations analytique et compacte de I-MOS :</i>		
		<i>Application aux simulations de circuits à base de I-MOS</i>	<i>137</i>
I		Modélisation analytique	139
	I.1	Contexte et état de l’art	139
	I.2	Définition de la structure à modéliser	139
	I.3	Principe générale de la modélisation	140
	I.4	Potentiel de surface	141
	I.5	Champ électrique latéral	143
	I.6	Transport dans le I-MOS	155
II		Simulation circuit	161
	II.1	Marges de bruit statique et dynamique	161
	II.2	Inverseur	162
	II.3	Miroir de courant	164
	II.4	Porte NAND	166
	II.5	Porte NOR	169
III		Conclusions du chapitre	170
		Conclusions et perspectives	174
		Bibliographie de l’auteur	176

Table des abréviations et des constantes

Symbole	Commentaire	Valeurs numériques	Unité
q	Charge élémentaire	$1,60 \cdot 10^{-19}$	C
k	Constante de Boltzmann	$8,62 \cdot 10^{-5}$ $1,38 \cdot 10^{-23}$	eV.K ⁻¹ J.K ⁻¹
ϵ_0	Permittivité du vide	$8,85 \cdot 10^{-12}$	F.m ⁻¹
ϵ_{Si}	Permittivité relative du Si	11,7	Sans dimension
ϵ_{SiO_2}	Permittivité relative du SiO ₂	4,4	Sans dimension

Abréviation	Signification	Unité	
		Système International	Usuelle
C_{ox}, C_{dep}, C_{it}	Capacité par unité de surface de l'oxyde de grille, de déplétion, induit par les états d'interface	F. m ⁻²	F. cm ⁻²
D_p, D_n	Coefficient de diffusion pour les trous ou les électrons	m ² .s ⁻¹	cm ² .s ⁻¹
E, E_x	Champ électrique et sa composante horizontale	V.m ⁻¹	V.cm ⁻¹
E_g	Energie du gap	J	eV
g_m	Transconductance	S	mS
I_{OFF}, I_{ON}	Courant à l'état bloqué / passant, normalisé par rapport à la largeur du transistor	A.m ⁻¹	A.μm ⁻¹
J_{gr}, J_{diff}	Densité de courant de génération/recombinaison ou densité de courant d'une diode en inverse	A. m ⁻²	A. cm ⁻²
$L_{espaceur}$	Longueur de l'espaceur	m	nm
L_G, L_{TN}	Longueur de grille/ de la zone intrinsèque	m	μm
L_p, L_n	Longueur de diffusion des trous ou des électrons	m	μm
M	Intégrale d'ionisation	Sans dimension	
N_S, N_D, N_{res}	Niveau de dopage de la source, du drain ou de la zone intrinsèque	m ⁻³	cm ⁻³
p, n, n_i	Concentration de trous/ d'électrons/intrinsèque	m ⁻³	cm ⁻³
Q_{sc}	Charge dans le semiconducteur	C	C
S	Inverse de la pente sous le seuil; $S = \partial V_G / \partial \log I_D $	V/dec	mV/dec
T	Température du réseau	K	K
T_{ox}	Epaisseur de l'oxyde de grille	m	nm
T_{per}	Période du signal d'entrée	s	ns
T_{Si}, T_{Ge}	Epaisseur du film de Si ou de Ge	m	nm

ut	Potentiel thermique ($k.T/q$)	V	V
V	Potentiel dans le canal	V	V
V_{BR}	Tension d'avalanche	V	V
V_D, V_S, V_G, V_B	Potentiel de drain, source, grille, face arrière	V	V
V_{Seff}	Potentiel au bord de la grille du I-MOS côté source	V	V
V_{GT}	Tension de seuil	V	V
W	Largeur du transistor	m	μm
α_p, α_n	Coefficient d'ionisation par impact pour les trous ou les électrons	m^{-1}	cm^{-1}
τ	Durée de vie des porteurs	s	s
τ_p	Temps de propagation porte à porte	s	ps
Φ_F	Niveau de Fermi	J	eV
Φ_M, Φ_{Si}	Travail de sortie du métal ou du semiconducteur	J	eV
Ψ_0	Potentiel de surface dans le I-MOS référencé par rapport au niveau de Fermi	V	eV ou V
$\Psi_I, \Psi_{II}, \Psi_{III}$	Potentiel solution de l'équation de Poisson	V	eV ou V
ψ_s	Terme générique pour le potentiel de surface	V	eV ou V
$\Psi_{Sinversionforte}, \Psi_{Sinversionfaible}$	Potentiel de surface en inversion forte et faible	V	eV ou V
μ_p, μ_n	Mobilité des trous ou des électrons	$m^2.V^{-1}.s^{-1}$	$cm^2.V^{-1}.s^{-1}$

Abréviation	Signification
BOx	Oxyde Enterré (Buried Oxide)
BtBt	Effet tunnel bande à bande (Band-To-Band-Tunneling)
DGMOS	MOSFET double grille (Double Gate MOS)
DIBL	Abaissement de barrière de potentiel induit par le drain (Drain Induced Barrier Lowering)
FIB	Faisceau ionique focalisé (Focused Ion Beam)
FinFET	~DGMOS vertical (Fin Field Effect Transistor)
GeOI	Germanium sur isolant (Germanium On Insulator)
HDD	Dopage principal (High Doped Drain)
I-MOS	Transistor à ionisation par impact (Impact ionization MOS)
ITRS	International Technology Roadmap for Semiconductors
LDD	Extension (Low Doped Drain)
MEB	Microscope électronique à balayage
$Si_{1-x}Ge_xOI$	Alliage de SiGe avec 100.x% de germanium sur isolant
SOI	Silicium sur isolant (Silicon On Insulator)
SRAM	Mémoire statique à accès aléatoire (Static Random Access Memory)
TCAD	CAO pour la technologie (Technology Computer Aided Design)
TEM	Microscope électronique à transmission (Transmission Electron Microscope)
TFET	Transistor à effet tunnel (Tunneling Field Effect Transistor)

Introduction Générale

La microélectronique moderne se trouve aujourd'hui à un carrefour : d'un côté une architecture MOSFET poussée dans ces derniers retranchements (« More Moore ») et de l'autre côté la recherche fébrile d'un remplaçant potentiel (« More than Moore »). Idéalement, cette nouvelle architecture « post CMOS » doit être compatible avec la technologie CMOS, afin de minimiser les coûts de développement et de production. Une compatibilité avec la filière CMOS est d'autant plus importante qu'il est peu probable que cette nouvelle architecture remplace entièrement le CMOS. Il paraît plus vraisemblable que cette nouvelle architecture ne sera introduite que ponctuellement à certains points névralgiques du circuit pour combler une déficience du MOSFET. Parmi les différentes architectures innovantes, l'université de Stanford a proposé en 2002 le transistor à ionisation par impact (I-MOS) [Gopalakrishnan 02]. La particularité de ce dispositif réside dans sa faible pente sous le seuil, qui est inférieure à 60mV/dec à température ambiante. A priori, le I-MOS présente donc un meilleur compromis entre les courants passant, bloqué et la tension de seuil. L'objectif de cette thèse est d'évaluer les performances du I-MOS comme candidat potentiel à « l'après CMOS », à la fois du point de vue du dispositif unitaire et dans un environnement circuit.

Le premier chapitre de cette thèse est consacré aux limitations des transistors MOSFET : limitation intrinsèque de sa pente sous le seuil, dégradation du courant à l'état bloqué, effets de canaux courts... Dans la deuxième partie de ce chapitre, nous présenterons les différentes architectures susceptibles de pallier aux lacunes du MOSFET, en présentant les points forts et les faiblesses des transistors alternatifs, dont le I-MOS fait parti. Son architecture est un compromis entre la diode PiN et le transistor MOSFET classique, puisqu'il s'agit d'une diode PiN dont la zone intrinsèque est partiellement recouverte par une grille.

Nous nous focalisons ensuite dans le deuxième chapitre sur l'étude du fonctionnement du transistor à ionisation par impact par des simulations numériques (TCAD) : localisation de l'avalanche, polarisations nominales, tension d'avalanche... Pour analyser la sensibilité du I-MOS aux différentes grandeurs géométriques (longueur de grille, de la zone intrinsèque...) et technologiques (dopage, travail de sortie...), une étude paramétrique TCAD exhaustive a été menée. La dernière partie de ce chapitre est consacrée à l'introduction de nouveaux substrats à base de matériaux à faibles largeurs de bande interdite afin d'augmenter le taux d'ionisation par impact. Les substrats considérés sont le SiGeOI et le GeOI, qui cumulent les avantages du matériau à faible bande interdite avec l'architecture « sur isolant ».

Le troisième chapitre présente les réalisations technologiques du LETI : des I-MOS à la fois sur SOI, SiGeOI et GeOI. Les variantes technologiques réalisées durant cette thèse sont détaillées, ainsi que les différentes architectures possibles pour le I-MOS. De plus, un procédé technologique innovant est présenté, qui permet de réaliser des transistors asymétriques (type I-MOS, TFET...) avec une grille nanométrique à partir d'une litho Deep UV. Ce procédé a fait l'objet d'un dépôt de brevet.

Les mesures électriques des I-MOS fabriqués durant cette thèse sont présentées au chapitre quatre. Les I-MOS ont été testés avec succès en mode ionisation par impact, ainsi qu'en mode tunnel bande à bande. Nous avons aussi réalisé une étude sur la fiabilité du dispositif et mis en évidence les effets 3D parasites qui dégradent certaines performances du I-MOS. Grâce à la co-intégration des MOSFET avec les I-MOS, nous avons pu directement comparer les performances des deux dispositifs et vérifier que le I-MOS permettait d'atteindre de pente sous le seuil de l'ordre de $\sim 2\text{mV/dec}$.

Seul des dispositifs isolés ont été réalisés. Afin d'étudier le I-MOS dans un environnement circuit, nous avons donc développé dans le chapitre cinq un modèle analytique du I-MOS. Ce modèle a ensuite été intégré dans un simulateur de type SPICE pour réaliser des simulations de circuits à base de I-MOS. Dans un premier temps, nous avons étudié des circuits simples comme le miroir de courant et l'inverseur. Dans un second temps, nous avons proposé et analysé une architecture de porte NAND et NOR mieux adaptée aux spécificités du I-MOS que le « design » MOSFET standard.

Au cours de cette thèse, nous avons pu évaluer l'architecture I-MOS, depuis le dispositif jusqu'au circuit. Nous avons analysé l'impact de différents matériaux semiconducteur sur les performances du I-MOS. Ainsi, nous avons pu vérifier le concept de transistor à ionisation par impact et découvrir les spécificités et les faiblesses de cette architecture nouvelle. Soulignons dès à présent qu'une telle étude n'a pu être menée à bien qu'avec une étroite collaboration entre les équipes en salle blanche, de caractérisation et de simulation.

[Gopalakrishnan 02] K. Gopalakrishnan, P.B. Griffin and J. Plummer, "I-MOS: A Novel Semiconductor Device with a Subthreshold Slope lower than kT/q ", IEEE International Electron Devices Meeting, p. 289-292, December 2002.

Chapitre 1

Problématique et état de l'art des dispositifs alternatifs

L'objectif de ce chapitre est d'aborder brièvement l'architecture MOSFET traditionnelle, ainsi que ses limites. Nous présenterons ensuite les architectures innovantes de transistors permettant de s'affranchir de la limite traditionnelle des 60mV/dec ($\sim k.T/q$). Ces architectures peuvent se classer en trois catégories : les architectures de rupture, les architectures à injection alternative de porteurs et les architectures à gain interne. Le I-MOS se classe dans cette dernière catégorie. Les avantages et les inconvénients de chaque dispositif sont discutés.

Sommaire du Chapitre 1

I	Le MOSFET : ses compromis et ses limites	10
I.1	Compromis entre les différentes grandeurs électriques	10
I.2	S : limite théorique et valeurs pratiques	11
I.3	Avantage d'une pente sous le seuil inférieure à 60mV/dec dans un environnement circuit	12
II	Etat de l'art des architectures innovantes permettant une pente sous le seuil inférieure à 60mV/dec.....	13
II.1	Architecture de rupture.....	13
II.1.a	MOSFET à grille suspendue	13
II.1.b	Matériaux à transition de Mott.....	14
II.2	Structure à injection alternative de porteurs	15
II.2.a	MOSFET Schottky.....	16
II.2.b	TFET	16
II.3	Structure à gain interne	17
II.3.a	Structure Thyristor.....	17
II.3.b	Effet kink : PD SOI (MOSFET SOI partiellement déserté).....	18
II.3.c	PDBFET (Planar Doped Barrier MOSFET).....	19
II.3.d	I-MOS.....	20
III	Conclusions du chapitre	22

I Le MOSFET : ses compromis et ses limites

I.1 Compromis entre les différentes grandeurs électriques

Les performances statiques d'un transistor MOSFET peuvent schématiquement se résumer à quatre grandeurs caractéristiques: le courant à l'état bloqué I_{OFF} , le courant à l'état passant I_{ON} , la tension de seuil V_{GT} et l'inverse de la pente sous le seuil S . Nous appellerons V_{DD} la tension d'alimentation. L'objectif de ce paragraphe est de rappeler brièvement la définition de chaque grandeur et leurs liens.

La **Figure I-1** représente le schéma d'un n-MOSFET, ainsi que la caractéristique $I_D(V_{GS})$ (à $V_{DS}=V_{DD}$) correspondante sur laquelle I_{OFF} , I_{ON} , V_{GT} et S sont représentés :

- Le courant à l'état bloqué I_{OFF} est défini à $V_{GS}=0V$. Ce courant représente la fuite du transistor.
- La tension de seuil V_{GT} d'un MOSFET représente la tension V_{GS} séparant l'état passant de l'état bloqué.
- L'inverse de la pente sous le seuil S définit la tension de grille à appliquer pour faire varier le courant de drain d'une décade. Par abus de langage, on parlera souvent de la pente sous le seuil pour désigner S .
- Le courant à l'état passant I_{ON} représente le courant du transistor en fonctionnement nominal. En technologie CMOS, il est défini à $V_{GS}=V_{DS}=V_{DD}$ [Taur 98]. La vitesse de fonctionnement d'un circuit dépend directement de ce courant [Sze].

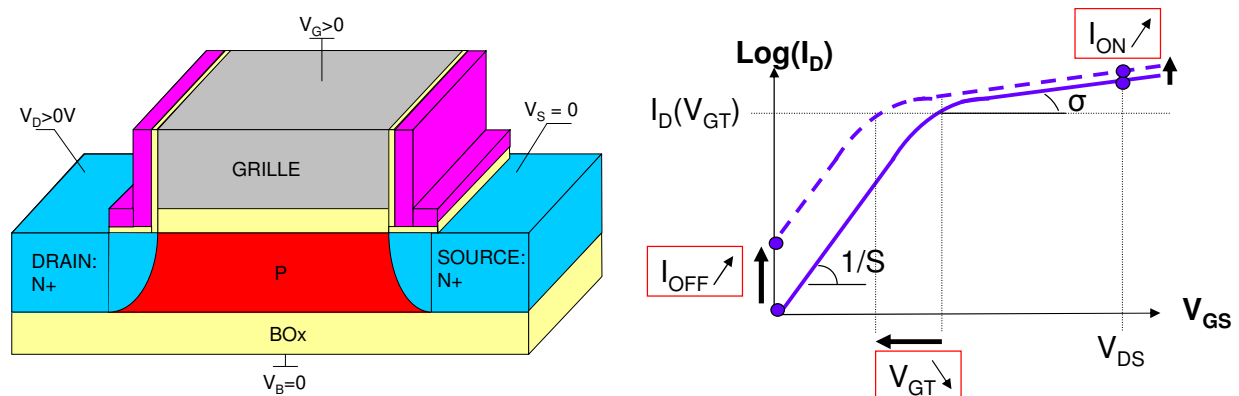


Figure I-1 : (gauche) Structure n-MOSFET sur SOI avec sa stratégie de polarisation. (droite) Caractéristique $I_D(V_{GS})$ correspondante illustrant le compromis I_{ON} , I_{OFF} et V_{GT} . La réduction des dimensions du transistor s'accompagne d'une diminution de la tension d'alimentation et donc de V_{GT} .

La caractéristique $I_D(V_{GS})$ de la Figure I-1 montre que I_{OFF} , $I_D(V_{GT})$, V_{GT} et S sont liées par la relation (I-1). Au premier ordre, on peut écrire que $I_{ON}/I_{OFF} \sim I_D(V_{GT})/I_{OFF}$.

$$\frac{I_D(V_{GT})}{I_{OFF}} = 10^{\frac{V_{GT}}{S}} \quad (I-1)$$

Les grandeurs I_{ON} , I_{OFF} et V_{GT} peuvent être imposées par les paramètres technologiques appropriés (L_G , dopage du canal...). Cependant S est limité par le phénomène de diffusion comme on le verra dans le paragraphe suivant. On ne dispose donc que de deux degrés de liberté, ce qui impose un compromis entre les performances circuit (dominées par I_{ON} et V_{GT}) et la consommation d'énergie (dominée par I_{OFF}). C'est pour cela que l'ITRS [ITRS 08] prévoit trois feuilles de route : une destinée aux applications hautes performances (supercalculateurs scientifiques, PC de salon...), une autre destinée aux applications mobiles nécessitant une relativement grande vitesse de calcul (ordinateur portable par exemple) et une dernière destinée aux applications à très faible puissance de veille (téléphones portables...).

I.2 S : limite théorique et valeurs pratiques

L'objectif de ce paragraphe est d'étudier la limite théorique de la pente sous le seuil et de donner quelques ordres de grandeurs pour différentes technologies.

Dans le cas du MOSFET (et de toutes les architectures dérivées : FinFET, DGMOS...), le courant à $V_{GS} < V_{GT}$ est un courant de diffusion. Intrinsèquement, ce phénomène physique impose une limite théorique à S (voir équation (I-2) [Sze]).

$$S_{\text{théorique}} = \ln 10 \cdot \frac{k \cdot T}{q} \approx 60 \text{ mV/déc à } T=300\text{K} \quad (I-2)$$

De plus, l'architecture du dispositif considéré et la qualité des interfaces entre les différents matériaux viennent augmenter cette valeur théorique. On démontre alors que S peut s'exprimer de la façon suivant (I-3) [Sze]:

$$S_{\text{réel}} = S_{\text{théorique}} \cdot \left(1 + \frac{C_{it} + C_{\text{dep}}}{C_{ox}}\right) = \frac{k \cdot T}{q} \cdot \ln(10) \cdot \left(1 + \frac{C_{it} + C_{\text{dep}}}{C_{ox}}\right) \quad (I-3)$$

Où C_{dep} est la capacité de déplétion et C_{ox} la capacité de l'oxyde de grille et C_{it} la capacité associée aux états d'interface.

Pour une technologie sur substrat Si massif (« bulk »), S est de l'ordre de 75 mV/déc [Subramanian 06] à température ambiante. L'utilisation du SOI permet de diminuer C_{dep} et donc de diminuer S jusqu'à 65 mV/déc environ (voir les MOSFET caractérisés au chapitre IV). Cependant, dans un circuit, la température est plus élevée et peut atteindre entre 50 et 90°C, ce qui augmente encore S .

Le calcul de S est basé sur le fait que le courant est dominé par la diffusion. Si on veut réduire S sous la limite des 60 mV/déc, il faut changer d'architecture afin de mettre en avant d'autres phénomènes physiques. Dans le paragraphe II, nous verrons plusieurs dispositifs qui utilisent soit l'ionisation par impact soit l'effet tunnel bande à bande pour s'affranchir de cette contrainte, voire d'autres approches plus « exotiques ».

I.3 Avantage d'une pente sous le seuil inférieure à 60mV/dec dans un environnement circuit

L'TTRS [TTRS 08] s'appuie sur une technologie MOSFET classique. Elle ne prévoit donc pas de $S < 60\text{mV/dec}$. Quel intérêt une telle pente peut-elle présenter ? Ce paragraphe va tenter d'apporter quelques éléments de réponse, aussi bien au niveau du transistor que du circuit.

Au niveau du transistor, l'intérêt d'une inverse de pente sous le seuil inférieure à 60mV/dec apparaît dans la relation (I-1) du paragraphe I.1. Une pente sous le seuil plus faible permet d'améliorer drastiquement le compromis haute performance / basse consommation d'énergie puisqu'il serait alors possible d'augmenter I_{ON} (en diminuant V_{GT}) sans augmenter I_{OFF} .

L'intérêt d'une pente plus faible dans les applications circuit a été étudié grâce à des simulations TCAD (CAO pour la technologie). Le choix de l'université de Séoul en terme d'architecture innovante s'est porté sur le transistor à ionisation par impact (I-MOS, voir paragraphe II) [Choi 05]. Des inverseurs I-MOS ont été simulés, ainsi que des flip flop dans des cellules SRAM à 6 transistors. Les performances des technologies I-MOS et CMOS a ainsi pu être comparée. Il a été démontré que l'utilisation de I-MOS permet de réduire de 75 % le courant de commutation des inverseurs et d'améliorer de +22% la marge de bruit statique dans les « flip flop » (voir **Figure I-2**).

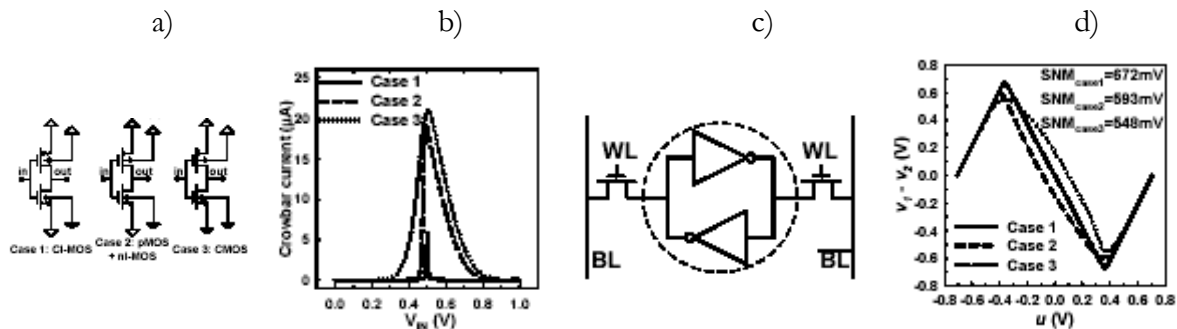


Figure I-2 : Simulation TCAD [Choi 05] a) 3 cas pour les inverseurs. Cas 1 : CI-MOS. Cas 2 : Hybride MOS/I-MOS. Cas 3 : CMOS. b) Comparaison des courants de commutation pour les trois cas présentés. c) Schéma de la cellule SRAM. d) Marge de bruit statique pour les « flip flop » tracé dans un repère tourné à 45° [Seevinck 87], pour chaque cas.

Que ce soit au niveau du transistor ou au niveau du circuit, une pente sous le seuil inférieure à 60mV/dec s'avère intéressante : amélioration du compromis I_{ON} , I_{OFF} , V_{GT} , augmentation de la stabilité des cellules SRAM et diminution du courant de commutation des inverseurs. Il reste maintenant à définir les architectures et la physique permettant de s'affranchir de la limite des 60mV/dec .

II Etat de l'art des architectures innovantes permettant une pente sous le seuil inférieure à 60mV/dec

Pour s'affranchir de la limite des 60mV/dec à température ambiante, il y a trois possibilités : soit modifier l'injection des porteurs, soit augmenter la non linéarité des phénomènes mis en jeu en ajoutant un mécanisme de gain, soit en proposant une architecture de rupture avec les MOSFET conventionnels. Dans ce paragraphe, nous allons présenter un état de l'art des différentes possibilités présentées dans la littérature.

II.1 Architecture de rupture

II.1.a MOSFET à grille suspendue

Le MOSFET à grille suspendue date des années 60 [Newell 66]. Le principe consiste à intercaler une couche d'air entre l'oxyde de grille et la grille. La capacité totale C_{totale} entre la grille et le canal se décompose alors en deux capacités en série, la capacité d'oxyde classique C_{ox} et la capacité due à la couche d'air C_{air} (voir équation (II-1)). En appliquant une tension sur la grille, une force électromagnétique est créée qui attire la grille vers le canal, augmentant ainsi C_{air} . La grille se comporte alors comme une poutre (voir Schéma *Figure II-1 a*)).

$$C_{totale} = \frac{1}{1/C_{ox} + 1/C_{air}} \quad (II-1)$$

Des ressenties avancées technologiques permettant de créer plus facilement la couche d'air ont relancé l'intérêt de ce dispositif, comme par exemple le SON (Silicon On Nothing) [Jurczak 00]. Des études de modélisation et de simulations [Ionescu 02]-[Akarvardar 08] ont montré les avantages et les limites de ce dispositif. Le concept a aussi été validé expérimentalement [Abele 06]. La *Figure II-1 b*) représente des mesures $I_D(V_{GS})$ d'un MOSFET à grille suspendue avant et après un stress de 10^5 cycles. Ces mesures mettent en avant deux résultats : premièrement, les caractéristiques présentent un hystérésis et deuxièmement, le dispositif se dégrade peu après le stress et présente donc une bonne fiabilité.

De plus, la capacité variable C_{air} permet de diminuer la limite de la pente sous le seuil (expérimentalement, des valeurs de 2mV/dec ont été démontrées [Abele 05]). Ce dispositif présente cependant plusieurs lacunes :

- La bonne flexibilité de la poutre implique une grande longueur de grille ($L_G \sim 1-10\mu m$), ce qui empêche la réduction des dimensions.
- L'ajout de C_{air} entraîne une diminution du courant ON par rapport à un MOSFET classique de même géométrie.
- La vitesse de commutation ON/OFF est limitée par le temps de réponse de la partie mécanique $\sim 100MHz$ [Abele 06].
- Le rapport I_{ON}/I_{OFF} est faible (voir *Figure II-1*).

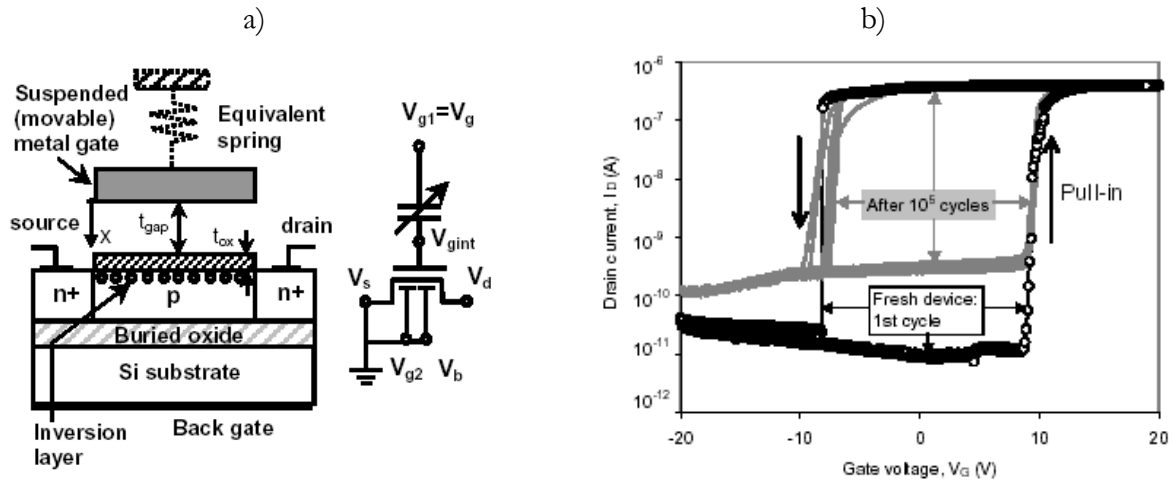


Figure II-1 : a) Structure du MOSFET à grille suspendue et son schéma électrique équivalent [Ionescu 02] b) Mesure d'une caractéristique $I_D(V_{GS})$ d'un MOSFET à grille suspendue ($L_G=60\mu m$, $W=10\mu m$, $V_{DS}=50mV$), avant et après un stress de 10^5 cycles [Abele 06].

II.1.b Matériaux à transition de Mott

Les matériaux utilisés classiquement dans l'industrie de la microélectronique peuvent être classés dans trois catégories : les métaux, les oxydes et les semiconducteurs. Il existe cependant certains matériaux comme par exemple les oxydes de Vanadium (V_2O_3 , VO_2 ...) qui possèdent la propriété d'appartenir à la fois à la catégorie des métaux et des oxydes selon la phase considérée [Mott 68]. Or il est possible d'opérer un changement de phase en faisant varier l'environnement auquel ils sont soumis (température, champ électrique...). Ces matériaux sont appelés des matériaux à transition de Mott en l'honneur du physicien du même nom, prix Nobel 1977.

Quelques résultats expérimentaux sont disponibles sur des structures de type transistor [Newns 98] (matériau de Mott utilisé: Cuprate $Y_{1-x}Pr_xBa_2Cu_3O_{7-\delta}$) - [Kim 04] (matériau de Mott utilisé : VO_2). La **Figure II-2** a) représente la structure réalisée [Kim 04]. La caractéristique $I_D(V_{DS})$ correspondante est représentée en b).

La difficulté de cette technologie réside dans la maîtrise du dépôt du VO_2 qui est bien moins bonne que celle du Si ou SiO_2 [Bétéille 99]. Les polarisations V_{DS} et V_{GS} appliquées sont de l'ordre de la dizaine de volts. Cela peut sembler beaucoup comparé à une technologie CMOS qui opère autour de 1V. Cependant, ces valeurs sont proches de celles utilisées pour le I-MOS comme nous le verrons ultérieurement. La physique mise en jeu dans les transistors à matériau de Mott est totalement différente de celle des MOSFET : à l'état bloqué, le matériau de Mott est dans une phase dans laquelle il se comporte comme un oxyde (donc à très forte résistivité) et lorsque le champ électrique appliqué est suffisamment fort, le matériau change de phase et devient un métal (donc à très faible résistivité). Ainsi la limite des 60mV/dec à température ambiante n'a plus de raison d'être. Cependant, aucune étude expérimentale ou théorique n'existe sur une éventuelle limite de la pente sous le seuil dans ce type de transistor. De plus, des problèmes de dégradation des caractéristiques ont été observés après mesures [Kim 04].

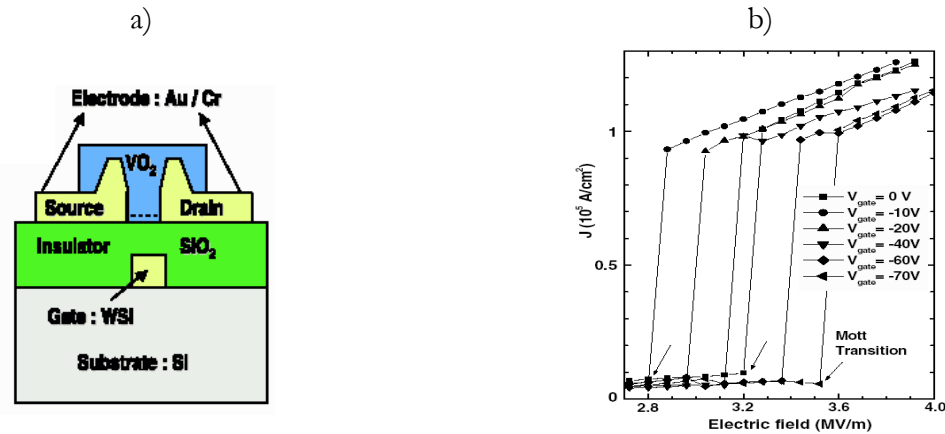


Figure II-2 : a) Structure de transistor à transition de Mott réalisée [Kim 04] avec $T_{ox}=250\text{nm}$, $T_{VO_2}=90\text{nm}$, $L_G=5\mu\text{m}$, $W=25\mu\text{m}$. b) Caractéristique $I_D(V_{DS})$ correspondante. Le champ électrique E_x peut être converti en V_{SD} par $L_G \cdot E_x$ (le graphique s'étend de 13.5V à 20V) [Kim 04].

II.2 Structure à injection alternative de porteurs

Dans un MOSFET classique, l'injection des porteurs est thermoionique mais c'est le transport des porteurs qui domine le courant. En modifiant le mécanisme d'injection, le facteur limitant est modifié, on s'affranchit alors de la limite des 60mV/dec. Cependant, une limitation du courant par l'injection plutôt que par le transport se traduit par des courants à l'état passant plus faibles comme nous le verrons dans la suite de ce paragraphe.

Le mécanisme d'injection présenté dans ce paragraphe est l'injection par effet de champ entre métal et semiconducteur ou par effet tunnel bande à bande entre matériaux semi-conducteurs. La **Figure II-3** illustre ces 2 effets à l'aide de schéma représentant les diagrammes d'énergies d'une jonction métal/semi-conducteur et semi-conducteur/semi-conducteur soumis à un fort champ électrique. Il y a alors une probabilité non nulle pour qu'un électron issu de la bande de valence du semi-conducteur ou de la bande de conduction du métal passe dans la bande de conduction du semiconducteur [Sze], créant ainsi une paire électron/trou. Plus de détails concernant ces effets sont donnés dans le chapitre II.

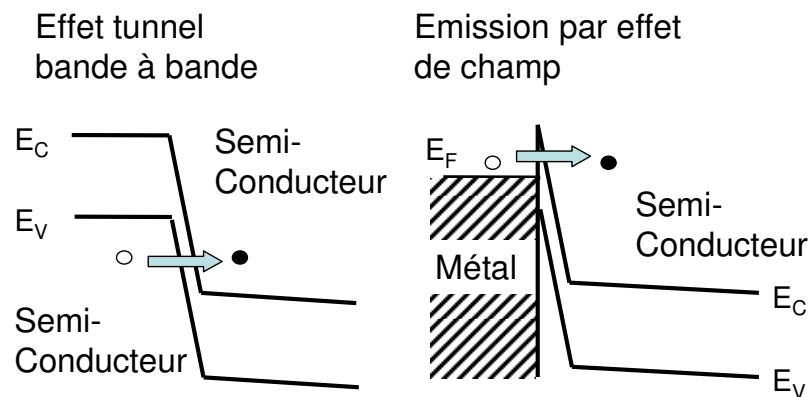


Figure II-3 : Illustration de la transition tunnel bande à bande et de l'émission par effet de champ par les diagrammes d'énergies.

II.2.a MOSFET Schottky

Dans un MOSFET Schottky [Koeneke 81], la source et le drain sont en métal. Les porteurs sont alors injectés par émission thermoïonique et/ou par effet tunnel selon la hauteur de barrière entre le métal et le semi-conducteur [Jang 03]. La diffusion des porteurs ne vient donc pas limiter la pente sous le seuil.

Ces dispositifs possèdent un autre avantage. En effet, il est beaucoup plus facile de créer des sources et des drains très fins en métal (par exemple par siliciuration) que par implantation ionique. Les MOSFET Schottky sont alors moins sensibles aux effets de canaux courts que des MOSFET conventionnels.

Cependant, aucune réalisation expérimentale jusqu'à ce jour n'a pu mettre en évidence une pente inférieure à 60mV/dec. De plus, il est difficile de trouver des siliciures adaptés pour les n-MOS Schottky. Récemment des siliciures YbSi_2 ont permis d'obtenir des ratios $I_{\text{ON}}/I_{\text{OFF}} \sim 10^7$ (avec $L_G = 4\mu\text{m}$) pour des n-MOS Schottky [Zhu 04a]. Pour les p-MOS Schottky, des ratios $I_{\text{ON}}/I_{\text{OFF}} \sim 10^8$ (avec $L_G = 4\mu\text{m}$) ont été démontrés avec un siliciure plus classique : PtSi [Zhu 04b]. Ces ratios sont encourageants mais encore insuffisants comparés aux MOSFET classiques.

Dernièrement, des développements de MOS Schottky sur GeOI ont été effectués pour s'affranchir des problèmes d'activation [Chui 05] et de diffusion [Chui 03] des dopants de type n et pour limiter le budget thermique. Cependant, à cause des problèmes d'ancrage du niveau de Fermi, seuls des p-MOSFET Schottky ont été démontrés [Li 06].

II.2.b TFET

Le TFET (Tunnel Field Effect Transistor) [Aydin 04] est basé sur une architecture de diode PiN. La zone intrinsèque est surmontée d'une grille sur toute la longueur (voir **Figure II-4 a**). Le principe de fonctionnement est le suivant : on polarise la diode en inverse créant ainsi une barrière de potentiel, puis on applique soit une tension de grille positive pour augmenter la probabilité de transition tunnel côté source (P+), soit une tension de grille négative pour l'augmenter côté drain (N+). Le transport est ensuite assuré par le champ électrique source/drain.

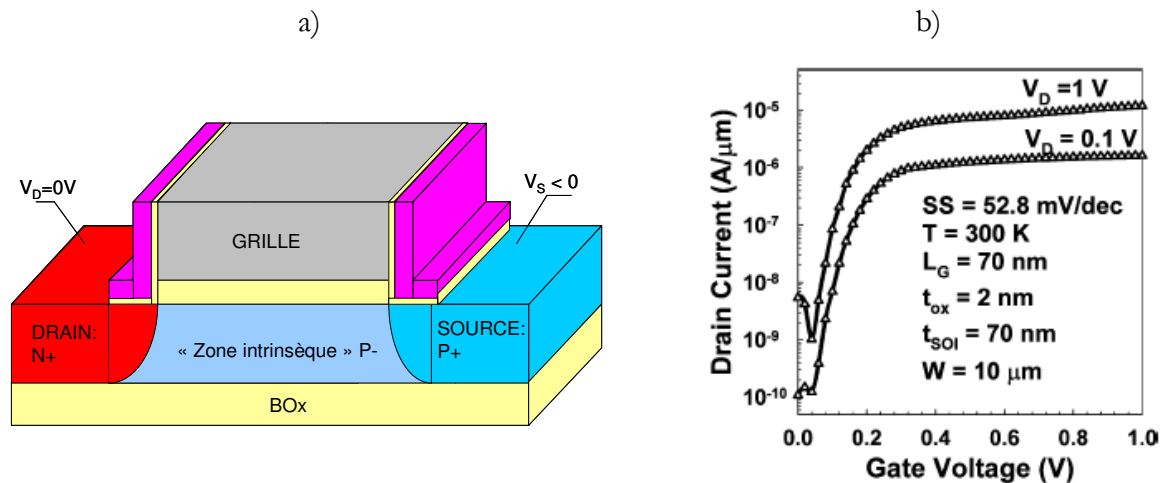


Figure II-4 : a) Structure TFET b) Caractéristiques expérimentales $I_D(V_{GS})$ d'un TFET sur SOI [Choi 07] présentant un $S_{\text{moy}} \sim 52\text{mV/dec}$.

En théorie, il n'y a pas de limite concernant la pente sous le seuil. Cependant, il faut faire très attention à la définition de S dans le 'TFET', car contrairement au MOSFET, S dépend fortement de V_{GS} [Bhuwalka 05]. Seul [Choi 07] a réalisé un 'TFET' avec une pente sous le seuil moyenne inférieure à 60mV/dec (expérimentalement : $S_{\text{moy}}=52\text{mV/dec}$, voir **Figure II-4 b**)). Nous reviendrons plus en détails sur le fonctionnement du 'TFET' dans le chapitre II.

II.3 Structure à gain interne

Nous allons présenter deux types de mécanisme permettant d'obtenir un fort gain. La première possibilité consiste à changer le phénomène physique mis en jeu comme par exemple la structure thyristor qui passe d'une physique de porteurs minoritaires à une physique de porteurs majoritaires. Ce genre de structure peut alors présenter une résistance dynamique négative (voir paragraphe II.3.a).

La seconde possibilité est l'utilisation d'un mécanisme d'amplification, comme par exemple l'ionisation par impact. La **Figure II-5** illustre ce phénomène. Dans un premier temps, le porteur (dans notre exemple un électron) acquiert une forte énergie grâce au champ électrique. Si l'énergie acquise est (au premier ordre) au moins égale à celle du gap, il peut alors céder son énergie à un électron de la bande de valence et le faire passer dans la bande de conduction. Une paire électron/trou est donc créée. Chaque porteur pourra à son tour être accéléré et engendrer d'autres paires : c'est l'avalanche [Sze]. De la même façon, le phénomène peut aussi être initié par des trous.

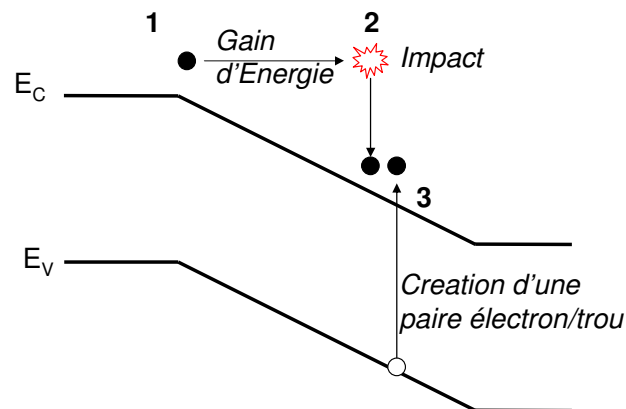


Figure II-5 : Illustration du phénomène d'ionisation par impact à l'aide du diagramme de bandes d'un semi-conducteur.

II.3.a Structure Thyristor

Le thyristor [Sze] est une structure PNPN (ou NPNP) constituée de trois jonctions (voir **Figure II-6 a**)). Ce dispositif possède 3 états :

- L'état bloqué lorsque la tension Anode-Cathode est telle que $V_{AC} < 0$, c'est-à-dire une polarisation de type inverse. A l'état bloqué, le dispositif peut supporter des milliers de volts.

- L'état direct bloqué lorsque $0 < V_{AC} < V_{seuil}$, seules deux jonctions sont alors en directes, tandis que la jonction du milieu reste en inverse. V_{seuil} dépend de la géométrie et du dopage du thyristor.
- L'état direct passant lorsque $V_{AC} > V_{seuil}$, les zones de charge d'espace de la jonction du milieu deviennent suffisamment grandes pour « relier » l'anode et la cathode, qui se comporte alors comme une diode en directe. Le dispositif présente alors une résistance dynamique négative. Si le dispositif est contrôlé en tension, la commutation entre l'état direct bloqué et passant se fait de manière très abrupte (voir **Figure II-6b**).

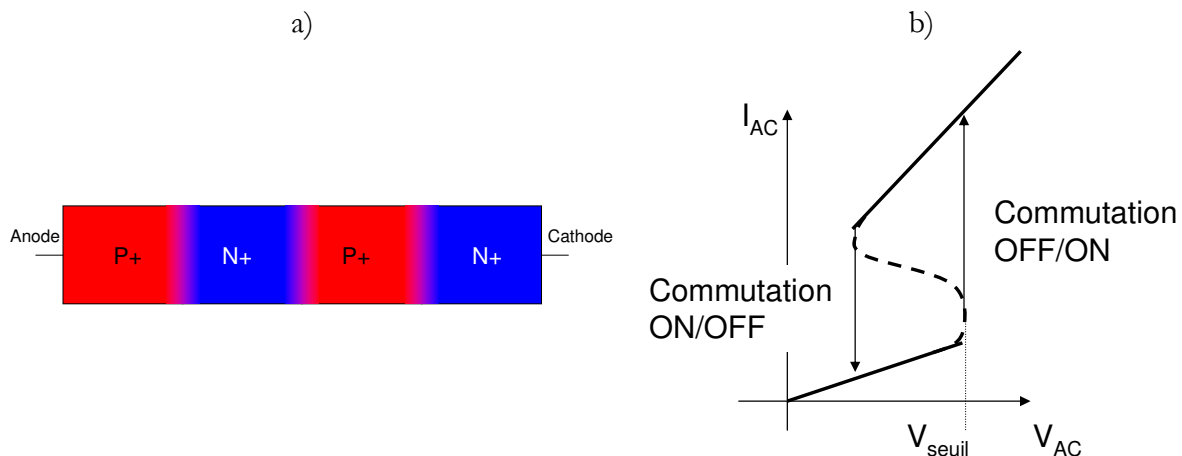


Figure II-6 : a) Structure du thyristor PNPN b) Caractéristique $I_D(V_{AC})$ du thyristor.

Il existe de nombreuses structures dérivées du thyristor permettant un control de V_{seuil} en injectant un courant au niveau des jonctions Anode et Cathode, ou en ajoutant une grille sur les zones intermédiaires. Cependant, tous ces dispositifs possèdent les points négatifs suivants:

- La commutation ON/OFF présente une hystérésis.
- Le passage de l'état ON à OFF se fait par recombinaison SRH, ce qui implique une faible vitesse de commutation (de $\sim 1\text{ms}$ à 1ns selon l'architecture utilisée [Nemati 99]).

II.3.b Effet kink : PD SOI (MOSFET SOI partiellement déserté)

Il est possible d'obtenir des pentes sous le seuil inférieures à 60mV/dec avec des dispositifs n-MOSFET sur SOI partiellement déserté, en utilisant l'effet kink [Fossum 87]. Sur des dispositifs de type p, cette diminution de S n'est pas observable, car les coefficients d'ionisation par impact des trous sont plus faibles que pour les électrons [Sze]. L'effet kink est issu de l'ionisation par impact qui génère des porteurs. Les électrons ainsi créés sont collectés par le drain, tandis que les trous s'accumulent au fond de la structure et chargent le substrat flottant. Cela a pour effet de modifier la tension de seuil du dispositif en fonction de V_{GS} , ce qui se traduit par une diminution de la pente sous le seuil.

La boucle de rétroaction nécessaire à l'obtention de l'effet kink ne s'établit pas instantanément. Ce phénomène n'est donc observable que pour des temps de commutation

supérieurs à $\sim 1\mu\text{s}$ [Wei 95]. De plus, l'effet kink génère un excès de bruit à basse fréquence, ce qui le rend incompatible avec des applications analogiques [Simoen 94]. Cependant, ce point est de moins en moins limitant, au fur et à mesure que le numérique remplace l'analogique. Si on souhaite s'affranchir de l'effet des trous, il est toujours possible de réaliser une prise pour le substrat flottant pour évacuer ces charges.

Récemment, l'effet kink a aussi été utilisé dans une architecture de type Ω -FET sur un substrat massif. La répartition du potentiel dans cette structure présente aussi un puit pour les trous. L'ionisation par impact peut donc aussi être utilisée pour diminuer la pente sous le seuil [Moselund 07].

II.3.c PDBFET (Planar Doped Barrier MOSFET)

Le PDBFET (Planar Doped Barrier MOSFET) est une architecture verticale similaire à un MOSFET. La particularité provient de la zone P+ intercalée au milieu de la zone intrinsèque (voir **Figure II-7 a**), d'une épaisseur de quelques nm. Cette zone permet au PDBFET de « profiter » de l'effet kink. La zone P+ jouant le rôle du substrat flottant. Les caractéristiques de cette zone (dopage, épaisseur...) déterminent les performances du dispositif [Abelein 06] - [Born 06].

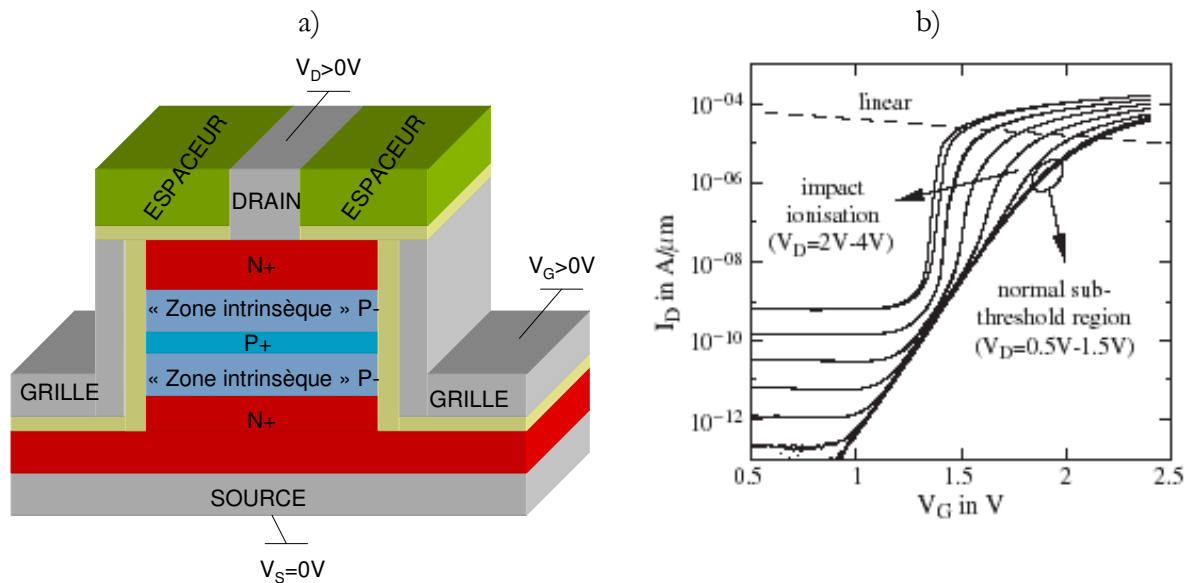


Figure II-7 : a) Structure PDBFET b) caractéristiques expérimentales $I_D(V_{GS})$ pour $L_G=4\mu m$, mettant en évidence les deux types de comportement du dispositif selon la polarisation : soit MOS « classique » ($0,5V < V_{DS} < 1,5V$), soit MOS « avec effet kink » ($2V < V_{DS} < 4V$) [Born 06].

Cependant, comparé à l'architecture PDSOI avec effet kink, le PDBFET présente quelques améliorations. La conduction et l'ionisation par impact se font en volume, ce qui permet de profiter des coefficients d'ionisation par impact plus importants que lorsque le phénomène a lieu en surface. De plus, comme l'ionisation par impact a lieu loin de toute interface Si/SiO₂, il

n'y a pas de piégeage de porteurs chauds et le dispositif montre ainsi des mesures répétables [Abelein 07].

Pour une utilisation transistor, ce dispositif présente plusieurs points faibles. D'abord, son architecture N/P/N le rend sensible au DIBL (Drain Induced Barrier Lowering), ce qui dans le cas du PDBFET se traduit par un effet d'hystérésis indésirable [Born 06]. Ensuite, la réalisation de la zone P+ (épaisseur : $\sim 3\text{nm}$) ne peut se faire que par épitaxie, ce qui impose une architecture verticale, qui n'est a priori pas co-intégrable avec du CMOS planaire.

Notons aussi une appellation impropre du PDBFET nommé I-MOS dans certains papiers [Abelein 07] car il utilise l'ionisation par impact. Cependant, le fonctionnement du PDBFET est très différent de celui du I-MOS, qui est présenté au prochain paragraphe.

II.3.d I-MOS

L'architecture du I-MOS (Impact Ionization MOSFET), cœur de ce manuscrit, est un hybride entre une diode PiN et un MOSFET (voir **Figure II-8**). Ce transistor met à profit le phénomène d'ionisation par impact pour générer des paires électrons/trous. Cependant, contrairement à l'architecture PDSOI et PDBFET, l'architecture I-MOS utilise l'ionisation par impact en régime d'avalanche.

Technologiquement, la zone intrinsèque s'étend de la source jusqu'au drain et possède une longueur totale de $L_G + L_{IN}$ (voir **Figure II-8**). Cependant, par abus de langage, on utilisera dans toute la suite de ce manuscrit le terme zone intrinsèque pour désigner la zone de longueur L_{IN} située entre le bord de grille et la source.

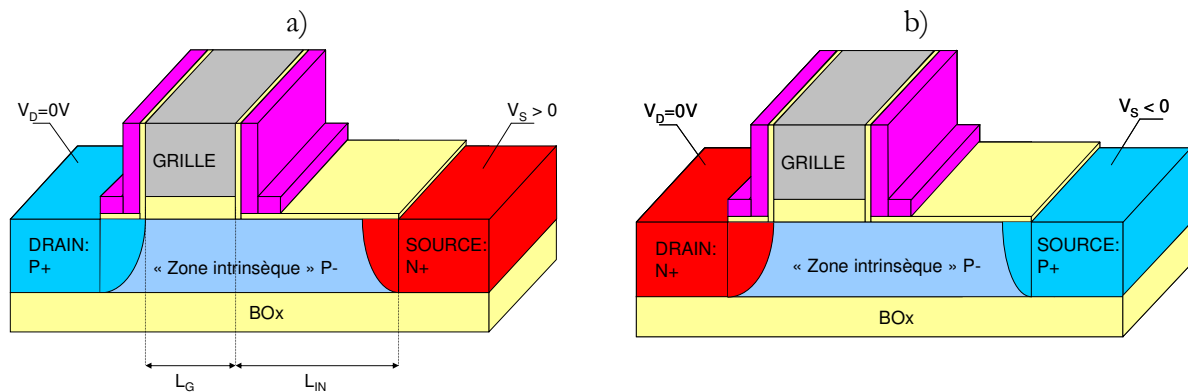


Figure II-8 : Structure p-IMOS (gauche) et n-IMOS (droite) sur SOI.

Un fort champ électrique doit être obtenu pour créer des paires électron/trou. Par conséquent, la partie « diode » sera toujours polarisée en inverse : $V_{DS} < 0$ pour le p-IMOS et $V_{DS} > 0$ pour le n-IMOS. En appliquant une tension sur la grille, on vient moduler la zone de tenue en tension et donc augmenter le champ électrique dans la zone intrinsèque. Si le champ électrique est suffisamment élevé (c'est-à-dire V_{DS} suffisant), l'avalanche de porteurs a lieu engendrant une forte augmentation du courant. Ce courant est alors limité par les différentes résistances du dispositif (zone intrinsèque, canal, accès). Le fonctionnement du I-MOS sera détaillé à l'aide de simulations TCAD dans le chapitre II.

Mis à part le LETI, cinq autres équipes travaillent ou ont travaillé sur le I-MOS. Le **Tableau II-1** récapitule le nom et la période sur laquelle ces équipes ont travaillé sur le I-MOS. Le I-MOS est un dispositif très récent qui date de 2002 [Gopalakrishnan 02]. Le brevet de l'architecture de base du I-MOS est détenu par l'université de Stanford.

Equipes	Université de Stanford	Université de Séoul	Université de Singapour	ST Microelectronics
Période de travail sur le I-MOS	2002-2005	2004-2006	2005-2008	2006-2007

Tableau II-1 : Période d'activité des différents groupes de travail sur le I-MOS.

Le **Tableau II-2** récapitule les points forts de chaque équipe et compare les meilleures performances de chaque équipe et détaille les architectures réalisées. Un état de l'art détaillé sera effectué dans les chapitres correspondants.

Equipes	Démonstrateur	Analyse physique	Simulation TCAD	Modélisation
Université de Stanford (brevet I-MOS)	I-MOS planar, SOI, $L \sim 1\mu\text{m}$	Dégradation par porteurs chauds Fonctionnement	I-MOS unitaire	
Université de Séoul	Si massif, pas CMOS compatible, $L \sim 100\text{nm}$		I-MOS unitaire et inverseur	
Université de Singapour	Architecture en L, SiGe, contrainte SiC, $L \sim 60\text{nm}$	Monte Carlo	I-MOS unitaire, paramétrique	Compacte numérique (tabulée)
ST Microelectronics	Pas de $I_D(V_G)$, Si bulk, $L \sim 100\text{nm}$		I-MOS unitaire	
LETI	I-MOS planar, SOI, GeOI, $L \sim 0.1$ à $1\mu\text{m}$ Co-intégration CMOS-CIMOS	Effet 3D Localisation de l'avalanche	I-MOS unitaire, paramétrique, inverseur, oscillateur en anneau	Analytique, Compacte, Circuit

Tableau II-2 : Comparatif entre les dispositifs de chaque équipe.

Le **Tableau II-2** permet de mettre en avant les points fort de chaque équipe. L'université de Stanford a déposé le brevet et a montré les premières caractéristiques expérimentales. La question de la fiabilité a aussi été abordée. L'université de Séoul s'est focalisée sur la réalisation de I-MOS sur substrat Si et SOI. De la même manière, ST Microelectronics s'est concentré sur la technologie. En dehors du LETI, seule l'université de Singapour s'est intéressée à la fois à la

réalisation technologique, la simulation numérique et à la compréhension physique. Cependant, la fiabilité du dispositif a été passée sous silence.

Comme on peut le voir, peu de travaux ont porté sur la compréhension physique du dispositif, sa fiabilité ou sur la modélisation du composant. La plupart des études sont orientées vers la recherche de performances. Durant cette thèse, nous avons opté pour une approche différente. Au lieu de se focaliser sur le dispositif isolé, nous avons adopté une approche globale concernant la problématique du I-MOS, allant du substrat aux applications circuits en passant évidemment par l'étude du dispositif I-MOS.

III Conclusions du chapitre

Durant les années 90 et jusqu'en 2002-2003, la microélectronique était « simple » avec un seul mot d'ordre : la réduction des dimensions. La toute puissante loi de Moore prévalait. Mais cette période du « happy scaling » a pris fin avec des problèmes de plus en plus importants liés à la réduction des dimensions. En simplifiant, on pourrait résumer tous les problèmes à un seul paramètre, le ratio I_{ON}/I_{OFF} : soit on privilégie la performance à la consommation, soit l'inverse. L'introduction de stress et de nouveaux matériaux (oxyde high-k, grille métal, SiGe...) a permis de repousser la loi de Moore dans ces derniers retranchements. Cependant cette course effrénée vers la miniaturisation se heurte aujourd'hui aux limites de la physique, si bien qu'on parle maintenant de « More than Moore » (« *plus que Moore* ») pour désigner les alternatives à la réduction des dimensions, comme par exemple les approches multiprocesseurs. L'avenir est incertain. Certains prédisent encore des beaux jours à l'architecture MOSFET grâce aux améliorations citées ci-dessus, comme par exemple Intel. D'autres estiment que les investissements nécessaires ne sont plus rentables, que la technologie CMOS est devenue mature. Cette période d'incertitude est propice à la prospection de nouvelles architectures susceptibles de remplacer ou plus vraisemblablement « d'épauler » le CMOS.

Dans un premier temps, nous avons brièvement présenté le MOSFET, son fonctionnement et ses limitations. Un paramètre limitant clef a été identifié : la pente sous le seuil qui est limitée à 60mV/dec à température ambiante. Or ce paramètre est directement proportionnel au ratio $\log(I_{ON}/I_{OFF})$. Une structure permettant de s'affranchir de la limite de S permettrait donc un meilleur ratio I_{ON}/I_{OFF} . Nous avons ensuite fait un tour d'horizon des architectures innovantes permettant de réduire la pente sous le seuil, qu'elles soient compatibles avec le CMOS ou pas. Nous avons vu que ces architectures pouvaient se scinder en trois groupes : les architectures de rupture, les architectures à injection alternative de porteurs et les architectures à gain interne.

Dans les architectures de rupture, on trouve les MOSFET à grille suspendue et les matériaux à transition de Mott. Le premier souffre d'un faible courant à l'état passant, d'hystérésis et d'une limitation de la vitesse de commutation induite par la partie mécanique du dispositif. Il reste cependant compatible avec une technologie CMOS. Le second souffre de l'immaturité des

matériaux utilisés, de problème de fiabilité et de la forte alimentation nécessaire et n'est absolument pas compatible avec la filière CMOS.

Dans les architectures à injection alternative de porteurs, on trouve le MOSFET Schottky et le TFET. Ces dispositifs utilisent l'émission de champ (MOSFET Schottky) ou l'effet tunnel bande à bande (TFET) au lieu de l'injection thermoionique. C'est l'injection et non plus le transport qui limite le courant à l'état ON. La diffusion ne vient donc plus limiter la pente sous le seuil. Cependant, aucune pente inférieure à 60mV/dec n'a pu être observé expérimentalement dans le MOSFET Schottky. De plus, le choix des siliciures est délicat pour le nMOSFET Schottky. Quant au TFET, des pentes inférieures à 60mV/dec ont été obtenues. Le I_{OFF} du TFET est généralement très bon, mais ce dispositif souffre d'un faible courant ON. Ces deux architectures sont compatibles CMOS et offre une bonne fiabilité.

Dans les architectures à gain interne, on trouve toutes les architectures exploitant l'effet kink, comme le FDSOI et le PDBFET. Ces dispositifs utilisent l'ionisation par impact comme mécanisme de gain, mais opèrent toujours dans la zone avant l'avalanche. L'effet kink ne se manifeste cependant qu'à faible fréquence ($<1\text{MHz}$). Le I-MOS est le seul dispositif à opérer dans la zone d'avalanche. Ce dispositif dispose a priori de bons atouts : d'excellents rapports I_{ON}/I_{OFF} et une pente sous le seuil de quelques mV/dec. Se pose surtout la question de la fiabilité. Par définition, le FDSOI est compatible avec la technologie CMOS, tout comme le I-MOS. Ce n'est pas le cas du PDBFET.

Dans les chapitres qui suivent, nous allons nous focaliser sur le I-MOS, qui semble a priori le plus prometteur de ces dispositifs alternatifs. Cependant, de part sa structure proche de celle d'un TFET, le I-MOS peut aussi exploiter l'effet tunnel bande à bande. C'est pourquoi une partie de ce manuscrit sera aussi consacrée au TFET. Le chapitre II sera consacré à l'étude physique du dispositif par des simulations numériques et à l'analyse paramétrique des performances du I-MOS. Le chapitre III est consacré à la partie réalisation technologique du I-MOS, suivie du chapitre IV consacré à la caractérisation électrique du I-MOS et des autres structures co-intégrées (TFET et MOSFET). Ce chapitre comportera en outre une étude sur la fiabilité du I-MOS. Après avoir étudié le I-MOS unitaire, nous nous attaquerons au chapitre V à l'étude du I-MOS dans un environnement circuit. Cette étude passera d'abord par une modélisation analytique et compacte qui nous permettra ensuite de réaliser des simulations de circuits à base de I-MOS.

Références

- [Abele 05] N. Abelé, R. Fritschi, K. Boucart, F. Casset, P. Ancey and A.M. Ionescu, "*Suspended-Gate MOSFET: bringing new MEMS functionality into solid-state MOS transistor*", IEEE International Electron Devices Meeting, p. 479-481, December 2005.
- [Abele 06] N. Abele, A. Villaret, A. Gangadharaiah, C. Gabioud, P. Ancey, A.M. Ionescu, "*1T MEMS Memory Based on Suspended Gate MOSFET*", IEEE International Electron Devices Meeting, p. 1-4, December 2006.
- [Abelein 06] U. Abelein, M. Born, K. K. Bhuwarka, M. Schindler, M. Schmidt, T. Sulima, I. Eisele, "*A Novel Vertical Impact Ionisation MOSFET (I-MOS) Concept*", MIEL 2006, May 2006.
- [Abelein 07] U. Abelein, M. Born; K. Bhuwarka, M. Schindler; M. Schlosser; T. Sulima; I. Eisele, "*Improved Reliability by Reduction of Hot-Electron Damage in the Vertical Impact-Ionization MOSFET (I-MOS)*", IEEE Electron Device Letters, Vol. 28, N°1, p65-67, January 2007.
- [Akarvardar 08] K. Akarvardar, C. Eggimann, D. Tsamados, Y. S. Chauhan, G. C. Wan, A. M. Ionescu, R. T. Howe and H.-S. P. Wong, "*Analytical Modeling of the Suspended-Gate FET and Design Insights for Low-Power Logic*", IEEE Transaction on Electron Devices, Vol.55, N°1, p48-59, January 2008.
- [Aydin 04] C. Aydin, A. Zaslavsky, S. Luryi, S. Cristoloveanu, D. Mariolle, D. Fraboulet, and S. Deleonibus, "*Lateral interband tunneling transistor in silicon-on-insulator*", Applied Physics Letters, Vol. 84, N°10, March 2004.
- [Bétéille 99] F. Bétéille, L. Mazerolles and J. Livage, "*Microstructure and metal-insulating transition of vo_2 thin films*", Materials Research Bulletin, Vol. 34, Issues 14-15, p. 2177-2184, November-December 1999.
- [Bhuwarka 04] K. K. Bhuwarka, S. Sedlmaier, A. K. Ludsteck, C. Tolksdorf, J. Schulze and I. Eisele, "*Vertical Tunnel Field-Effect Transistor*", IEEE Transaction On Electron Devices, Vol. 51, N°2, February 2004.
- [Bhuwarka 05] K.K. Bhuwarka, J. Schülze and I. Eisele, "*A Simulation Approach to Optimize the Electrical Parameters of a Vertical Tunnel FET*", IEEE Transaction On Electron Devices, Vol. 52, N°7, July 2005.
- [Born 06] M. Born, U. Abelein, K.K. Bhuwarka, M. Schindler, M. Schmidt, A. Ludsteck, J. Schulze, I. Eisele, "*Sub-50 nm high performance PDBFET with impact ionization*", Thin Solid Films 508, p323–325, 2006.
- [Choi 05] W.Y. Choi, J.Y. Song, J.D. Lee, Y.J. Park and B.J. Park, "*70-nm Impact-Ionization Metal-Oxide-Semiconductor (I-MOS) Devices Integrated with Tunneling Field-Effect Transistors (TFETs)*", IEEE International Electron Devices Meeting, p. 975-978, December 2005.

- [Choi 07] W. Y. Choi, B. G. Park, J. D. Lee and T.J.K. Liu, "*Tunnelling Field-Effect Transistors (TFETs) with Subthreshold Swing (SS) less than 60mV/dec*", IEEE Electron Device Letters, Vol. 28, N°8, August 2007.
- [Chui 03] C.O. Chui, K. Gopalakrishnan, P.B. Griffin, J.D. Plummer and K.C. Saraswat, "*Activation and diffusion studies of ion-implanted p and n dopants in germanium*", Applied Physics Letters, Vol. 83, N°16, October 2003.
- [Chui 05] C. O. Chui, L. Kulig, J. Moran and W. Tsai, K.C. Saraswat, "*Germanium n-type shallow junction activation dependences*", Applied Physics Letters Vol. 87, 2005.
- [Fossum 87] J.G Fossum, R. Sundaresan and M. Matloubian, "*Anomalous Subthreshold Current-Voltage Characteristics of n-Channel SOI MOSFET's*", Electron Device Letters, Vol. 8, N°11, November 1987.
- [Gopalakrishnan 02] K. Gopalakrishnan, P.B. Griffin and J. Plummer, "*I-MOS: A Novel Semiconductor Device with a Subthreshold Slope lower than kT/q* ", IEEE International Electron Devices Meeting, p. 289-292, December 2002.
- [Ionescu 02] A. M. Ionescu, V. Pott, R. Fritschi, K. Banerjee, M. J. Declercq, P. Renaud, C. Hibert, P. Fluckiger, G. A. Racine, "*Modeling and Design of a Low-Voltage SOI Suspended-Gate MOSFET(SG-MOSFET) with a Metal-Over-Gate Architecture*", Proceedings of the International Symposium on Quality Electronic Design, p 466-501, 2002.
- [ITRS 08] ITRS (International Technology Roadmap for Semiconductors): <http://public.itrs.net/>
- [Jang 03] M. Jang, K. Kang, S. Lee, K. Park, "*Simulation of Schottky barrier tunnel transistor using simple boundary conditions*", Applied Physics Letters, Vol. 82, N°16, April 2003.
- [Jurczak 00] M. Jurczak, T. Skotnicki, M. Paoli, B. Tormen, J. Martins, J.L. Regolini, D. Dutartre, P. Ribot, D. Lenoble, R. Pantel and S. Monfray, "*Silicon-on-Nothing (SON)-an innovative process for advanced CMOS*", IEEE Transaction on Electron Devices, Vol. 47, N°11, p2179-2187, November 2000.
- [Kim 04] H.-T. Kim, B.-G. Chae¹, D.-H. Youn, S.-L. M., G. Kim, K.-Y. Kang¹ and Y.-S. Lim, "*Mechanism and observation of Mott transition in VO₂-based two- and three-terminal devices*", New Journal of Physics, Vol.6, N°52, May 2004.
- [Koenekke 81] C.J. Koenekke, S.M. Sze, R.M. Levin and E. Kinsbron, "*Schottky MOSFET for VLSI*", IEEE International Electron Devices Meeting, p. 367-370, December 1981.
- [Li 06] R. Li, S.J. Lee, H.B. Yao, D.Z. Chi, M.B. Yu and D.L. Kwong, "*Pt-Germanide Schottky Source/Drain Germanium p-MOSFET with HfO₂ Gate Dielectric and TaN Gate Electrode*", IEEE Electron Device Letters, Vol. 27, N°6, p476-478, June 2006.
- [Moselund 07] K.E. Moselund; V. Pott; D. Bouvet, A.M. Ionescu; "*Abrupt current switching due to impact ionization effects in Ω -MOSFET on low doped bulk silicon*", 37th

- European Solid State Device Research Conference, p. 287 – 290, September 2007.
- [Mott 68] N. F. Mott, “*Metal Insulator Transition*”, Reviews of Modern Physics, Vol. 40, N°4, October 1968.
- [Nemati 99] F. Nemati and J.D. Plummer, “*A Novel Thyristor-based SRAM Cell (T-RAM) for High-speed, Low-Voltage, Giga-scale Memories*”, IEEE International Electron Devices Meeting, p. 283-286, December 1999.
- [Newell 66] W. Newell, “*Novel circuit aspects of the resonant gate transistor*”, IEEE International Solid-State Circuits Conference, p. 62-63, February 1966.
- [Newns 98] D.M. Newns, J.A. Misewich, C.C. Tsuei, A. Gupta, B.A. Scott and A. Schrott, « *Mott Field Effect Transistor* », Applied Physics Letters, Vol. 73, N°6, August 1998.
- [Seevinck 87] E. Seevinck, F. J. List and J. Lohstroh, “*Static Noise Margin Analysis of MOS SRAM Cells*”, IEEE Journal of Solid-State Circuits, Vol22, N°5, October 1987.
- [Simoen 94] E. Simoen, U. Magnusson, A.L.P. Rotondaro, and C. Claeys, “*The Kink-Related Excess Low-Frequency Noise in Silicon-on-Insulator MOST's*”, IEEE Transaction On Electron Devices, Vol. 41, N°3, March 1994.
- [Subramanian 06] V. Subramanian, B. Parvais, J. Borremans, A. Mercha, D. Linten, P. Wambacq, J. Loo, M. Dehan, C. Gustin, N. Collaert, S. Kubicek, R. Lander, J. Hooker, F. Cubaynes, S. Donnay, M. Jurczak, G. Groeseneken, W. Sansen, and S. Decoutere “*Planar Bulk MOSFETS Versus FinFETs: An Analog/RF Perspective*”, IEEE Transactions On Electron Devices, Vol..53, N°12, p. 3071-3079, December 2006.
- [Sze] S.M. Sze “*Physics of Semiconductor Devices*“, 2nd Edition, Ed. John Wiley & Sons, Inc.
- [Taur 98] Y. Taur, T.H. Ning, “*Fundamentals of modern VLSI devices*”, Cambridge University Press, 1998.
- [Wei 95] A. Wei, M.J. Sherony and D.A. Antoniadis, “*Transient Behavior of the Kink Effect in Partially-Depleted SOI MOSFET's*”, IEEE Electron Device Letters, Vol. 16, N°11, p494-496, November 1995.
- [Zhu 04a] S. Zhu, J. Chen, M.-F. Li, S. J. Lee, J. Singh, C. X. Zhu, A. Du, C. H. Tung, A. Chin and D. L. Kwong, “*N-Type Schottky Barrier Source/Drain MOSFET Using Ytterbium Silicide*”, IEEE Electron Device Letters, Vol. 25, N°8, p565-567, August 2004.
- [Zhu 04b] S. Zhu, H.Y. Yu, S.J. Whang, J.H. Chen, C. Shen, C. Zhu, S.J. Lee, M.F. Li, D.S.H. Chan, W. J. Yoo, A. Du, C. H. Tung, J. Singh, A. Chin and D.L. Kwong, “*Schottky-Barrier S/D MOSFETs With High-K Gate Dielectrics and Metal-Gate Electrode*”, IEEE Electron Device Letters, Vol. 25, N°5, p268-271, May 2004.

Chapitre 2

Etude du I-MOS par simulations numériques

Le premier objectif de ce chapitre est de présenter les différents modèles utilisés en TCAD pour la simulation numérique du I-MOS. Le deuxième objectif est d'analyser le fonctionnement et la physique du dispositif par une étude paramétrique des performances du I-MOS. La dernière partie du chapitre est consacrée à l'impact des différents substrats ($\text{Si}_{1-x}\text{Ge}_x\text{OI}$ et GeOI) sur le fonctionnement et les performances du transistor à ionisation par impact.

Sommaire du Chapitre 2

I	Description de la physique mis en jeu.....	30
I.1	Ionisation par Impact.....	30
I.2	Effet Tunnel Bande à Bande.....	32
II	Choix des modèles pour la simulation TCAD.....	33
II.1	Structure Simulée.....	33
II.2	Ionisation par Impact.....	34
II.3	Effet Tunnel Bande à Bande.....	35
II.4	Modèle de Transport.....	35
II.4.a	Modèle Stationnaire.....	36
II.4.b	Modèle Non Stationnaire.....	36
II.4.c	Comparaison et choix des modèles de transport.....	37
II.5	Température du réseau.....	39
II.6	Conclusion sur le choix des modèles.....	40
III	Etude du fonctionnement du I-MOS.....	41
III.1	Commutation ON/OFF.....	41
III.1.a	Caractéristique $I_D(V_{DS})$	41
III.1.b	Caractéristique $I_D(V_{GD})$	44
III.2	Localisation de l'avalanche.....	45
III.2.a	Le champ électrique longitudinal E_x	45
III.2.b	Le taux de génération côté source et grille.....	46
III.2.c	Rétroaction.....	47
III.2.d	Conclusion sur la localisation de l'avalanche.....	49
III.3	Autres modes d'opération.....	49
III.3.a	Diode.....	49
III.3.b	Tunnel FET (TFET).....	50
III.4	Conclusion sur le fonctionnement du I-MOS.....	50
IV	Etude paramétrique du I-MOS.....	51
IV.1	Impact sur la tension d'avalanche.....	51
IV.2	Impact sur le courant à l'état passant.....	54
IV.3	Impact sur la pente sous le seuil.....	56
IV.4	Influence du dopage de la zone intrinsèque N_{res}	57
IV.5	Influence du profil de dopage côté source.....	57

V	Impact du matériau sur les performances	57
V.1	Comparaison Si/Ge	57
V.2	Réalité technologique : les contraintes du Ge	60
V.3	$\text{Si}_{1-x}\text{Ge}_x\text{OI}$	61
V.4	Simulation du I-MOS sur GeOI	62
VI	Conclusions du chapitre	65
VII	Annexes	67
VII.1	L'équation de Boltzmann.....	67
VII.2	Les modèles de transport hydrodynamiques.....	67
VII.3	Mobilité CVT de Lombardi.....	68
VII.3.a	Introduction.....	68
VII.3.b	Mobilité limitée par les phonons acoustiques.....	68
VII.3.c	Mobilité dans le semiconducteur massif.....	68
VII.3.d	Mobilité limitée par la rugosité de surface	68

I Description de la physique mis en jeu

Les deux grands mécanismes mis en jeu dans le I-MOS sont l'ionisation par impact et l'effet tunnel bande à bande. Ces mécanismes ont été très brièvement évoqués dans le chapitre I. L'objectif de ce paragraphe est de présenter plus en profondeur la physique sous-jacente.

I.1 Ionisation par impact

Lorsqu'un porteur acquiert suffisamment d'énergie dans un semiconducteur, il peut en céder une partie à un électron de la bande de valence lors d'un choc avec les atomes du réseau (cette interaction peut faire intervenir des phonons, surtout dans le cas des matériaux à gap indirect). L'électron de la bande de valence peut alors passer dans la bande de conduction. On passe alors d'une situation à un électron à une situation avec deux électrons et un trou. C'est le phénomène d'ionisation par impact. Si les porteurs ainsi créés arrivent à leur tour à acquérir suffisamment d'énergie pour créer des paires électrons/trous, et ainsi de suite, on parle alors d'avalanche. De la même façon, le phénomène peut aussi être initié par des trous. Contrairement à la transition tunnel bande à bande (voir paragraphe suivant), le champ électrique joue un rôle actif, car il accélère le porteur, lui permettant ainsi de gagner de l'énergie. Le phénomène d'ionisation par impact est illustré sur la *Figure I-1*.

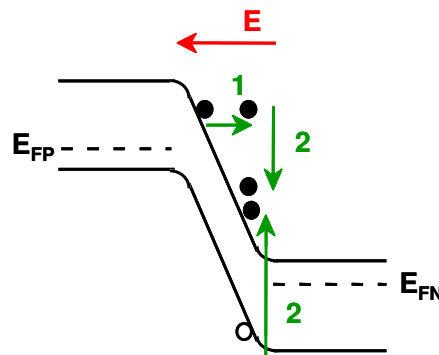


Figure I-1 : Diagramme de bande d'un semiconducteur soumis à un fort champ électrique, illustrant le mécanisme d'ionisation par impact. Celui-ci a lieu en deux phases : le gain en énergie du porteur (phase 1) et l'interaction avec le réseau qui aboutit à la création d'une paire de porteur (phase 2).

Une première estimation de l'énergie ε_i nécessaire pour l'ionisation par impact a été donnée par [Wolff 54] (équation (I-1)) : ε_i est environ égale à une fois et demi le gap E_g du matériau.

$$\varepsilon_i \approx \frac{3}{2} \cdot E_g \quad (\text{I-1})$$

L'ionisation par impact est caractérisée par une grandeur appelée « taux de ionisation », notée respectivement α_n et α_p pour les électrons et les trous. Ces grandeurs s'expriment en cm^{-1} et peuvent être interprétées comme l'inverse de la distance moyenne nécessaire pour créer une paire

électron/trou par ionisation. Ces paramètres sont donc directement reliés au taux de génération G_{impact} des paires électrons/trous (voir équation (I-2)) que l'on retrouve dans les équations de continuité des électrons et des trous, où J_n et J_p représentent respectivement la densité de courant des électrons et des trous.

$$G_{\text{impact}} = \alpha_n \cdot |J_n| + \alpha_p \cdot |J_p| \quad (\text{I-2})$$

L'explication précédente fait apparaître deux points essentiels. Premièrement, il s'agit d'un phénomène en énergie. Sur une grande distance, les porteurs ont subi suffisamment d'interactions avec le réseau pour être en équilibre énergétique avec le réseau (approximation du transport en Dérive Diffusion). Mais sur des courtes distances, les porteurs peuvent être hors équilibre. Deuxièmement, si on considère un porteur dans le bas de la bande de conduction, il lui faut une certaine distance pour acquérir l'énergie suffisante pour ioniser un atome du réseau. Cette distance s'appelle le « dead space ». Toute la difficulté consiste alors à calculer α_n et α_p . Il existe beaucoup de modèles différents, tous basés sur des approximations différentes. On peut citer les travaux de [Baraff 62] qui a calculé numériquement α_n et α_p en intégrant et résolvant l'équation de Boltzmann (moyennant une forte simplification de la structure de bandes). Ces résultats ont pu être approximés par un polynôme [Crowell 66]. Il est intéressant de noter que ces modèles sont valables pour le Si et le Ge, et que [Crowell 66] a introduit une dépendance en température des coefficients d'ionisation par impact.

En faisant l'approximation que les porteurs sont à l'équilibre et en négligeant le « dead space », de nombreux modèles montrent que l'on peut écrire les coefficients α_n et α_p sous la forme présentée dans équation (I-3), où E représente le champ électrique dans la direction du transport. Les termes $\alpha_{\infty n,p}$, $\beta_{n,p}$ et γ représentent respectivement la valeur asymptotique de $\alpha_{n,p}$, le champ électrique critique et un coefficient de fit. Cette forme est connue sous le nom de modèle de [Chynoweth 58].

$$\alpha_{n,p} = \alpha_{\infty n,p} \exp\left(-\left(\frac{\beta_{n,p}}{E}\right)^\gamma\right) \quad (\text{I-3})$$

Les modèles les plus connus sont ceux de [Wolff 54] et de [Shockley 61]. Tous les deux proposent une modélisation physique pour les paramètres de l'équation (I-3) faisant intervenir notamment ϵ_i (l'énergie nécessaire à l'ionisation par impact). Celle-ci est valable soit pour des faibles champs électriques [Shockley 61] (où seuls les porteurs n'ayant pas interagi avec les phonons peuvent atteindre l'énergie de seuil), soit pour des forts champs électriques [Wolff 54] (où la perte d'énergie liée au choc avec le réseau est négligeable en comparaison avec le gain d'énergie obtenu grâce à l'accélération du champ électrique). Ces deux théories se comportent comme des asymptotes de la courbe de [Baraff 62]. Dans les deux cas, $\beta_{n,p}$ dépend de ϵ_i , c'est-à-dire de l'énergie minimum nécessaire pour l'ionisation par impact. Or cette énergie peut s'exprimer en fonction des masses effectives des trous m_h^* et des électrons m_n^* [Anderson 72] (voir équations (I-4)). Dans le cas très simpliste où l'on considère $m_h^* = m_n^*$, on retrouve

l'approximation de [Wolff 54], à savoir $\epsilon_i = 3.E_g/2$. Ces équations nous montrent qu'il existe deux possibilités pour diminuer cette énergie de seuil : soit en diminuant E_g (en changeant de matériau par exemple), soit en modifiant les masses effectives (par exemple en appliquant une contrainte).

$$\epsilon_{i,n} = E_g \cdot \left(1 + \frac{m_e^*}{m_h^* + m_e^*}\right) \text{ et } \epsilon_{i,p} = E_g \cdot \left(1 + \frac{m_h^*}{m_h^* + m_e^*}\right) \quad (\text{I-4})$$

Concernant le Germanium, [Miller 55] a montré que l'on pouvait appliquer le même formalisme que dans le Si et notamment que la modélisation de $\alpha_{n,p}$ sous la forme de équation (I-3) est valable. Une autre manière de changer les masses effectives consiste à utiliser une autre plan cristallographique de conduction que (001), comme l'a montré [Mikawa 80] dans le Ge.

Des développements plus récents ont permis de modéliser le « dead space » [McIntyre 99] - [Thornber 81], ces modèles restent cependant trop complexes pour être utilisés dans le cadre d'une modélisation analytique. De plus ils ne sont pas implantés dans le simulateur numérique utilisé dans la suite de ce chapitre [Silvaco].

L'ionisation par impact a aussi été étudiée par le biais de simulations particulières de type Monte Carlo [Sano 98]. Ces simulations sont basées sur la connaissance des fréquences d'interaction entre porteurs pour chaque phénomène. Cependant, cette approche demande des temps de calcul extrêmement longs, ce qui n'est pas compatible avec le nombre de simulations requises pour notre étude.

I.2 Effet Tunnel Bande à Bande

La prise en compte de l'ionisation par impact ne suffit par pour décrire le I-MOS. En effet, à fort champ électrique un autre phénomène peut intervenir : l'effet tunnel bande à bande (BtBt). L'effet tunnel bande à bande est un effet typiquement quantique. Pour le comprendre, il faut considérer le porteur non pas comme un corpuscule mais comme une onde. La fonction d'onde associée peut alors « déborder » sur des lieux (dans l'espace des phases) où la particule ne devrait pas se trouver en physique classique. Si cette zone interdite est mince, il existe alors une certaine probabilité pour que la fonction d'onde (et donc la particule) traverse cette zone. Dans le cas d'une jonction PN, la zone interdite est formée par le gap du semiconducteur. On passe alors d'une situation initiale à un électron dans la bande de valence à une situation finale avec un électron dans la bande de conduction et un trou dans la bande de valence (voir **Figure I-2**).

Dans le cas de la jonction PN, le traitement analytique le plus rigoureux que l'on puisse trouver dans la littérature est le calcul effectué par [Kane 61], pour les semiconducteurs à gap direct et indirect. Celui-ci repose cependant sur un certain nombre d'approximations, comme l'approximation des bandes paraboliques et le champ électrique constant (ce qui amène à considérer un puit de potentiel triangulaire).

Ce modèle a été repris et amélioré par [Hurkx 92] et [Schenk 93]. Cependant, le taux de génération par BtBt peut toujours se mettre sous la forme générale (I-5).

$$G_{tunnel} = A_k \cdot E^{\gamma_{tunnel}} \cdot \exp\left(-\frac{E_{seuil}}{E}\right) \quad (I-5)$$

A_k , γ_{tunnel} et E_{seuil} dépendent des modèles utilisés. On retiendra que $\gamma_{tunnel}=2$ pour les matériaux à gap direct et 2.5 [Kane 61] ou 3.5 [Schenk 93] pour les matériaux à gap indirect.

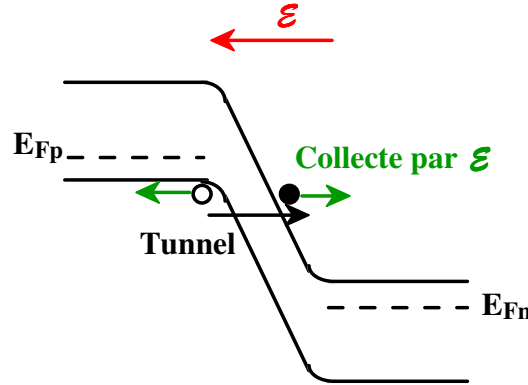


Figure I-2 : Diagramme de bande d'une jonction PN soumis à un fort champ électrique illustrant la transition tunnel bande à bande : un électron de la bande de valence passe dans la bande de conduction. Il en résulte la création d'une paire électron/trou.

Des modèles non locaux ont été récemment développés pour les simulateurs numériques qui prennent en compte des champs électriques non locaux et qui prennent en compte un BtBt en plusieurs étapes (en passant par un piège par exemple) [Silvaco].

II Choix des modèles pour la simulation TCAD

Dans le paragraphe précédent, nous avons présenté la physique des phénomènes intervenant dans le I-MOS, à savoir l'ionisation par impact et le tunnel bande à bande. L'objectif de ce paragraphe est de présenter la structure I-MOS simulée et de justifier les choix des modèles utilisés dans le simulateur numérique pour les deux phénomènes cités précédemment, ainsi que pour le transport des porteurs et la température à laquelle s'effectue la simulation.

II.1 Structure simulée

L'objectif de cette partie est de définir une structure proche de celle réalisée technologiquement. Nous avons effectué le choix d'une structure SOI car celle-ci permet de réduire drastiquement les courants de fuite dans l'architecture I-MOS [Choi 05]. La structure simulée en TCAD dans la suite de ce chapitre est présentée sur la **Figure II-1**. Sauf précision contraire, nous parlerons toujours dans ce chapitre du p-IMOS dans les simulations TCAD. Cependant, les résultats sur le p-IMOS sont transposables au n-IMOS, mutatis mutandis.

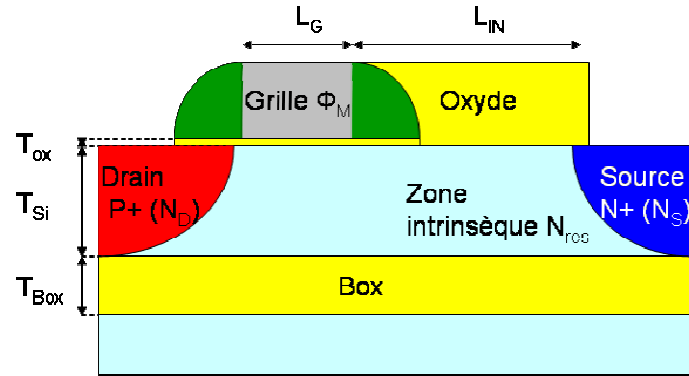


Figure II-1 : Schéma du p-IMOS simulé dans ce chapitre.

Les variables d'entrée géométrique sont la longueur de grille L_G , la longueur de la zone intrinsèque L_{IN} , l'épaisseur de l'oxyde de grille T_{ox} , l'épaisseur du film T_{Si} et l'épaisseur du BOX T_{box} . A cela viennent se rajouter les variables technologiques : le niveau de dopage de la source N_S et du drain N_D (considérés comme égaux ici $\rightarrow N_D = N_S$), le niveau de dopage du canal N_{res} (ce dopage sera toujours considéré de type p car il correspond au type de dopage résiduel que l'on trouve couramment dans les plaques de Si) et le travail de sortie de la grille Φ_M . L'influence du profil de dopage sera également abordé. Un oxyde de la même épaisseur que la grille est déposé sur la zone intrinsèque pour que le champ électrique puisse se développer dans l'oxyde.

II.2 Ionisation par impact

Pour simuler l'ionisation par impact, nous avons choisi de modéliser le taux de génération par impact par l'expression donnée par (I-3) et cela pour trois raisons. D'abord parce que la littérature est riche en valeurs numériques pour les paramètres $\alpha_{\infty, n, p}$, $\beta_{n, p}$ et γ , valables sur différentes plages d'énergie et pour différents matériaux, en particulier pour le Ge et le Si. Ensuite parce cette formulation peut s'adapter à des modélisations plus poussées, par exemple en intégrant une dépendance en température ou en tenant compte des effets non locaux en remplaçant le champ électrique par un champ effectif (cela suppose cependant d'utiliser un modèle de transport hydrodynamique). Et finalement, il faut aussi prendre en compte les aspects de convergence numérique or l'expression (I-3) converge parfaitement, ce qui n'est pas le cas avec d'autres modèles. Les valeurs numériques de la littérature sont données dans le **Tableau II-1** pour le silicium. Pour le Ge et le SiGe, les données se trouvent au paragraphe V. Les coefficients α_n et α_p ainsi obtenus sont tracés sur la **Figure II-2** en fonction du champ électrique. Les résultats sont relativement dispersés, ce qui est dû en partie aux différentes réalisations technologiques utilisées pour l'extraction des données.

Nous utiliserons les données de [Overstraeten 70] qui ont été extraites en supposant une répartition exponentielle du profil de dopage, ce qui est plus réaliste que les approximations de jonction abrupte ou linéaire utilisée. De plus, les diodes à partir desquelles les données ont été extraites ont été obtenues par implantation ionique. Nous verrons dans le paragraphe suivant que les champs électriques dans le I-MOS sont compatibles avec le domaine de validité de [Overstraeten 70].

Références	Domaine de validité du champ électrique E	α_{∞} (cm ⁻¹)		B (V.cm ⁻¹)	
		Trou	Electron	Trou	Electron
[Grant 73]	$2.4.10^5 < E < 5.3.10^5$ V.cm ⁻¹		$6.2.10^5$		$1.08.10^6$
	$2.10^5 < E < 5.3.10^5$ V.cm ⁻¹	$2.0.10^6$		$1.97.10^6$	
	$E > 5.3.10^5$ V.cm ⁻¹	$5.6.10^5$	$5.0.10^5$	$1.32.10^6$	$0.99.10^6$
[Sze 66]	N.C.	$2.25.10^7$	$3.8.10^6$	$3.26.10^6$	$1.75.10^6$
[Overstraeten 70]	$1.75.10^5 < E < 6.10^5$ V.cm ⁻¹		$7.03.10^5$		$1.231.10^6$
	$1.75.10^5 < E < 4.10^5$ V.cm ⁻¹	$1.582.10^6$		$2.036.10^6$	
	$4.10^5 < E < 6.10^5$ V.cm ⁻¹	$6.71.10^5$		$1.693.10^6$	

Tableau II-1 : Récapitulatif des différentes valeurs numériques de la littérature dans le Si ($\gamma=1$ pour toutes les données).

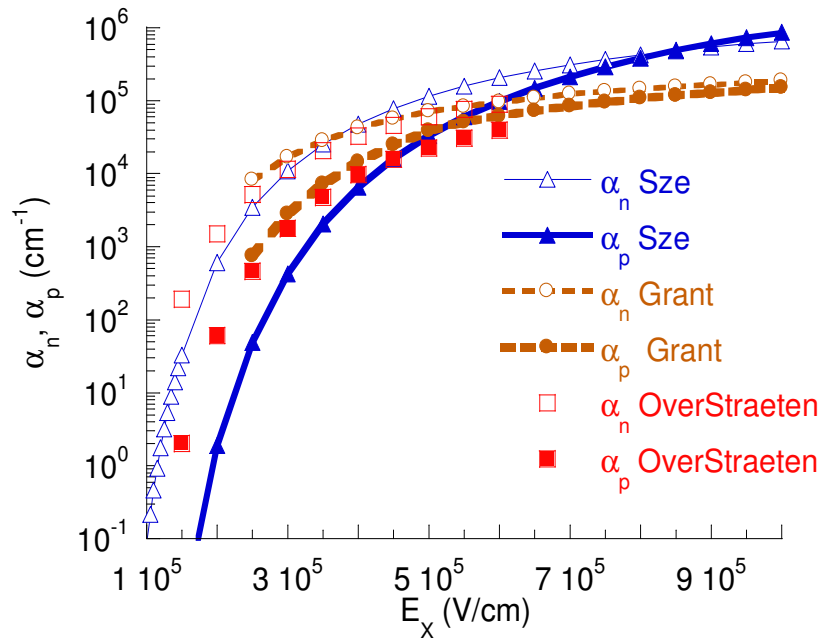


Figure II-2 : Coefficients α_n et α_p calculés dans le Si en fonction des différents modèles présentés dans le Tableau II-1.

II.3 Effet tunnel bande à bande

Au début de ce travail en 2005, les modèles non locaux de BtBt n'étaient pas implémentés dans le simulateur ATLAS. Nous avons donc opté pour la modélisation donnée par (I-5) en prenant les valeurs suivantes [Hurkx 92] : $\gamma_{\text{tunnel}} = 2.5$, $A = 4.0.10^{14}$ V^{-5/2}.cm^{-1/2}.s⁻¹, $E_{\text{seuil}} = 1.9.10^7$ V.cm⁻¹. Comme le BtBt n'est pas un effet prépondérant dans le I-MOS mais un effet parasite, la précision du modèle n'est pas préjudiciable pour nos résultats.

II.4 Modèle de transport

Nous allons maintenant aborder la simulation du transport des porteurs. Il y a deux familles de modèles de transport : les modèles de type Dérive-Diffusion et de type

Hydrodynamique [Grasser 03]. Tous les deux sont des approximations de l'équation de transport de Boltzmann [Sze] présentée en Annexe.

Concernant la mobilité, nous avons choisi le modèle de [Lombardi 88], qui prend en compte la dépendance de la mobilité en fonction de champ électrique et du dopage du semiconducteur.

II.4.a Modèle stationnaire

Le modèle physique le plus simple se limite au moment d'ordre 1 de l'équation de transport de Boltzmann et à une troncature de l'ordre 2. C'est le modèle classique de Dérive-Diffusion. Le transport ne se fait alors que par le champ électrique (Dérive) et par un gradient de concentration (Diffusion). La notion d'énergie des porteurs n'intervient pas. En effet, ce modèle implique que les porteurs soient toujours en équilibre énergétique avec le réseau. En d'autres termes, dès que les porteurs acquièrent de l'énergie, celle-ci est aussitôt cédée au réseau.

Ce modèle ne peut donc pas décrire les effets de non stationnarité comme la survitesse. De même, il ne peut pas prendre en compte l'effet de non localisation de l'ionisation par impact (distance nécessaire pour acquérir de l'énergie). C'est pourquoi on parle de modèle stationnaire. Lorsque le champ électrique varie fortement sur des très petites distances, l'ionisation par impact a donc tendance à être surestimée.

En supposant une répartition de température uniforme, ce modèle nous amène à considérer les équations (II-1) et (II-2) pour les électrons dans le cas 1D [Sze] :

$$\text{Densité de courant : } J_n = q \cdot n(x) \cdot \mu_n(E) \cdot E(x) + q \cdot D_n(E) \cdot \frac{\partial n}{\partial x} \quad (\text{II-1})$$

$$\text{Conservation de la matière : } -\frac{1}{q} \cdot \text{div}(J_n) = G_n - R_n \quad (\text{II-2})$$

II.4.b Modèle non stationnaire

La réduction des dimensions et la prise en compte de nouveaux phénomènes physiques comme l'ionisation par impact a mené à l'apparition de modèles plus réalistes. Ces modèles considèrent les moments d'ordre 0, 1 et 2 de l'équation de Boltzmann et utilise une troncature du troisième moment [Grasser 03].

Contrairement au modèle de Dérive-Diffusion, l'énergie des porteurs est prise en compte et permet la modélisation de phénomènes non stationnaires. On définit alors le temps de relaxation en énergie comme le temps moyen entre deux interactions phonon/porteur, c'est-à-dire entre le porteur et le réseau. On distingue alors la température du réseau (T) de la température des porteurs (T_n et T_p).

Il existe différents modèles hydrodynamiques qui diffèrent par la troncature utilisée. Celui qui nous intéressera dans la suite s'appelle le modèle d'Energy Balance. Ce modèle est détaillé en Annexe. Il est plus complet que le modèle de Dérive Diffusion.

Le modèle de Dérive Diffusion peut être retrouvé à partir du modèle d'Energy Balance [Grasser 03] en prenant les temps de relaxation en énergie nuls, ce qui implique alors $T=T_n=T_p$.

II.4.c Comparaison et choix des modèles de transport

Comme nous l'avons vu au paragraphe II.2, l'ionisation par impact nécessite un modèle en énergie. Cependant, l'Université de Stanford utilise le modèle de Dérive Diffusion (noté DD) pour ses simulations [Gopalakrishnan 05]. Les auteurs se justifient en se référant aux articles [Millidge 95] et [Herbert 93], dans lesquelles des comparaisons entre des modèles locaux et non locaux sont effectuées sur des tensions de claquage dans les diodes PiN. Les simulations de Stanford sont appuyées par des données expérimentales (diodes PiN réalisées sur Si et Ge).

Dans les articles cités [Millidge 95] et [Herbert 93], les auteurs concluent sur l'équivalence des deux modèles dans les diodes PiN (Dérive Diffusion et Hydrodynamique), car les effets non stationnaires en hydrodynamique se compensent : la survitesse et le « décalage » dû au temps de relaxation en énergie. Cependant ces explications ne sont pas tout à fait satisfaisantes, dans le sens où l'approche est qualitative et non pas quantitative. De plus, ces travaux ne portent que sur le GaAs et le Si, rien n'est mentionné sur le Ge par exemple.

Dans un premier temps, nous avons donc comparé les deux modèles sur une structure simple : la diode PiN à une dimension (~un I-MOS tel que décrit sur la **Figure II-1** sans la grille de longueur L_{IN}). Le modèle hydrodynamique utilisé est appelé Energy Balance (noté EB) [Grasser 03]. Notons que les simulations sont effectuées par défaut à 400K pour se placer dans le même cas que Stanford [Gopalakrishnan 05].

En théorie, le modèle de Dérive Diffusion devrait prédire des tensions d'avalanche inférieures aux données expérimentales, car l'utilisation du champ électrique comme paramètre de dépendance des coefficients α_n et α_p entraîne une surestimation de ces coefficients (comme on l'a vu au paragraphe II.2).

Le modèle d'Energy Balance prend en compte le temps de relaxation en énergie des porteurs τ_w . On peut alors définir un champ effectif vu par les porteurs, E_{eff} , qui résulte de l'écart entre l'énergie des porteurs et du réseau. Le champ effectif est plus « doux » et son maximum est légèrement décalé par rapport au champ réel [Grasser 03]. La dépendance de E_{eff} vis-à-vis de la température des porteurs est donnée par les équations (II-3).

$$E_{eff,n} = \frac{3}{2} \cdot \frac{k_B(T_n - T)}{q \cdot v_{sat} \cdot \tau_{w,n}} \text{ et } E_{eff,p} = \frac{3}{2} \cdot \frac{k_B(T_p - T)}{q \cdot v_{sat} \cdot \tau_{w,p}} \quad (\text{II-3})$$

v_{sat} étant défini comme la vitesse de saturation, le produit $\tau_w \cdot v_{sat}$ représente alors le libre parcours moyen pour l'interaction porteur/phonon.

Les temps de relaxation en énergie peuvent être extraits par des simulations Monte Carlo. Dans notre modèle, ces temps sont constants, mais certaines publications montrent une dépendance de ces temps en énergie [Grasser 03].

Cependant, les simulations réalisées avec le modèle de Dérive Diffusion semblent concorder avec les données de la littérature (voir **Figure II-3**). Pour des grands dispositifs ($L_{IN} > 1\mu\text{m}$), les deux modèles convergent vers les données expérimentales. Mais pour $0,2\mu\text{m} < L_{IN} < 1\mu\text{m}$, le modèle d'Energy Balance a tendance à prédire des tensions de claquage plus grandes que ce qu'on obtient expérimentalement. Et pour $L_{IN} < 0,1\mu\text{m}$, le comportement du modèle d'Energy Balance diffère totalement de celui de dérive diffusion, puisqu'on observe une augmentation des tensions de claquage qui n'est pas vérifiée expérimentalement. Des comportements « étranges » liés à l'utilisation des modèles hydrodynamiques en régime d'avalanche ont aussi été observés dans la littérature [Hong 99].

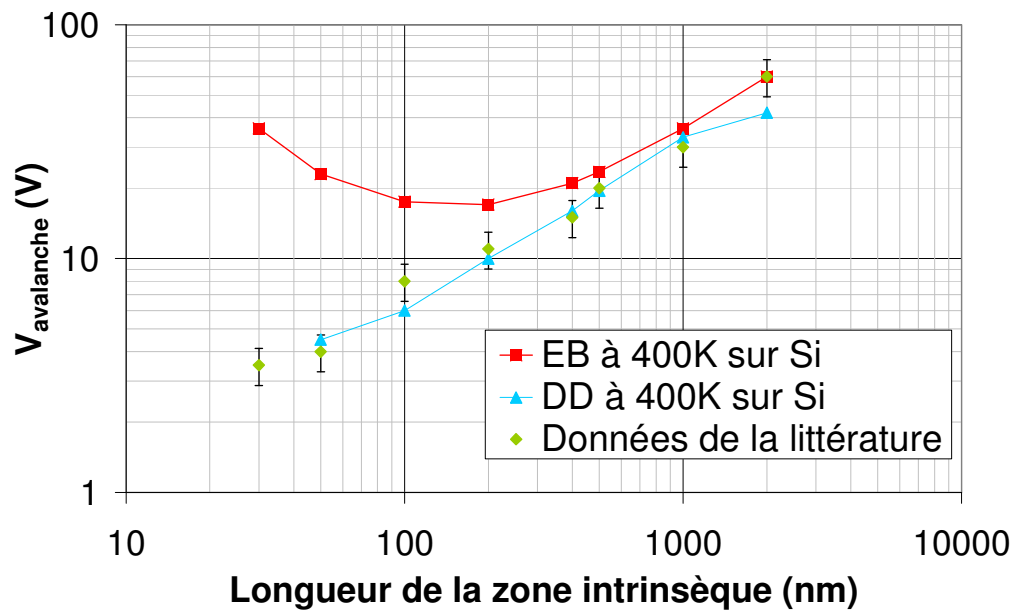


Figure II-3 : Tension d'avalanche en fonction de la longueur de la zone intrinsèque (L_{IN}) d'une diode PiN. Les données de la littérature proviennent de [Gopalakrishnan 05].

Au vu de ces résultats et des publications de [Millidge 95] et [Herbert 93] qui semblent valider son utilisation, nous avons donc opté pour le modèle de Dérive Diffusion pour les simulations présentées dans ce manuscrit de thèse. Cependant, des études sont en cours au LETI sur la compréhension (origine physique ou pas) du comportement des simulations en Energy Balance. Deux pistes sont explorées. La première consiste à introduire une dépendance en énergie pour τ_w [Gonzalez 99]. La deuxième concerne l'utilisation d'autres modèles hydrodynamiques et des variations sur la troncature du flux d'énergie [Grasser 03].

Nous verrons aussi une autre justification de l'utilisation du modèle de Dérive-Diffusion au chapitre V.

II.5 Température du réseau

Par défaut, les simulations TCAD sont réalisées pour une température du réseau de 300K. Cependant, le courant à l'état bloqué du I-MOS est proche du bruit numérique à cette température ($I_D \sim 10^{-14}$ - 10^{-15} A/ μ m) si bien que le simulateur rencontre de sévères problèmes de convergence, notamment au moment de passer en avalanche. Dans [Gopalakrishnan 05], l'approche utilisée consiste à simuler les I-MOS à 400K. En effet, nous verrons plus loin que le courant à l'état bloqué du I-MOS est celui d'une diode PiN polarisée en inverse. Ce courant dépend donc exponentiellement de la température. C'est cette solution que nous avons utilisée dans cette thèse. Cependant, pour quantifier notre erreur, nous avons réussi à faire converger quelques simulations à 300K, ainsi que des simulations de I-MOS avec auto-échauffement (avec une température initiale de 300K).

Pour cela, considérons un p-IMOS de géométrie $L_G=1\mu\text{m}$, $L_{TN}=0.4\mu\text{m}$, $T_{Si}=100\text{nm}$ et $T_{ox}=9\text{nm}$. La tension d'alimentation est de l'ordre de $V_{SD} \sim 18\text{V}$, ce qui est normal pour ces dimensions (voir paragraphe III). La **Figure II-4** représente la tension de seuil $V_{GT}(V_{SD})$, et la pente sous le seuil $S(V_{SD})$ ainsi que la figure de mérite $I_{OFF}(I_{ON})$ à 300K, 400K et en considérant l'auto-échauffement du dispositif. I_{OFF} est défini pour $V_{GD}=0\text{V}$ et I_{ON} pour $V_{GD}-V_{GT}=-1\text{V}$.

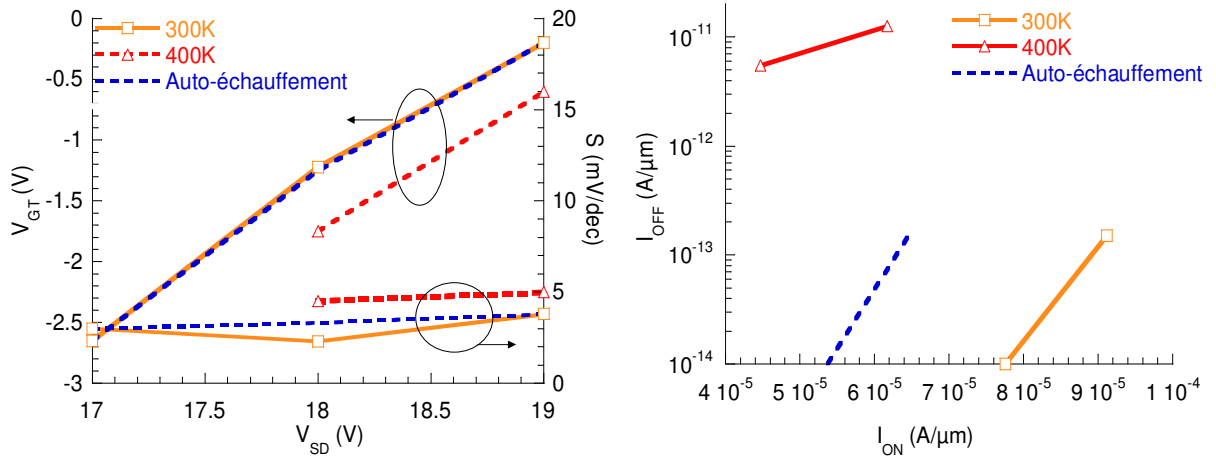


Figure II-4 : (gauche) Tension de seuil $V_{GT}(V_{SD})$ et pente sous le seuil $S(V_{SD})$ pour un p-IMOS ($L_G=1\mu\text{m}$, $L_{TN}=0.4\mu\text{m}$, $T_{Si}=100\text{nm}$, $T_{ox}=9\text{nm}$, $\Phi_M=4\text{eV}$), (droite) figure de mérite $I_{OFF}(I_{ON})$ à 300K, 400K et en considérant l'auto-échauffement du dispositif (avec une température initiale de 300K).

Concernant la pente sous le seuil S , on observe qu'elle est indépendante de la température, contrairement à celle d'un MOSFET classique qui varie en kT/q .

Si on s'intéresse maintenant à la tension de seuil, on voit qu'à 400K, V_{GT} est légèrement plus élevée ($\sim +0.5\text{V}$) qu'à 300K. Comme l'avalanche est induite par l'ionisation par impact, il est normal d'observer une augmentation de V_{GT} avec la température [Sze]. Nous commenterons les variations de V_{GT} avec V_{SD} dans le paragraphe III.1. En prenant en compte l'auto-échauffement, le résultat est le même qu'à 300K. Comme la simulation a été réalisée en passant de l'état OFF vers l'état ON, la tension de seuil est définie alors que le dispositif est bloqué, c'est à dire que la

puissance dissipée (\Rightarrow le produit $V_{SD} \cdot I_D$) est faible. L'élévation de température est donc négligeable.

Concernant la caractéristique $I_{OFF}(I_{ON})$, on observe que $I_{OFF,300K} < I_{OFF,400K}$ et $I_{ON,300K} > I_{ON,400K}$. L'auto-échauffement est un mélange entre les cas 300 et 400K : $I_{OFF,auto} \sim I_{OFF,300K}$ et $I_{ON,auto} \sim I_{ON,400K}$.

En simulant nos I-MOS à 400K, l'erreur commise sur la tension de seuil est d'environ 0.5V qui est négligeable devant la tension d'alimentation V_{SD} et on surestime environ le courant OFF de 2 décades. Par contre, le courant à l'état ON est décrit plus correctement à 400K qu'à 300K. Bien que l'effet de la diminution des dimensions n'est pas été exploré, il paraît raisonnable de considérer que les simulations à 400K sont donc justifiées pour des dimensions supérieures à $\sim 100\text{nm}$.

II.6 Conclusion sur le choix des modèles

Dans la suite de ce chapitre, nous simulerons un p-IMOS sur SOI (moins de fuites par rapport au Si massif), en définissant des paramètres d'entrée géométriques et technologiques.

Nous avons opté pour un modèle d'ionisation par impact qui présente les avantages suivants : de nombreuses données publiées dans la littérature sur ce modèle, une compatibilité avec des modèles de transport hydrodynamique et une bonne convergence numérique. Concernant le modèle de tunnel bande à bande, le simulateur ATLAS ne nous a pas laissé beaucoup de choix, nous avons donc choisi le modèle de [Hurkx 92]. A noter que les modèles non locaux de BtBt n'étaient pas implémentés au moment où cette étude a été effectuée et n'ont donc pas pu être utilisés. Malgré le fait que l'ionisation par impact soit un phénomène énergétique, le modèle de Dérive-Diffusion a été choisi, le modèle hydrodynamique n'étant pas calibré correctement et présentant des comportements non physiques. De plus, plusieurs données dans la littérature semblent valider l'utilisation du modèle de Dérive-Diffusion pour des simulations de diode PiN, du moins dans le Si. Pour s'affranchir des problèmes de convergence numérique rencontrés par les simulations à 300K, les simulations sont effectuées à 400K, l'impact de cette approche a été estimé dans ce chapitre. Malgré toutes ces approximations, les simulations TCAD montrent une bonne concordance entre la tension d'avalanche simulée et celle mesurée expérimentalement. Nous reviendrons dessus dans le chapitre IV, concernant les mesures expérimentales de nos I-MOS.

Pour être complet sur les modèles utilisés, il faut citer aussi l'utilisation du modèle classique de génération recombinaison SHR [Sze] ainsi que l'utilisation de la fonction de répartition de porteurs de Fermi Dirac (et non pas la statistique de Boltzmann).

A noter, toutes les simulations TCAD de I-MOS publiées dans la littérature (par exemple [Gopalakrishnan 05], [Choi 06], [Charbuillet 06], [Toh 07a], [Toh 07b]...) utilisent les mêmes modèles que dans ce manuscrit pour l'ionisation par impact et le transport des porteurs.

III Etude du fonctionnement du I-MOS

L'objectif de ce paragraphe est d'expliquer dans un premier temps le fonctionnement du I-MOS par le biais de simulations TCAD, en utilisant les modèles vus précédemment. Nous illustrerons nos propos à l'aide du p-IMOS (tous les résultats sont transposables au n-IMOS). Dans un second temps, nous verrons que l'avalanche n'est pas toujours localisée du côté grille, mais peut l'être aussi du côté source. Et finalement, nous détaillerons d'autres modes de fonctionnement du I-MOS, notamment en mode TFET.

III.1 Commutation ON/OFF

Pour les explications qui vont suivre, nous allons nous focaliser sur le p-IMOS de géométrie $L_G=1\mu\text{m}$, $L_{\text{TN}}=0,4\mu\text{m}$ avec une épaisseur de film de $T_{\text{Si}}=100\text{nm}$ et $T_{\text{ox}}=9\text{nm}$. Ce cas est proche des I-MOS testés électriquement dans le paragraphe IV.

III.1.a Caractéristique $I_D(V_{\text{DS}})$

Le fonctionnement du I-MOS est basé sur l'utilisation de l'ionisation par impact. Or ce phénomène nécessite des champs électriques importants de l'ordre de 10^5 à 10^6 V/cm (dans le Si). Pour obtenir un tel champ, le I-MOS doit être polarisé en inverse : $V_{\text{SD}} > 0$ pour le p-IMOS. Dans ce paragraphe, nous allons fixer V_{GD} à 0 et étudier la caractéristique $I_D(V_{\text{SD}})$ en faisant varier la polarisation V_{SD} de 0 jusqu'à l'avalanche. A partir de cette caractéristique, différents points de polarisation peuvent être envisagés.

La **Figure III-1** représente la caractéristique $I_D(V_{\text{SD}})$ du dispositif considéré. On distingue trois régimes distincts, plus un 4^{ème} qui n'est pas visible et que l'on obtient difficilement en TCAD :

- $0 < V_{\text{SD}} < 17\text{V}$, la caractéristique du I-MOS est très voisine de celle d'une diode PiN polarisée en inverse et ne dépend presque pas de V_{SD} .
 - $17\text{V} < V_{\text{SD}} < 19,4\text{V}$, le champ électrique dans la zone intrinsèque devient suffisamment important pour obtenir un courant d'ionisation par impact prépondérant.
 - $V_{\text{SD}} > V_{\text{BR}} = 19,4\text{V}$, la zone intrinsèque passe en avalanche, le I-MOS passe à l'état passant. V_{BR} est appelée la tension d'avalanche.
 - Pour $V_{\text{SD}} \gg V_{\text{BR}}$, une 2^{ème} avalanche (non montré ici) a lieu, où l'avalanche s'étend aussi sous toute la grille. Ce régime signifie généralement la destruction du dispositif.
- Nous allons maintenant détailler point par point chacun des régimes ci-dessus.

⇒ **1^{er} régime : la diode PiN en inverse**

Lorsque le I-MOS est polarisé à $0 < V_{\text{SD}} < 17\text{V}$, le courant I_D est voisin de celui d'une diode PiN polarisée en inverse. Ce courant possède deux composantes [Sze]:

- le courant de diffusion des minoritaires (III-1)
- le courant de génération/recombinaison dans la zone de charge d'espace (III-2)

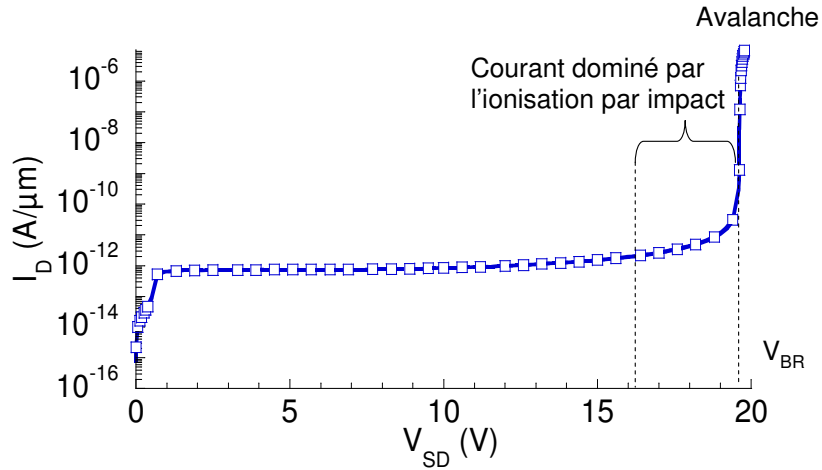


Figure III-1 : Simulation d'une caractéristique $I_D(V_{SD})$ à $V_{GD}=0V$ d'un p-IMOS de géométrie $L_G=1\mu m$ et $L_{IN}=0,4\mu m$.

En première approximation, la zone de charge d'espace du I-MOS est égale à L_G+L_{IN} (on néglige notamment l'expansion de la zone de charge d'espace dans la source et le drain).

$$J_{diff}(V) = \left[\frac{e.n_i^2.D_p}{N_D.L_p.tanh((L_{IN} + L_G)/L_p)} + \frac{e.n_i^2.D_n}{N_A.L_n.tanh((L_{IN} + L_G)/L_n)} \right] \cdot \left(e^{\frac{eV_{SD}}{kT}} - 1 \right) \quad (III-1)$$

$$J_{gr}(V) \approx -\frac{en_i}{2.\tau} \cdot (L_{IN} + L_G) \cdot \left(e^{\frac{eV_{SD}}{kT}} - 1 \right) \quad \text{avec } \tau \text{ durée de vie des porteurs} \quad (III-2)$$

minoritaires

Il est intéressant de noter que le courant de génération/recombinaison est proportionnel à n_i alors que le courant de diffusion dépend de n_i^2 . Selon le matériau et la température considérée, le rapport des 2 courants n'est pas le même (voir **Tableau III-1**). Dans le silicium, l'application numérique montre que le courant de diffusion est négligeable devant l'autre composante, aussi bien à 300 qu'à 400K. Mais cela n'est plus vrai dans le germanium, où $n_{iGe} > n_{iSi}$ d'un facteur mille environ [Sze].

	Si		Ge	
T (K)	300	400	300	400
n_i (cm ⁻³)	9.10^9	5.10^{12}	2.10^{13}	1.10^{15}
J_{diff} (A.cm ⁻²)	3.10^{-11}	7.10^{-6}	3.10^{-6}	1.10^{-2}
J_{gr} (A.cm ⁻²)	1.10^{-6}	5.10^{-4}	2.10^{-7}	1.10^{-5}

Tableau III-1 : Comparaison des différentes composantes du courant en inverse d'une diode PiN pour le Si et le Ge à 300 et 400K, dans le p-IMOS considéré ($L_G=1\mu m$ et $L_{IN}=0.4\mu m$).

⇒ **2^{ème} régime : le point de polarisation du I-MOS**

Pour $17V < V_{SD} < V_{BR} = 19,4V$, le champ électrique induit par la différence de potentiel V_{SD} dans la structure devient assez important pour provoquer l'ionisation par impact, entraînant une multiplication significative des porteurs. Cependant le champ électrique n'est pas assez intense pour provoquer l'avalanche. L'idée maîtresse du I-MOS est d'appliquer ensuite une tension sur la grille pour augmenter le champ électrique et faire passer le dispositif en avalanche.

La polarisation V_{DS} du I-MOS doit donc se faire dans ce régime. Le choix de V_{DS} fixe deux paramètres importants du I-MOS : le courant à l'état bloqué I_{OFF} (par définition : c'est le courant I_D à $V_{GD}=0V$) et la tension de seuil V_{GT} . En effet, contrairement à un MOSFET, la tension de seuil du I-MOS dépend de la polarisation V_{SD} [Mayer 06]. Plus V_{DS} est proche de V_{BR} et plus la tension à appliquer sur la grille pour atteindre l'avalanche est faible, comme on peut le voir sur la **Figure III-2**. Cependant, plus V_{SD} est proche de V_{BR} et plus le courant I_{OFF} augmente à cause de l'ionisation par impact. Pour $V_{SD} < \sim 17.5V$, le dispositif ne passe finalement plus en avalanche, le champ électrique n'étant plus suffisant [Mayer 06].

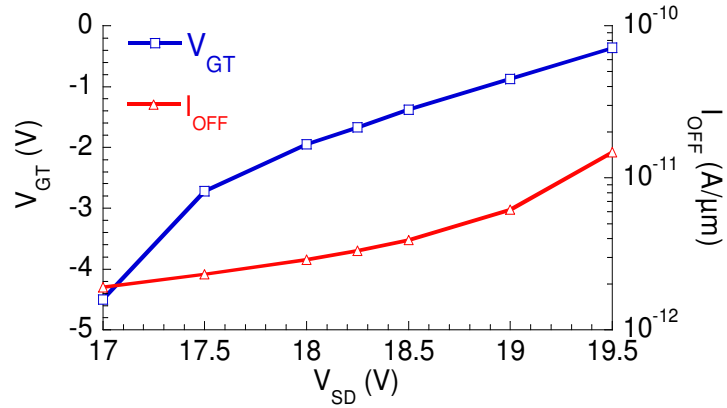


Figure III-2 : Simulation $I_{OFF}(V_{DS})$ et $V_{GT}(V_{SD})$ pour un p-IMOS de géométrie $L_G=1\mu m$, $L_{IN}=0.4\mu m$, $T_{Si}=100nm$, $T_{ox}=9nm$, $T_{Box}=4\mu m$, $\Phi_M=4eV$.

Les dépendances $V_{GT}(V_{SD})$ et $I_{OFF}(V_{SD})$ sont montrées sur la **Figure III-2**. Les mesures expérimentales sont disponibles au paragraphe IV. Nous verrons l'impact de V_{DS} sur I_{ON} dans le paragraphe consacré au 3^{ème} régime de fonctionnement du I-MOS.

⇒ **3^{ème} régime : avalanche du I-MOS**

Finalement à $V_{SD} = 19,4V = V_{BR}$, l'ionisation par impact déclenche l'avalanche dans la zone intrinsèque. Le courant est alors limité par les résistances du canal et/ou de la zone intrinsèque et/ou par les résistances d'accès. La **Figure III-3 a)** représente le schéma électrique équivalent du I-MOS en statique. La **Figure III-3 b)** représente le courant à l'état passant I_{ON} défini à $V_{GD} - V_{GT} = -1V$ en fonction de V_{SD} , ainsi que la tension aux bornes du canal $V_{S\text{effD}}$. Le courant I_{ON} suit les variations de la tension $V_{S\text{effD}}$. On peut donc modéliser le I-MOS à l'état passant comme un MOSFET en régime linéaire. La résistance $R_{Intrinsèque}$ est prise en compte à travers $V_{S\text{eff}}$. Dans la

majorité des cas $R_{\text{Intrinsèque}} \gg R_{\text{Source}}, R_{\text{Drain}}$. Toute la difficulté consiste à calculer les différentes grandeurs en fonction des données géométriques et technologiques du dispositif. Ce calcul fait l'objet du chapitre V.

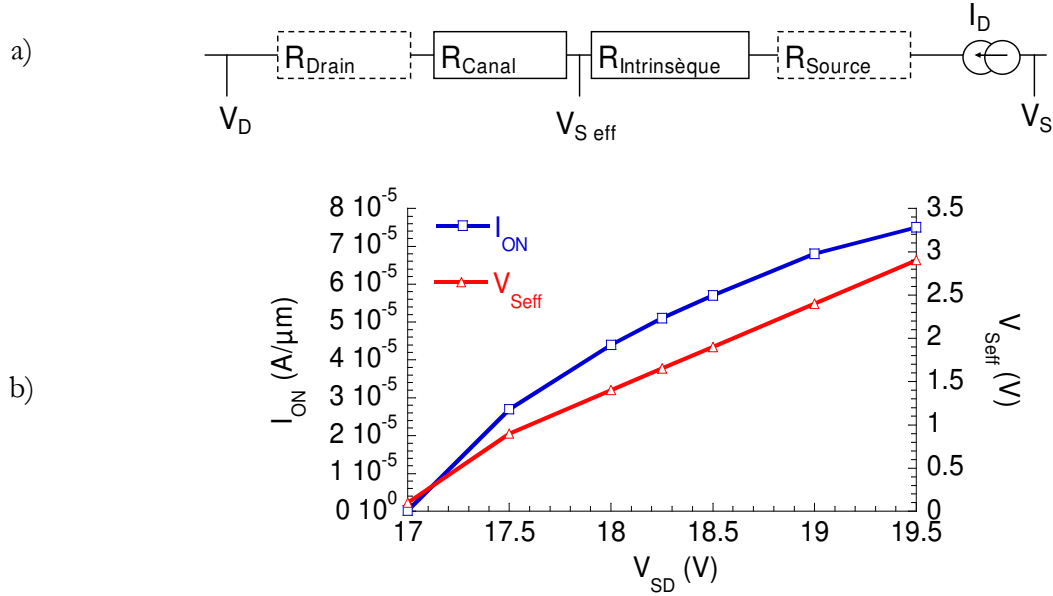


Figure III-3 : a) Schéma électrique du I-MOS b) Simulation $I_{\text{ON}}(V_{\text{DS}})$ et $V_{\text{DS eff}}(V_{\text{DS}})$ pour un p-IMOS ($L_G=1\mu\text{m}$, $L_{\text{IN}}=0.4\mu\text{m}$, $T_{\text{Si}}=100\text{nm}$, $T_{\text{ox}}=9\text{nm}$, $T_{\text{Box}}=4\mu\text{m}$, $\Phi_M=4\text{eV}$).

III.1.b Caractéristique $I_D(V_{\text{GD}})$

Nous avons jusqu'ici analysé le dispositif à travers sa caractéristique $I_D(V_{\text{DS}})$, nous allons maintenant étudier les caractéristiques $I_D(V_{\text{GD}})$. La **Figure III-4** représente les caractéristiques $I_D(V_{\text{GD}})$ d'un p-IMOS ($L_G=1\mu\text{m}$, $L_{\text{IN}}=0.4\mu\text{m}$, $T_{\text{Si}}=100\text{nm}$, $T_{\text{ox}}=9\text{nm}$, $T_{\text{Box}}=4\mu\text{m}$, $\Phi_M=4\text{eV}$) pour différents V_{SD} . Toutes les analyses effectuées jusqu'ici (I_{ON} , I_{OFF} , V_{GT}) sont synthétisées sur la **Figure III-4**. S vaut $\sim 2\text{mV/dec}$ pour tout V_{SD} .

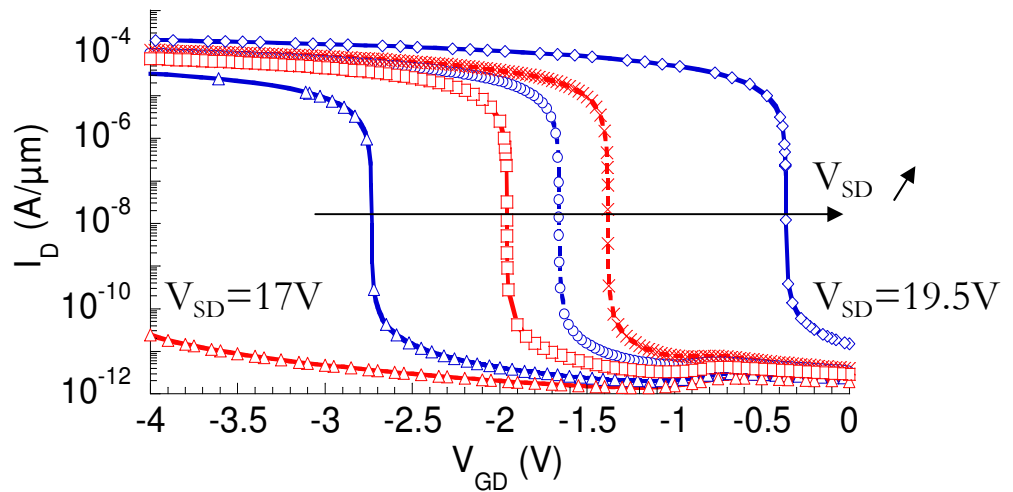


Figure III-4 : Simulations $I_D(V_{\text{GD}})$ à différents V_{DS} (17-17.5-18-18.25-18.5-19.5V) pour $L_G=1\mu\text{m}$, $L_{\text{IN}}=0.4\mu\text{m}$, $T_{\text{Si}}=100\text{nm}$, $T_{\text{ox}}=9\text{nm}$, $T_{\text{Box}}=4\mu\text{m}$, $\Phi_M=4\text{eV}$.

III.2 Localisation de l'avalanche

Dans la littérature [Gopalakrishnan 05], l'avalanche est supposée être localisée du côté de la grille, conduisant à des problèmes de fiabilité très importants (voir chapitre IV). Nous avons cependant montré que dans nos dispositifs, l'avalanche n'est pas forcément localisée en bord de grille, mais peut aussi l'être côté source [Mayer 07a], ce qui se traduit par une meilleure fiabilité. Dans cette partie, nous allons démontrer cela par le biais de simulations TCAD. Des preuves expérimentales seront apportées dans le chapitre IV.

Pour rendre nos simulations TCAD plus réalistes et pouvoir confronter les résultats des simulations avec les mesures expérimentales, les profils de dopage utilisés dans notre simulateur proviennent de mesures SIMS (il s'agit des profils réels dans les lots de transistors). La géométrie du p-IMOS considéré est $L_G=1\mu\text{m}$, $L_{TN}=0,4\mu\text{m}$ avec une épaisseur de film $T_{Si}=100\text{nm}$ et $T_{ox}=9\text{nm}$. De plus, pour que ce cas corresponde aux I-MOS testés électriquement dans le paragraphe IV, une épitaxie source/drain/zone intrinsèque de 30nm est prise en compte.

III.2.a Le champ électrique longitudinal E_x

Pour bien comprendre comment se passe le déclenchement, il faut d'abord analyser le champ électrique dans la structure. La **Figure III-5** représente le champ longitudinal (E_x) dans le dispositif à $V_{GD}=0\text{V}$ et à $V_{GD}=V_{GT}$. La coupe a été effectuée dans le canal, à 1nm sous l'interface Si/SiO₂. On distingue une zone de fort champ électrique correspondant à la zone intrinsèque. Trois pics de champ sont observés :

- le premier pic correspond à la jonction de drain. La valeur de ce champ diminue quand $|V_{GD}|$ augmente, il n'intervient donc pas dans le déclenchement du dispositif en mode ionisation par impact (A sur la **Figure III-5**). Notons que c'est ce champ électrique qui est utilisé en mode TFET (voir paragraphe III.3.b).
- le second pic situé en bord de grille correspond à la jonction canal/zone intrinsèque (B sur la **Figure III-5**). La forme pointue s'explique par l'épitaxie qui entraîne l'apparition d'un effet de pointe en bord de grille. Cependant, même sans épitaxie le champ électrique présente un maximum en bord de grille (voir chapitre V). L'utilisation de Source/Drain surélevés ne change donc pas notre analyse.
- le troisième pic correspond à la jonction du côté source (C sur la **Figure III-5**).

Pour le p-IMOS considéré, le pic de champ le plus fort est localisé côté source. Lorsque la tension $|V_{GD}|$ augmente de 0V à $|V_{GT}|$, le champ électrique moyen augmente dans la zone intrinsèque d'environ 4 à 5%, ce qui permet au p-IMOS de passer de l'état bloqué à l'état passant avec S de l'ordre de quelques mV/dec. L'avalanche est initiée à l'endroit où le champ électrique est maximum.

Ce déclenchement côté source est nouveau par rapport à ce que l'on trouve dans les données de la littérature ([Gopalakrishnan 05], [Choi 06]), où l'avalanche a toujours lieu côté grille. Dans le paragraphe suivant, nous verrons que selon la géométrie du I-MOS, le champ électrique maximum peut aussi être localisé côté grille.

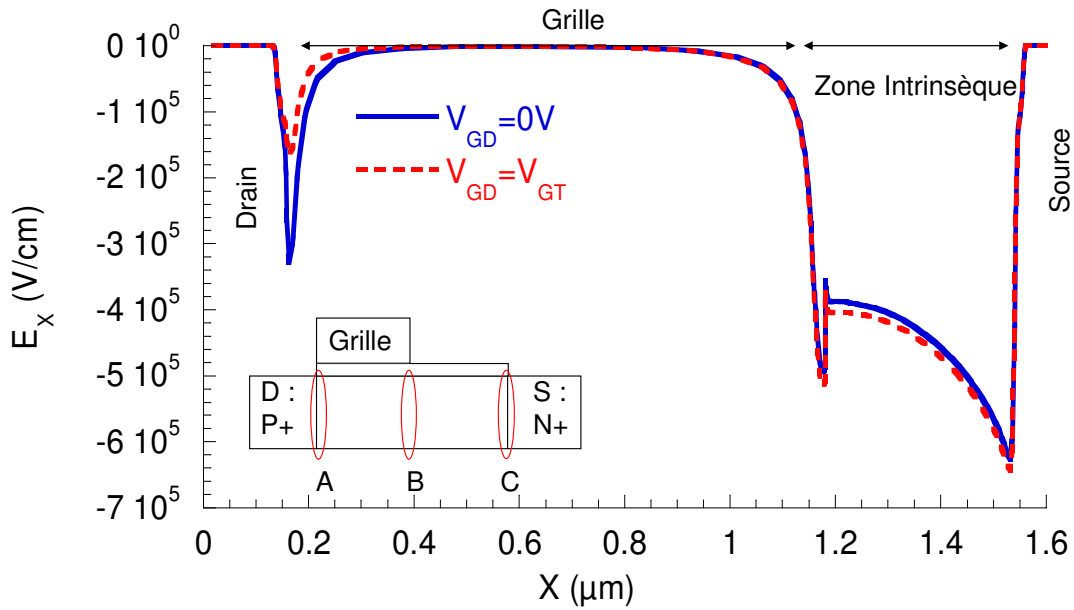


Figure III-5 : Simulation du champ électrique E_x dans un p-IMOS de géométrie $L_G=1\mu\text{m}$, $L_{IN}=0,4\mu\text{m}$, $T_{ox}=9\text{nm}$ et $T_{Box}=4\mu\text{m}$, polarisé à $V_{SD}=19\text{V}$ ($V_{GD}=0\text{V}$ et $V_{GD}=V_{GT}$). La coupe a été effectuée dans le canal à 1nm sous l'interface Si/SiO_2 .

III.2.b Le taux de génération côté source et grille

Le paragraphe précédent a mis en évidence les deux pics de champ électrique initiateur de l'ionisation par impact : en bord de grille et en bord de jonction. Dans un premier temps, nous allons voir qu'il est possible de modifier la localisation du champ électrique longitudinal maximum et donc de moduler le lieu où l'avalanche est initialisée. Pour cela, des p-IMOS avec différentes longueurs de zone intrinsèque L_{IN} sont étudiés. Dans un deuxième temps, nous analyserons la relation qui existe entre ces deux zones de fort champ électrique.

Pour localiser la zone initiateur de l'avalanche, le taux de génération par impact à $V_{GD}=0\text{V}$ et $V_{SD}=19\text{V}$ a été cartographié (voir **Figure III-6** gauche). Deux zones de génération sont mises en évidence (grille et jonction côté source), qui correspondent aux deux pics de champ. Qualitativement, on s'aperçoit que la zone de génération côté source est beaucoup plus étendue et risque de jouer un rôle plus important dans le déclenchement du dispositif. Comme nous le verrons au paragraphe IV.1, le champ électrique moyen augmente sensiblement quand L_{IN} diminue. En fonction de L_{IN} , l'avalanche ne sera pas initiée au même endroit.

Afin d'analyser l'évolution des deux sites initiateurs, le ratio du maximum du taux de génération côté grille ($G_{L,G}$) sur celui côté source (G_{Source}) à $V_{GD}=V_{GT}$ a donc été tracé sur la **Figure III-6** (droite) en fonction de la longueur L_{IN} (pour $L_G=1\mu\text{m}$). La difficulté pour comparer les dispositifs avec des L_{IN} différents réside dans le fait que les polarisations V_{DS} à appliquer sur les dispositifs varient en fonction de L_{IN} (voir paragraphe IV.1). Deux valeurs de V_{SD} ont donc été utilisées : $V_{SD}=0,9.V_{BR}$ qui privilégie plutôt les petits dispositifs ($L_{IN}<\sim 300\text{nm}$) et $V_{SD}=V_{BR}-1\text{V}$, qui est plus adapté aux grands dispositifs ($L_{IN}>\sim 400\text{nm}$).

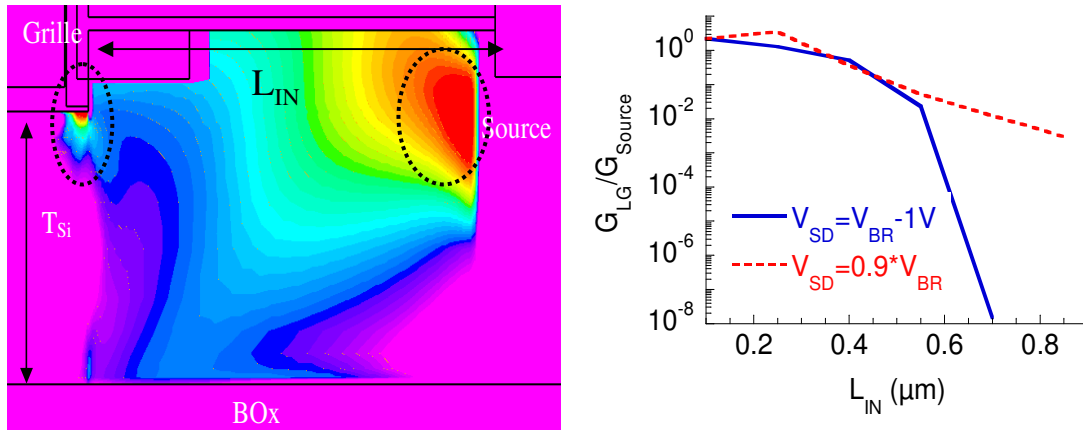


Figure III-6 : (gauche) Cartographie 2D réalisée sous ATLAS, représentant le taux d'ionisation par impact dans un p-IMOS sur SOI à $V_{DS}=19V$ et $V_{GD}=0V$. (droite) Simulation du ratio entre le taux de génération en bord de grille et le taux de génération côté jonction tracé en fonction de L_{IN} sur des p-IMOS ($L_G=1\mu m$, $T_{Si}=100+30nm$, $T_{ox}=9nm$, $T_{Box}=4\mu m$, $\Phi_M=4eV$) à $V_{GD}=V_{GT}$. Deux polarisations sont utilisées à titre de comparaison : $V_{SD}=0,9 \cdot V_{BR}$ et $V_{SD}=V_{BR}-1V$ [Mayer 07a].

Pour les deux types de polarisation envisagées, le comportement est le même. Pour $L_{IN} < 400$ nm, le ratio tend vers 1, c'est-à-dire que l'importance des deux zones s'équilibre. Plus L_{IN} augmente et plus la jonction côté source domine le déclenchement du dispositif. Selon la longueur de L_{IN} , le mode de déclenchement n'est donc pas le même, privilégiant l'avalanche soit côté grille, soit côté jonction. Des preuves expérimentales de l'existence de ces deux modes de déclenchement seront apportées dans le chapitre V.

III.2.c Rétroaction

Nous venons de voir l'existence de deux sites de génération dans le dispositif : côté grille ou côté source. L'objectif de ce paragraphe est de déterminer si ces deux sites générateurs sont indépendants, liés par une relation de cause à effet ou liés par une boucle de rétroaction.

Pour répondre à cette question, un p-IMOS de géométrie $L_G=1\mu m$, $L_{IN}=0,4\mu m$ a été étudié. Dans la simulation TCAD, la zone intrinsèque a été divisée en quatre parties de longueurs identiques et l'ionisation par impact a été désactivée successivement en simulation dans les zones suivantes (voir **Figure III-7**):

- 1) $\frac{1}{4} L_{IN}$ du côté de la grille
- 2) $\frac{1}{2} L_{IN}$ (en laissant l'ionisation par impact activée sur $\frac{1}{4}$ côté grille et côté source)
- 3) $\frac{1}{4} L_{IN}$ du côté de la source.

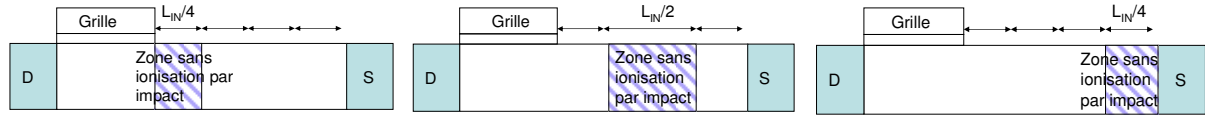


Figure III-7 : représentation schématique des 3 cas considérés : désactivation de l'ionisation par impact sur $\frac{1}{4} L_{IN}$ du côté de la grille (gauche), $\frac{1}{2} L_{IN}$ en laissant $\frac{1}{4}$ côté grille et côté source (milieu), $\frac{1}{4} L_{IN}$ du côté de la source (droite).

Le dispositif est ensuite polarisé à $V_{SD}=19V$. Les caractéristiques $I_D(V_{SD})$ sont tracées sur la **Figure III-8** (gauche) pour les trois cas précédents ainsi que pour le cas de référence (ionisation par impact activée sur toute la structure). Le courant OFF (I_D à $V_{SD}=19V$ et $V_{GS}=0V$) est pratiquement divisé par dix lorsqu'on désactive l'ionisation par impact dans la zone intrinsèque (cas 2) ou côté source (cas 3) et par deux lorsqu'on le désactive côté grille (cas 1).

Plusieurs conclusions peuvent être tirées de ces simulations. D'abord, les cas 1 et 3 ne sont pas symétriques : la contribution au courant OFF du côté source est cinq fois plus importante que celle du côté grille. De plus, la zone de charge d'espace s'avère nécessaire pour multiplier les porteurs. Ce résultat peut se retrouver dans les intégrales d'ionisation dans lesquelles la notion de distance intervient (voir chapitre V).

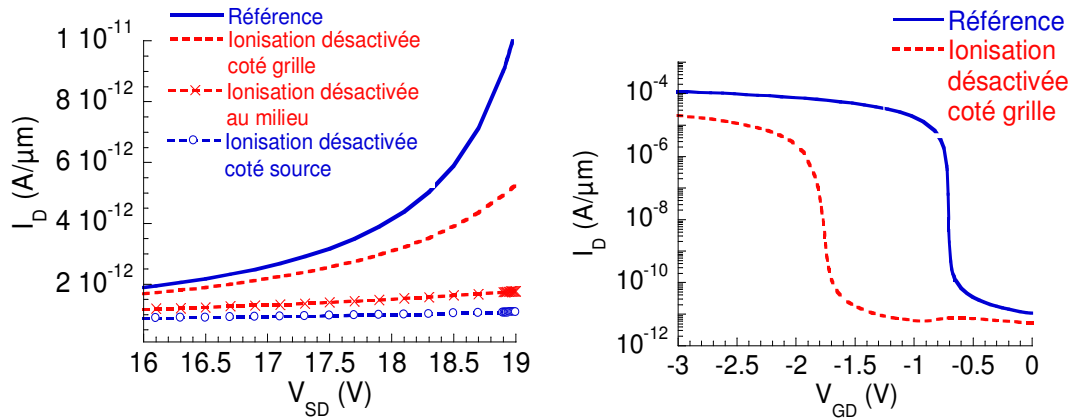


Figure III-8 : Simulations de p-IMOS de géométrie $L_G=1\mu m$, $L_{IN}=0,4\mu m$, $T_{ox}=9nm$, $T_{Box}=4\mu m$, $\Phi_M=4eV$. Afin d'étudier la contribution de chacun des deux sites sur les caractéristiques du p-IMOS, l'ionisation par impact est désactivée sur $\frac{1}{4}$ de la zone intrinsèque côté source ou côté grille et sur $\frac{1}{2}$ de L_{IN} en laissant l'ionisation activée côté grille et côté source. Dans le cas de référence, aucune zone n'est désactivée. (gauche) $I_D(V_{SD})$ à $V_{GD}=0V$. (droite) $I_D(V_{GD})$ à $V_{SD}=19V$.

Les caractéristiques $I_D(V_{GD})$ sont aussi simulées pour chacun des trois cas précédents. Les cas 2 et 3 ne sont pas représentés car ils n'ont pas permis au dispositif de passer de l'état OFF à l'état ON (même pour des polarisations V_{DS} plus élevées). Seul le cas 1 a conduit à l'obtention d'un effet transistor (voir **Figure III-8** droite), mais avec un décalage de la tension de seuil d'environ -1V par rapport à la référence et une inverse de pente sous le seuil dégradée de 7mV/dec à 35mV/dec. Ce résultat confirme les conclusions précédentes, à savoir que l'avalanche

est initiée côté source dans cette structure et que la zone intrinsèque est indispensable pour amplifier les charges. Mais l'information supplémentaire concerne le lien entre les deux zones d'initialisation de l'avalanche (côté grille et côté source). Comme les caractéristiques électriques évoluent dans le cas 1 par rapport au cas de référence, on peut en déduire que le site de grille rétroagit avec le site de source.

Pour des zones intrinsèques plus grandes que le cas considéré, on retrouve les mêmes tendances, mais le décalage de V_{GT} et la dégradation de S sont moins importants. Les deux sites deviennent de plus en plus indépendants.

III.2.d Conclusion sur la localisation de l'avalanche

Nous avons mis en évidence deux zones de fort champ électrique initiatrices de l'ionisation par impact. Tous les deux peuvent potentiellement servir de site initiateur de l'avalanche. En diminuant L_{TN} , le site initiateur se déplace du côté source vers le côté grille. Pour $L_{TN} < 300\text{nm}$, le ratio du taux de génération côté source sur côté grille tend vers 1. En désactivant l'ionisation par impact dans certaines parties de la zone intrinsèque, nous avons mis en évidence que même pour des dispositifs avec $L_{TN} < 300\text{nm}$, le site initiateur est la source. Cependant, dans ce cas les deux zones rétroagissent ensemble.

Quelle que soit la géométrie considéré, ces résultats montrent que la zone intrinsèque est indispensable au déclenchement de l'avalanche : le pic de champ seul ne suffit pas.

Dans les dimensions de L_{TN} considérées, nous n'avons donc pas mis en évidence un mode dans lequel l'avalanche est purement initiée côté grille. Mais en réduisant L_{TN} en dessous de 100 nm et en changeant le profile de dopage, ce mode peut exister, comme nous l'avons montré [Mayer 06]. De façon plus générale, la géométrie du I-MOS (L_{TN} , T_{Si}) et les paramètres technologiques (N_{res} , N_s , profile de dopage...) peuvent permettre de modifier la limite entre un déclenchement en bord de grille et à la source.

III.3 Autres modes d'opération

Nous venons de voir le mode de fonctionnement principal du I-MOS, celui qui a donné son nom au dispositif. Mais de part son architecture originale, il existe d'autres modes de fonctionnement que nous allons détailler dans ce paragraphe.

III.3.a Diode

Le mode d'opération le plus évident est le mode diode. En polarisant le dispositif non plus en inverse mais en directe ($V_{DS} > 0$ dans le cas d'un p-IMOS), on obtient un comportement de diode classique [Sze]. Le courant peut être décrit au premier ordre par l'équation (III-1) du chapitre précédent.

La tension de grille ne joue pas de rôle au premier ordre. Tout au plus, le facteur d'idéalité de la diode peut légèrement changer [Sze].

III.3.b Tunnel FET (TFET)

Jusqu'à maintenant, nous avons considéré le I-MOS une structure hybride entre un MOSFET (pour la partie ON) et une diode PiN (pour la partie OFF). On peut cependant adopter un autre point de vue, en considérant que la structure I-MOS est un 'TFET' avec une zone de dérive (de longueur L_{TN}). Le I-MOS peut donc fonctionner en mode 'TFET'. Cette possibilité a été évoquée dans le premier article sur le I-MOS [Gopalakrishnan 05] mais sans être démontré expérimentalement.

Pour ce mode de fonctionnement, la partie diode est toujours en inverse ($V_{DS} < 0$ pour un p-IMOS), mais V_{DS} est de l'ordre du volt, une tension compatible avec une technologie du type CMOS. C'est la source qui est polarisée pour éviter un décalage de la tension de seuil [Wang 04]. On applique alors une tension sur la grille pour créer un canal de type opposé au dopage du drain, c'est-à-dire $V_{GD} > 0V$ pour un p-IMOS. De ce fait, le champ électrique entre le drain et le canal augmente et permet aux électrons de la bande de valence de passer dans la bande de conduction par effet tunnel bande à bande. Les porteurs sont ensuite évacués par le champ électrique.

Nous ne présenterons pas de simulations TCAD du I-MOS en mode TFET à cause de l'inexactitude des modèles de BtBt employés dans notre simulateur (voir paragraphe II). Nous avons cependant été les premiers à mesurer des caractéristiques expérimentales de I-MOS en mode TFET, comme nous le verrons au chapitre IV. En effet, seul le principe à été montré par [Gopalakrishnan 05], appuyé par une simulation TCAD montrant les lignes de courant dans la structure. L'avantage du I-MOS en mode TFET est une réduction de l'ambipolarité du dispositif, comme l'ont montré [Verhulst 07] par des simulations TCAD. En effet, un TFET classique conduit aussi bien pour $V_{GD} < 0$ que $V_{GD} > 0$ [Wang 04]. Mais la zone intrinsèque du I-MOS permet de diminuer le champ électrique en bord de grille en remplaçant la jonction canal/Source par une jonction canal/zone intrinsèque.

Des études TCAD du TFET « classique » sont disponibles dans la littérature [Boucart 07], portant notamment sur une définition de la notion de tension de seuil dans le TFET et de pente sous le seuil. Ces études peuvent s'appliquer au I-MOS en mode TFET.

III.4 Conclusion sur le fonctionnement du I-MOS

Dans ce paragraphe, nous allons résumer point par point les résultats concernant le fonctionnement du I-MOS : l'état bloqué, la transition et l'état passant.

Les caractéristiques du I-MOS à l'état bloqué sont proches de celles d'une diode PiN polarisée en inverse. La polarisation V_{DS} du I-MOS diffère de celle du MOSFET en ça qu'il existe une fenêtre de polarisation. Si V_{DS} se trouve en dessous de la valeur minimale, le champ électrique créé n'est pas suffisant pour faire basculer le dispositif de l'état OFF vers l'état ON et si V_{DS} se trouve au-dessus, le I-MOS ne peut jamais être à l'état OFF. De façon nominale, V_{DS} doit se trouver entre $V_{BR}-2V$ et V_{BR} . Le choix de la polarisation V_{DS} fixe I_{OFF} et V_{GT} .

Dans les dispositifs considérés, l'avalanche est initiée côté source et amplifiée par la zone de charge d'espace. Cependant, les études ont montré l'existence d'une boucle de rétroaction positive entre le site de génération côté source et celui en bord de grille. L'importance relative des

deux sites de génération dépend de la longueur de la zone intrinsèque L_{TN} . Par la suite, il peut être intéressant d'identifier les autres paramètres qui permettent le passage d'un mode de déclenchement vers l'autre, comme par exemple le profil de jonction...

A l'état ON, le courant est limité par la résistance du canal et la résistance de la zone intrinsèque. La plupart des optimisations (LDD, contrainte...) du MOSFET peuvent être utilisées pour le I-MOS.

Nous avons aussi vu que le mode d'ionisation par impact n'est pas le seul mode de fonctionnement du I-MOS. L'architecture I-MOS peut aussi opérer comme un TFET qui ne serait pas ambipolaire et peut aussi se comporter comme une diode.

IV Etude paramétrique du I-MOS

Dans ce paragraphe, nous présentons une étude paramétrique du dispositif I-MOS pour étudier la sensibilité de ses performances vis-à-vis des paramètres géométriques et technologiques [Mayer 06]. Cette étude est importante pour l'optimisation de l'architecture I-MOS et pour connaître la sensibilité (et donc la dispersion) des performances du I-MOS vis-à-vis des procédés technologiques.

IV.1 Impact sur la tension d'avalanche

Nous allons nous focaliser dans ce paragraphe sur la tension d'avalanche V_{BR} . La **Figure IV-1** (gauche) représente la courbe $V_{BR}(L_{TN})$ obtenue par des simulations TCAD pour $T_{Si}=10nm$ et $100nm$. Quand L_{TN} diminue, V_{BR} diminue linéairement jusqu'à atteindre une limite pour L_{TN} extrapolée à zéro. Dans le meilleur cas, $V_{BR\text{ limite}} \sim 5V$. A ce jour, personne n'a publié de données expérimentales sur le I-MOS avec des tensions V_{BR} inférieure à 5V (sur SOI). Nous verrons cependant au paragraphe V.1 que l'utilisation de matériaux à faible gap comme le Ge permet de diminuer cette limite jusqu'à $\sim 1V$. Cette dépendance de V_{BR} vis-à-vis de L_{TN} s'explique par le fait qu'en première approximation, le champ électrique critique $E_{critique} = V_{BR}/L_{TN}$: donc plus L_{TN} diminue et plus V_{BR} diminue.

La pente de la courbe $V_{BR}(L_{TN})$ est d'environ 30mV/nm. Dans notre approche technologique du I-MOS (voir chapitre III), l'erreur sur L_{TN} provient essentiellement de l'alignement lithographique. L'incertitude peut être de $\sim 50nm$, soit une erreur de 1.5V sur V_{BR} . Plus la longueur L_{TN} ciblé est petite, plus l'erreur est importante. Pour des $L_{TN} \sim 50nm$, il est judicieux de définir L_{TN} par l'espaceur (voir chapitre III). La dispersion n'est alors plus que de 1 ou 2 nm ($\rightarrow \sim 50mV$ sur V_{BR}). Il faut ajouter à cette erreur l'estimation de la diffusion des dopants qui vient diminuer L_{TN} , cependant cette composante est difficile à évaluer.

La diminution de T_{Si} de 100nm à 10nm permet de réduire V_{BR} d'environ 1V, cet effet est purement 2D (terme supplémentaire dans l'équation de Poisson : voir chapitre V). Nous avons vérifié que la variation avec T_{Si} était linéaire, ce qui conduit à une pente $\sim 11mV/nm$. Technologiquement, l'erreur sur la couche de T_{Si} finale qui résulte des étapes d'épitaxie et/ou oxydation et/ou nettoyage est d'environ $\sim \pm 1nm$, ce qui conduit à une erreur maximale de 55mV sur V_{BR} ce qui est négligeable comparé à V_{BR} .

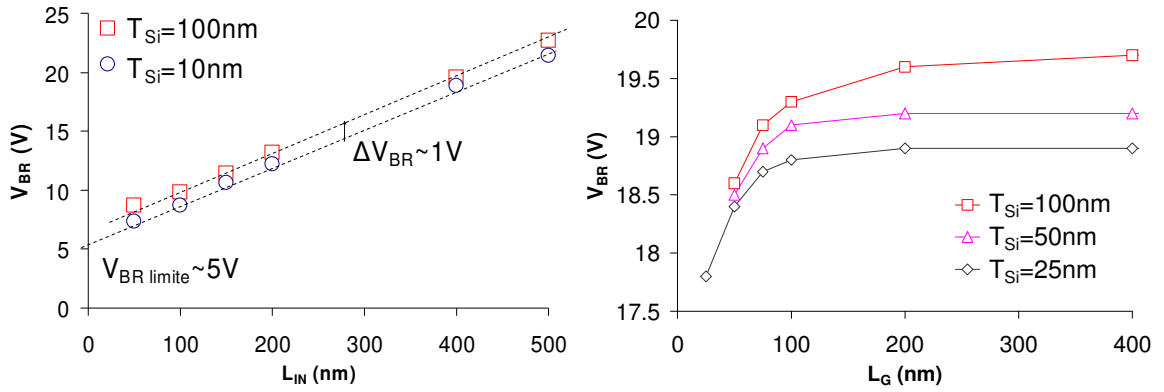


Figure IV-1 : Résultats de simulations numérique de p-IMOS ($T_{ox}=9nm$, $T_{Box}=4\mu m$, $\Phi_M=4eV$). (gauche) Caractéristique $V_{BR}(L_{IN})$ pour $T_{Si}=10nm$ et $T_{Si}=100nm$ ($L_G=1\mu m$). (droite) Caractéristique $V_{BR}(L_G)$ pour $T_{Si}=25-50-100nm$ ($L_{IN}=400nm$).

Sur la partie droite de la **Figure IV-1**, le dépendance de V_{BR} vis-à-vis de L_G est représentée pour $T_{Si}=25-50-100nm$. Pour $L_G > 200nm$, V_{BR} est indépendant de L_G avec une dépendance en T_{Si} . Cette limite se retrouve expérimentalement [Toh 07a]. Pour $L_G < 100nm$, la sensibilité $\partial V_{BR} / \partial T_{Si}$ est environ $16mV/nm$. Pour ces dimensions, la grille est réalisée par e-beam. La marge d'erreur est $\sim 2-3 nm$, ce qui se traduit par un impact négligeable sur V_{BR} .

La **Figure IV-2** représente V_{BR} en fonction de T_{Box} pour $T_{Si}=25$ et $100nm$, obtenue pour un p-IMOS de géométrie $T_{ox}=9nm$, $L_G=1\mu m$, $L_{IN}=400nm$. Pour $T_{Box} > 800nm$, V_{BR} est indépendant de T_{Box} , l'épaisseur d'oxyde enterré peut être considérée comme semi infini. Pour $T_{Box} < 800nm$, V_{BR} diminue d'environ $28 mV/nm$ avec T_{Box} .

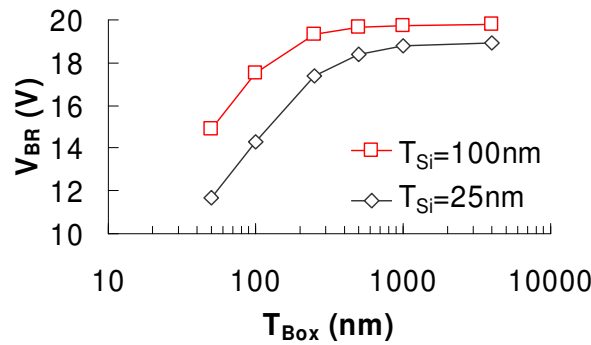


Figure IV-2 : Extraction de la caractéristique simulée $V_{BR}(T_{Box})$ d'un p-IMOS ($T_{ox}=9nm$, $T_{Box}=4\mu m$, $L_G=1\mu m$, $L_{IN}=400nm$, $\Phi_M=4eV$) pour $T_{Si}=25nm$ et $100nm$.

Ce résultat peut être expliqué par le couplage source/zone intrinsèque à travers l'oxyde enterré. Les lignes de champs électriques pénètrent dans l'oxyde enterré et peuvent ressortir dans la zone intrinsèque ce qui a pour conséquence de modifier la répartition du champ électrique dans le Si, comme on peut le voir sur la **Figure V-3**. Des effets similaires sont observables dans le MOSFET [Ernst 02].

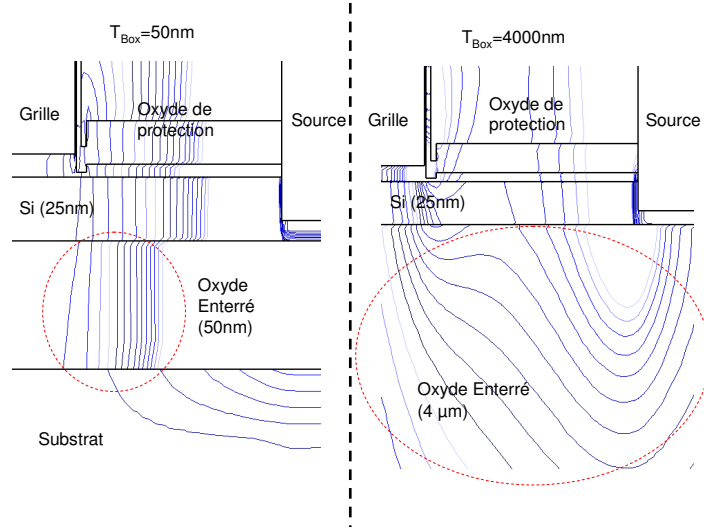


Figure IV-3 : Cartographies des lignes de champ électrique obtenue par simulations TCAD dans un p-IMOS ($T_{ox}=9nm$, $T_{Si}=25nm$, $L_G=1\mu m$, $L_{IN}=400nm$, $\Phi_M=4eV$) pour $T_{Box}=50nm$ (gauche) et $4\mu m$ (droite) à $V_{SD}=10V$ et $V_{GD}=0V$.

La conséquence sur le champ électrique est montrée sur la **Figure IV-4** (droite). La coupe est effectuée à 5nm sous la grille à $V_{SD}=10V$. Pour $T_{Box}=50nm$, le pic de champ est maximum à la source et décroît ensuite lorsqu'on se rapproche de la grille. Pour $T_{Box}=4\mu m$, le champ électrique est plus homogène dans la zone intrinsèque. La **Figure IV-4** (gauche) montre aussi le taux de génération par impact correspondant à chaque structure. Pour $T_{Box}=50nm$, ce taux est 2000 fois plus important que pour $T_{Box}=4000nm$, ce qui explique que $V_{BR}(T_{Box}=50nm) < V_{BR}(T_{Box}=4000nm)$.

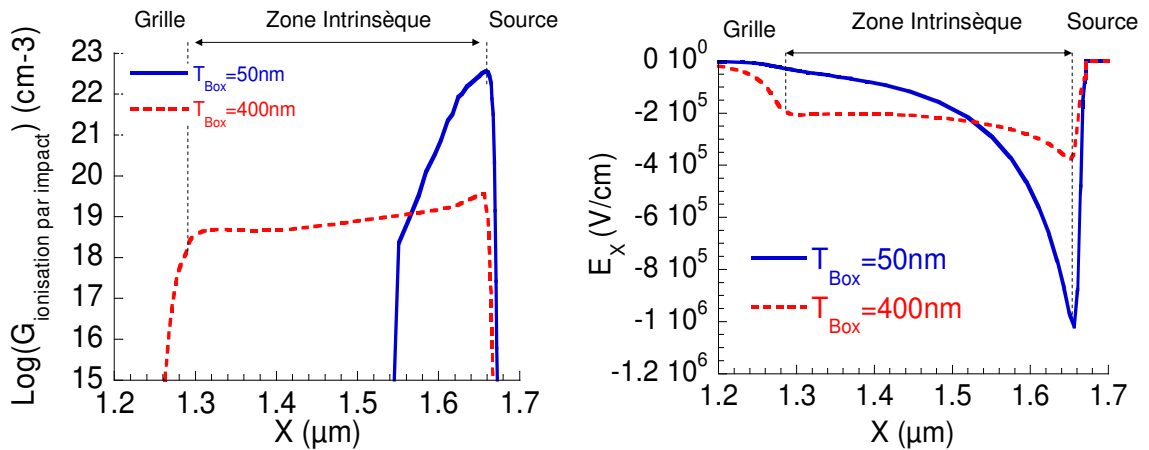


Figure IV-4 : Simulation d'un p-IMOS ($T_{ox}=9nm$, $T_{Si}=25nm$, $L_G=1\mu m$, $L_{IN}=400nm$, $\Phi_M=4eV$) pour $T_{Box}=4\mu m$ et $50nm$ à $V_{SD}=10V$. Coupe réalisée à 5nm de l'interface avant Si/SiO₂: (Gauche) « Log » du taux de génération par impact en fonction de la position. (Droite) Composante horizontale du champ électrique en fonction de la position (entre grille et source).

La **Figure IV-5** met en évidence la dépendance de V_{BR} vis-à-vis du travail de sortie de la grille Φ_M pour $T_{ox}=6nm$ et $9nm$. Les valeurs extrêmes de Φ_M correspondent à une grille dopée n ($\sim 4eV$) et p ($\sim 5.2eV$). Comme dans un MOSFET classique [Sze], le travail de sortie permet d'ajuster de façon linéaire la tension de seuil (par le biais de la tension d'avalanche dans le cas du I-MOS). De même, une réduction de T_{ox} entraîne une diminution de V_{BR} (la capacité liée à l'oxyde de grille est plus grande, la grille contrôle donc mieux le potentiel du canal).

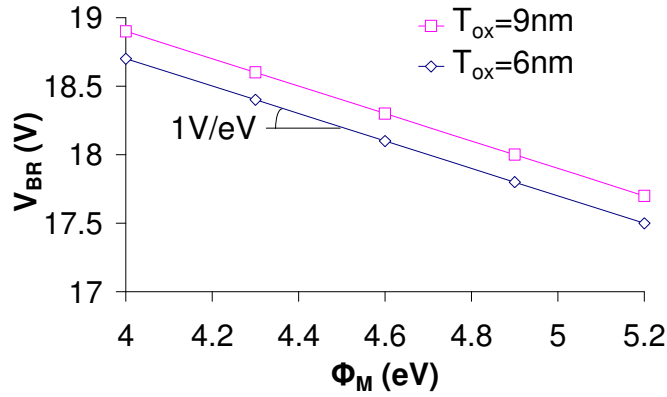


Figure IV-5 : Extraction de la caractéristique simulée $V_{BR}(\Phi_M)$ d'un p-IMOS ($T_{Si}=25nm$, $T_{Box}=4\mu m$, $L_G=1\mu m$, $L_{IN}=400nm$) pour $T_{ox}=6nm$ et $9nm$.

IV.2 Impact sur le courant à l'état passant

Dans cette partie, nous allons essentiellement nous intéresser au courant à l'état ON. En effet, les relations (III-1) et (III-2) de ce chapitre permettent de calculer le courant à l'état bloqué du I-MOS, I_{OFF} , (en négligeant l'ionisation par impact pour V_{SD} proche de l'avalanche). I_{OFF} est donc directement proportionnel à L_G+L_{IN} , l'analyse paramétrique n'est donc pas pertinente pour I_{OFF} . L'expression de I_{OFF} sera validée dans le chapitre V sur la modélisation analytique du I-MOS.

Nous avons vu précédemment que la résistance du canal limite le courant à l'état ON. En d'autres termes, au dessus du seuil, le I-MOS se comporte comme un MOSFET en régime linéaire (voir paragraphe III). Pour caractériser l'état ON, nous utiliserons donc V_{SeffD} la différence de potentiel effective appliquée entre le drain et la source effective située en bord de grille (voir **Figure III-3**) lorsque $V_{SD}=V_{BR}$, et qui peut être exprimée par la relation (IV-3). Nous avons vérifié par la TCAD que V_{SeffD} peut être considérée comme constante à l'état ON. R_{canal} est la résistance du canal du MOSFET et $R_{intrinsèque}$ est la résistance de la zone intrinsèque. R_{canal} et $R_{intrinsèque}$ sont définies respectivement par (IV-2) et (IV-1), où ΔV représente la différence entre la tension de seuil et la tension de grille et ρ_{LIN} est la résistivité dans la zone intrinsèque. Le courant I_{ON} peut alors s'exprimer par la relation (IV-4). Cette analyse permet une meilleure compréhension des résultats TCAD.

$$R_{intrinsèque} = \rho_{LIN} \cdot \frac{L_{IN}}{W \cdot T_{Si}} \quad (IV-1)$$

$$R_{canal} = \frac{L_G}{W \cdot \mu_0 \cdot C_{ox} \cdot \Delta V} \quad (IV-2)$$

$$V_{SeffD} = \frac{R_{canal}}{R_{canal} + R_{intrinsèque}} \cdot V_{SD} \quad (IV-3)$$

$$I_{ON} = \frac{V_{SeffD}}{R_{canal}} \quad (IV-4)$$

La **Figure IV-6** (gauche) représente $V_{seff}(L_{IN})$ pour $T_{Si}=10nm$ et $100nm$ pour un p-IMOS de géométrie $L_G=1\mu m$, $T_{ox}=9nm$, $T_{Box}=4\mu m$ et $\Phi_M=4eV$. D'après les relations (IV-1) et (IV-4), la variation de V_{seff} doit être en $\sim 1/L_{IN}$, ce que nous avons vérifié par ailleurs. De même, une augmentation de T_{Si} se traduit par un V_{seff} plus important, conformément aux relations ci-dessus. Quand $R_{intrinsèque}$ devient négligeable devant R_{canal} , V_{seff} tend vers V_{BR} .

La **Figure IV-6** (droite) représente $V_{seff}(L_G)$ pour un p-IMOS ($L_{IN}=400nm$). Pour $L_G > 200nm$, V_{seff} est constant et diminue lorsque $L_G < 200nm$. D'après la relation (IV-4), I_{ON} dépend de V_{seffD}/L_G . Comme L_G diminue plus vite que V_{seff} , I_{ON} augmente lorsque L_G diminue : ce résultat est vérifié expérimentalement au chapitre IV.

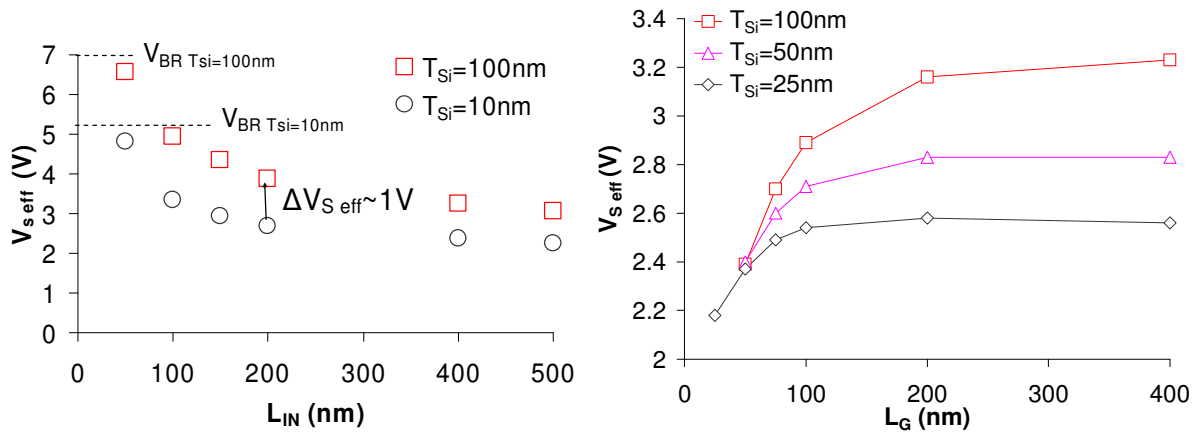


Figure IV-6 : Simulations de p-IMOS sur SOI ($T_{ox}=9nm$, $T_{Box}=4\mu m$, $\Phi_M=4eV$). (gauche) $V_{seff}(L_{IN})$ à $V_{SD}=V_{BR}$ pour $T_{Si}=10$ et $100nm$ ($L_G=1\mu m$). (droite) $V_{seff}(L_G)$ à $V_{DS}=V_{BR}$ pour $T_{Si}=10$ et $100nm$ ($L_{IN}=0.4\mu m$).

La **Figure IV-7** (gauche) représente $V_{seff}(T_{Box})$ pour $T_{Si}=25nm$ et $100nm$ (pour un p-IMOS, $L_G=1\mu m$, $L_{IN}=400nm$, $T_{ox}=9nm$, $\Phi_M=4eV$). Comme nous l'avons vu au paragraphe précédent, les variations de T_{Box} entraînent des modifications du champ électrique dans la zone intrinsèque. Quand T_{Box} est supérieure à $1\mu m$, V_{seff} est constante, l'épaisseur d'oxyde enterré peut être considérée comme infinie. Quand $T_{Box} < 1\mu m$, les modifications du champ électrique se répercutent sur le potentiel, entraînant une diminution de V_{seff} .

La **Figure IV-7** (droite) représente $V_{seff}(\Phi_M)$ pour $T_{ox}=6nm$ et $9nm$. V_{seff} augmente linéairement quand Φ_M diminue. En effet dans le cas d'un p-IMOS, un Φ_M de $\sim 5eV$ (grille dopée P^+) permet d'aligner le potentiel du canal sur celui du drain et donc de faire diminuer V_{seff} . Φ_M se comporte donc comme un décalage de tension. L'augmentation de T_{ox} entraîne une hausse de R_{canal} et donc de V_{seff} .

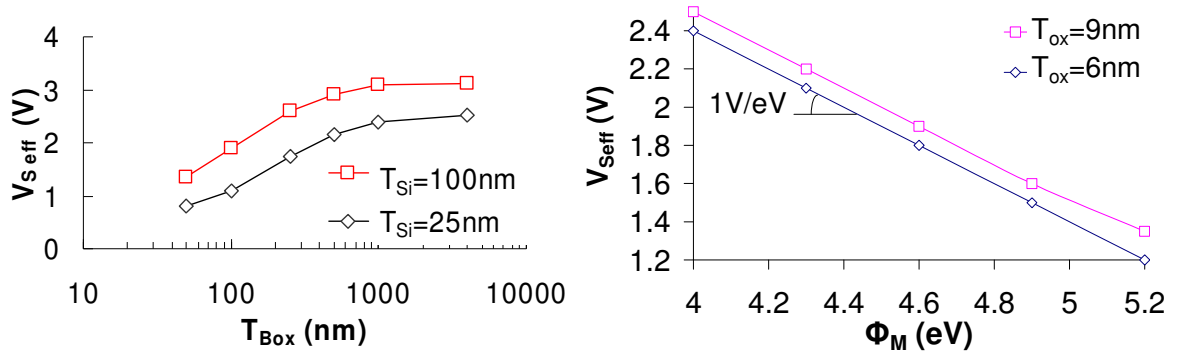


Figure IV-7 : Simulations de p-IMOS sur SOI ($L_G=1\mu\text{m}$, $L_{\text{IN}}=0.4\mu\text{m}$). (gauche) $V_{S\text{eff}}(T_{\text{Box}})$ à $V_{\text{DS}}=V_{\text{BR}}$ pour $T_{\text{Si}}=25$ et 100nm ($T_{\text{ox}}=9\text{nm}$, $\Phi_M=4\text{eV}$). (droite) $V_{S\text{eff}}(\Phi_M)$ à $V_{\text{SD}}=V_{\text{BR}}$ pour $T_{\text{ox}}=6$ et 9nm ($T_{\text{Si}}=100$, $T_{\text{Box}}=4\mu\text{m}$)

IV.3 Impact sur la pente sous le seuil

La caractéristique la plus marquante du I-MOS est sa pente sous le seuil inférieure à 60mV/dec . L'objectif de ce paragraphe est d'étudier la dépendance de S en fonction de la géométrie et plus précisément de L_G et L_{IN} . Une approche analytique directe n'est pas possible à cause de la complexité de l'expression obtenue pour l'intégrale d'ionisation (voir chapitre V). La **Figure IV-8** représente S en fonction de la longueur de grille L_G pour différentes longueurs de zone intrinsèque L_{IN} . Tant que $L_{\text{IN}} > 100\text{nm}$, S est indépendant de L_G et sa valeur est proche de $\sim 3\text{ mV/dec}$. Pour $L_{\text{IN}}=50\text{nm}$, S augmente avec L_G jusqu'à $\sim 30\text{mV/dec}$: cette forte augmentation de S est due à une perte de contrôle électrostatique en bord de grille [Mayer 06]. La pente sous le seuil est donc insensible à la géométrie du dispositif sur une grande gamme de valeurs. Ce résultat a été vérifié expérimentalement (voir chapitre IV).

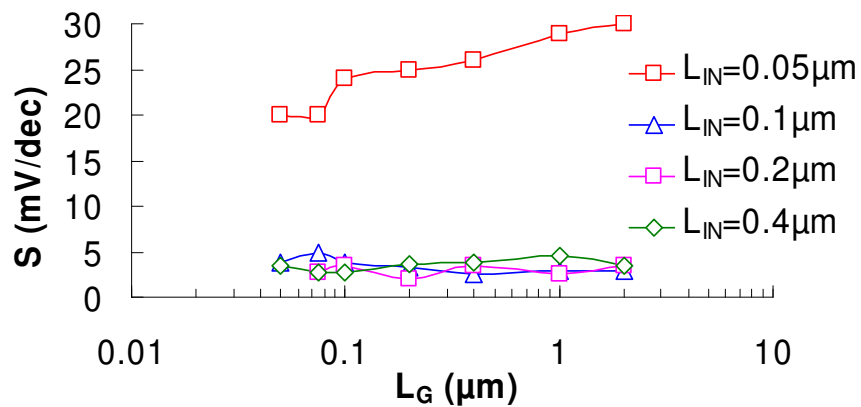


Figure IV-8 : Pente sous le seuil extraite des simulations de p-IMOS ($T_{\text{Si}}=100\text{nm}$, $T_{\text{Box}}=4\mu\text{m}$, $T_{\text{ox}}=9\text{nm}$, $\Phi_M=4\text{eV}$) en fonction de la longueur de grille pour différentes tailles de zone intrinsèque.

IV.4 Influence du dopage de la zone intrinsèque N_{res}

Les plaques de silicium sont toujours légèrement dopées à $N_{res} \sim 2.10^{15} \text{ cm}^{-3}$ (de type p dans notre cas). Parler de zone intrinsèque est donc un abus de langage. Certaines équipes ont étudiée l'impact de N_{res} sur les performances du I-MOS, mais en considérant des valeurs minimum irréalistes ($2.10^{13} \text{ cm}^{-3}$) [Toh 07b]-[Choi 06].

Nous nous sommes aussi intéressés à l'impact de N_{res} sur les performances du I-MOS, notamment dans le Germanium où le procédé d'obtention des substrats GeOI conduit à l'apparition d'un dopage apparent de type p : $N_{res} \sim 2.10^{17} \text{ cm}^{-3}$ (résultat en cours d'analyse) plus important que dans le Si. Cette étude est détaillée dans le paragraphe V.2. Cependant, les résultats pour le Si sont similaires. Une augmentation de N_{res} entraîne une délocalisation de l'avalanche du côté de la source (dans le cas du p-IMOS) et diminue V_{BR} à cause d'un champ électrique plus important. Cependant, si la valeur de N_{res} est trop importante (voir paragraphe V.2), la partie MOS et la partie diode du I-MOS deviennent découplées et le dispositif n'est plus fonctionnel.

IV.5 Influence du profil de dopage côté source

Des études TCAD [Choi 06] ont montré que la profondeur de jonction joue un rôle important sur la tension d'avalanche V_{BR} . Plus la profondeur de jonction est faible et plus V_{BR} diminue. En effet, réduire la profondeur de jonction revient à augmenter la courbure de la jonction et donc le champ électrique [Choi 06]. Des mesures expérimentales ont confirmé ces analyses, en particulier dans le Ge [Gibbons 65].

V Impact du matériau sur les performances

Le but de ce paragraphe est de déterminer certaines tendances sur le comportement électrique, thermique et/ou sur la réalisation technologique du I-MOS sur GeOI, connaissant les caractéristiques du I-MOS sur SOI et les propriétés des deux matériaux (Si et Ge).

V.1 Comparaison Si/Ge

Le silicium et le germanium partagent la même colonne dans le tableau de Mendeleev et se comportent donc de manière similaire d'un point de vu chimique et électrique (voir **Tableau 2**). Tous les deux ont une forme cristalline de type diamant avec des paramètres de maille suffisamment proches pour créer des alliages $\text{Si}_{1-x}\text{Ge}_x$, où x représente le pourcentage de Ge.

Du point de vue des caractéristiques thermiques, la température de fusion du Ge est beaucoup plus faible que celle du Si, ce qui entraîne des contraintes technologiques importantes pendant la fabrication des transistors, notamment lorsqu'on veut co-intégrer Si et Ge. Concernant l'auto échauffement dans le germanium, il est difficile de statuer a priori, car les deux paramètres pertinents évoluent de façons opposées. La conductivité thermique dans le Ge est environ trois fois plus faible que dans le Si, entraînant une dissipation théorique de la chaleur moins efficace. Cependant, le temps de relaxation en énergie est environ dix fois plus élevé, traduisant un nombre d'interactions par porteur plus faible et donc une « création » de chaleur moindre.

Analysons maintenant les paramètres électriques de base du Si et du Ge. Dans le I-MOS, le courant de fuite théorique comprend trois composantes majeures : le courant de fuite lié à la diffusion des porteurs minoritaires, le courant de génération et le courant lié à l'effet tunnel bande à bande (si localement le champ électrique est suffisamment élevé). Nous analyserons les trois composantes en supposant une polarisation V_{SD} proche de l'avalanche.

Le courant de fuite lié à la diffusion varie essentiellement en fonction du carré de la densité de porteurs intrinsèques ($\sim n_i^2$), tandis que le courant de génération varie en n_i . Dans le Si, le courant de diffusion est négligeable et le courant de fuite est donc dominé par la génération. La densité de diffusion est environ mille fois plus importante (à 300K) dans le Ge que dans le Si. Le courant de diffusion devient alors comparable au courant de génération. Les deux contributions doivent donc être prises en compte. Les calculs montrent que la somme des courants de génération et de diffusion sont comparables dans le Ge et le Si (voir paragraphe III.1.a). Des simulations TCAD ont confirmé que le courant OFF dans le I-MOS n'était pas plus important dans le Ge que dans le Si [Toh 07b].

	Ge	Si
Année de découverte	1886	1824
Numéro atomique	32	14
Colonne dans le tableau de Mendeleev	4	4
Forme cristalline	Diamant	Diamant
Paramètre de maille (Å)	5.658	5.431
Densité (g/cm³)	5.3234	2.329
Température de Fusion (°C)	937	1412
Conductivité thermique (W cm⁻¹ °C⁻¹)	0.58	1.3
Permittivité relative	16.2	11.7
Bande interdite à 300K (eV)	0.661	1.12
Vitesse de saturation (cm/s)	$\sim 1.15 \cdot 10^7$	$\sim 1.35 \cdot 10^7$
Mobilité « bulk » (trou/électron) (cm² V⁻¹s⁻¹)	1900 / 3900	450 / 1400
Temps de relaxation en énergie (trou/électron) (ps)	$\sim 1 / 2$	$\sim 0.1 / 0.25$
n_i à 300K (cm⁻³)	$2.0 \cdot 10^{13}$	$1 \cdot 10^{10}$
Champ électrique critique pour le BtBt (V/cm)	$1 \cdot 10^7$	$1.9 \cdot 10^7$
Champ électrique critique pour l'ionisation par impact (E_C) (trou/électron) (V/cm)	$1.27 \cdot 10^6 / 1.4 \cdot 10^6$	$1.69 \cdot 10^6 / 1.23 \cdot 10^6$
Coefficient d'ionisation par impact limite (α_{∞}) (trou/électron) (cm⁻¹)	$6.39 \cdot 10^6 / 8.04 \cdot 10^6$	$6.71 \cdot 10^5 / 7.03 \cdot 10^5$

Tableau 2 : Récapitulatif des principaux paramètres du Ge et du Si. Les données concernant l'ionisation par impact dans le Ge sont issues des travaux de Mikawa [Mikawa 80].

Pour pouvoir statuer sur l'importance du courant généré par l'effet tunnel bande à bande (BtBt), il faut d'abord estimer le champ électrique dans le I-MOS. En utilisant les intégrales d'ionisation (voir chapitre V) et en supposant une zone de charge d'espace de longueur L_{TN} dans laquelle règne un champ électrique constant, on peut estimer le champ électrique moyen E_{moy} nécessaire pour atteindre le régime d'avalanche et en déduire V_{BR} (L_{TN}). Bien qu'approximatif car on considère un champ électrique moyen (E_{moy}), ce raisonnement démontre que E_{moy} dans le I-MOS augmente quand L_{TN} diminue. En effet, les intégrales d'ionisation dépendent du champ électrique et des distances sur lesquelles l'ionisation par impact a lieu. Cet effet est représenté sur la **Figure V-1** où V_{BR} et E_{moy} sont tracés pour le cas du Si et du Ge en fonction de L_{TN} . D'après ces calculs, V_{BR} ne tend pas vers 0V dans le Si quand L_{TN} tend vers 0nm, mais semble converger vers $\sim 5V$ (résultat identique à celui obtenu par la TCAD : voir paragraphe IV). L'utilisation de Ge permet de diminuer V_{BR} limite jusqu'à 1 Volt environ [Mayer 07b]. Pour être compatible avec les nœuds technologiques inférieurs à 45nm, les tensions d'alimentation du I-MOS devront être réduites, cela ne pourra se faire qu'en introduisant des matériaux à faible gap comme le Germanium.

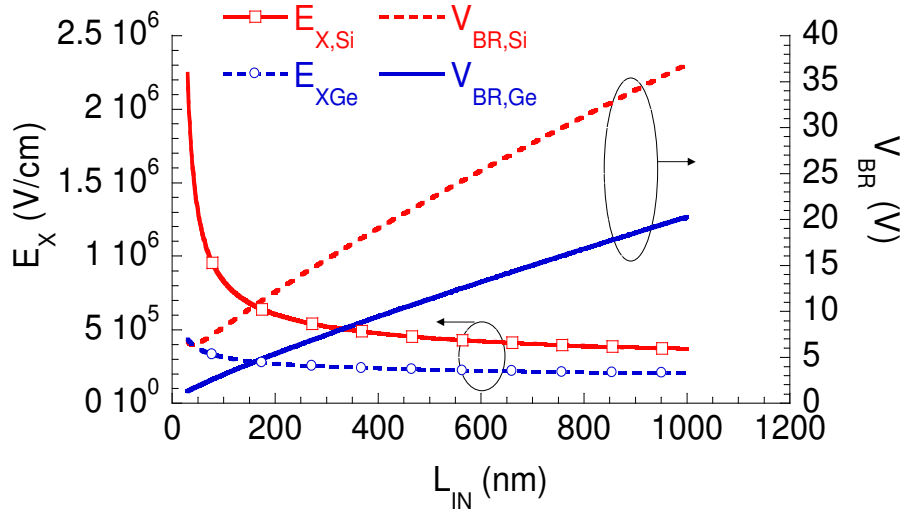


Figure V-1 : Estimation du champ électrique nécessaire pour déclencher l'avalanche dans l'approximation d'un champ électrique constant sur une zone de charge d'espace L_{IN} dans le Si et le Ge. La tension d'avalanche V_{BR} correspondante est aussi tracée [Mayer 07b].

Maintenant que nous avons une estimation du champ moyen dans la structure, nous allons pouvoir comparer la sensibilité des matériaux vis-à-vis du BtBt. Dans le Si, les simulations TCAD ont montré l'apparition d'un courant BtBt pour $L_{TN} < 150nm$ (pour $T_{Si}=100nm$, $T_{ox}=9nm$ et $T_{Box}=4\mu m$, $\Phi_M=4eV$). Dans le Ge, le champ critique pour le BtBt est deux fois plus faible (voir **Tableau 2**), mais le champ électrique moyen à l'avalanche est aussi est trois fois plus faible pour $L_{TN} < \sim 400nm$. Théoriquement, le BtBt dans le Ge ne devrait pas dégrader les performances du dispositif.

A l'état ON, le I-MOS opère comme un MOS en régime linéaire pour les grandes longueurs de grille, il profite donc de la forte mobilité des porteurs dans le Ge (en pratique, cela n'est vrai que pour les trous : voir paragraphe V.2). Le courant ON d'un I-MOS Ge à grande longueur de grille sera donc plus élevé que dans le Si. Enfin, pour des faibles longueurs de grille, on observe que la vitesse de saturation dans le Ge est plus faible que pour le cas Si, cependant le temps de relaxation est plus élevé. Le phénomène de survitesse est donc beaucoup plus marqué dans le Ge que dans le Si, ce qui compense la faible vitesse de saturation [Sze].

Au final, l'utilisation du Ge à la place du Si pour le transistor I-MOS se traduit par une tension d'alimentation divisée par deux [Mayer 07b], un courant OFF comparable au Si et finalement un courant ON deux à trois fois plus élevé. De plus, le BtBt n'est pas plus gênant dans le Ge que dans le Si pour la technologie I-MOS.

V.2 Réalité technologique : les contraintes du Ge

Nous avons vu au paragraphe précédent que l'utilisation de Ge est bénéfique d'un point de vue théorique pour le I-MOS. Cependant, la technologie de fabrication de dispositifs sur Ge est beaucoup moins mature que celle sur Si. Dans ce paragraphe, nous allons voir les contraintes imposées par la fabrication des I-MOS Ge.

La première contrainte est liée à l'oxyde natif du Ge qui n'est pas stable et se dissout dans l'eau [Phillips 74]- [Faktor 65]. Ce point a longtemps été bloquant pour la filière Ge, car on ne disposait alors pas d'oxyde de grille stable. Avec l'apparition des oxydes à forte permittivité (dits « high k ») comme le HfO_2 [Han 03], ce problème est en passe d'être réglé. Cependant, l'interface Ge/ HfO_2 reste un élément critique. Les empilement de grille à base de HfO_2 sont connus pour dégrader la mobilité dans le Si [Lime 03]. Dans le Ge, la situation est encore plus compliquée. En effet, la réduction de mobilité dépend du type de porteur [Nguyen 07] : la mobilité des trous dans les p-MOS sur Ge est plus élevée que dans le Si, alors que la mobilité des électrons est très en dessous des valeurs attendues. Les raisons pour ces dégradations ne sont encore clairement établies.

La deuxième contrainte est liée aux étapes technologiques de l'empilement de grille qui ne sont pas encore matures et qui induisent une dégradation de la qualité du Ge en surface, ce qui se traduit notamment par une densité d'état d'interface $[D_{\text{IT}}]$ élevée (voir chapitre III).

La troisième contrainte concerne l'absence de germaniuration fonctionnelle qui engendre des résistances d'accès élevées, de l'ordre de $200\text{-}250\Omega/\square$ [Hutin 07].

Finalement, le matériau Ge n'est pas parfait en substrat GeOI et comporte des défauts volumiques. Ces défauts ont tendance à se comporter comme des dopants de type p. Le dopage moyen est estimé à $\sim 1\text{-}4 \cdot 10^{17} \text{ cm}^{-3}$. Ce dopage est très élevé pour une technologie I-MOS, dans laquelle le substrat doit être intrinsèque. L'impact de ce dernier point sur les performances du I-MOS fera l'objet du paragraphe V.4.

V.3 Si_{1-x}Ge_xOI

Aux vues des difficultés rencontrées par la technologie Ge, on peut se poser la question de l'intérêt de la technologie SiGe pour le I-MOS. Le SiGe présente l'avantage d'avoir des propriétés chimiques proches de celles du Si tant que le pourcentage de Ge reste inférieur à ~50%. Les problèmes technologiques sont donc moins importants : on peut utiliser l'oxyde SiO₂ comme oxyde de grille, la silico-germanisation est opérationnelle et l'alliage est de meilleure qualité que le Ge pur.

Pour trancher sur l'utilité théorique du SiGe, nous allons nous intéresser aux coefficients d'ionisation par impact. Notre modèle prend comme données d'entrées les champs électriques critiques pour les trous et les électrons, ainsi que les coefficients pré-exponentiels (c'est-à-dire les coefficients $\alpha_{\infty n}$ et $\alpha_{\infty p}$). Or, il est extrêmement difficile de trouver dans la littérature ces données. Au mieux, quelques valeurs partielles peuvent être obtenues : à des champs donnés et/ou pour un pourcentage de Ge donné [Lee 95] et [Yeom 96].

Seul un article [Ershov 94] propose une étude Monte Carlo permettant d'exprimer le coefficient d'ionisation par impact pour les électrons en fonction du pourcentage de Ge (x_{Ge}) (voir équation (V-1)). Cette formulation n'est valable que pour des concentrations de Ge inférieures à 20% et des champs électriques compris entre 200 et 600 kV/cm. Le champ électrique typique dans un I-MOS est compris dans cet interval (voir chapitre V). Les valeurs utilisées dans l'équation (V-1) sont $a_0=0.7.106 \text{ cm}^{-1}$, $b_0=1231 \text{ kV/cm}$, $b_1=21.13$ et $b_2=0.1218$.

$$\begin{aligned} \alpha(x_{Ge}, E_x) &= a_0 \cdot \exp(-b(x_{Ge})/E_x) \\ b(x_{Ge}) &= b_0 \cdot (1 + b_1 \cdot x_{Ge})^{b_2} \end{aligned} \quad (V-1)$$

Cette étude met en avant que l'ionisation par impact diminue avec le pourcentage de Ge. En effet, le coefficient d'ionisation par impact peut être vu comme l'inverse de la distance minimum à parcourir pour obtenir un choc ionisant. Au premier ordre, cette distance dépend d'une part de l'énergie nécessaire pour l'ionisation, soit environ l'énergie du gap et dépend d'autre part du libre parcours moyen du porteur. Or lorsqu'on augmente le taux de Ge, le gap ne varie que très peu [Liu 05] pour x_{Ge} inférieur à 80%, alors que la densité de l'alliage augmente de façon linéaire. Le libre parcours moyen diminue donc plus vite que le gap.

Expérimentalement, Toh *et al* [Toh 07a] ont réalisé des architectures I-MOS sur SiGe ($x_{Ge}=10, 20$ et 40%) mettant en évidence une diminution de la tension de seuil par rapport au cas Si. Cette réduction a été attribuée au SiGe. Cependant, il est possible qu'il y ait aussi des effets de contraintes qui diminuent le gap et augmentent ainsi l'effet d'ionisation par impact.

En conclusion, l'intérêt du SiGe pour la technologie I-MOS n'est pas démontré clairement. Les résultats électriques du chapitre IV permettront de mieux cerner les potentialités du matériau SiGe pour la technologie I-MOS.

V.4 Simulation du I-MOS sur GeOI

Dans ce paragraphe, nous allons comparer un p-IMOS sur GeOI et SOI. Les caractéristiques $I_D(V_{SD})$ obtenues par TCAD sont montrées sur la **Figure V-2** en échelle linéaire et en échelle logarithmique. La polarisation V_{SD} est choisie pour les tensions de seuil V_{GT} de chaque dispositif soient identiques. De plus, nous avons utilisé les paramètres du Ge (mobilité...) extraits depuis des mesures expérimentales [Soliveres 07].

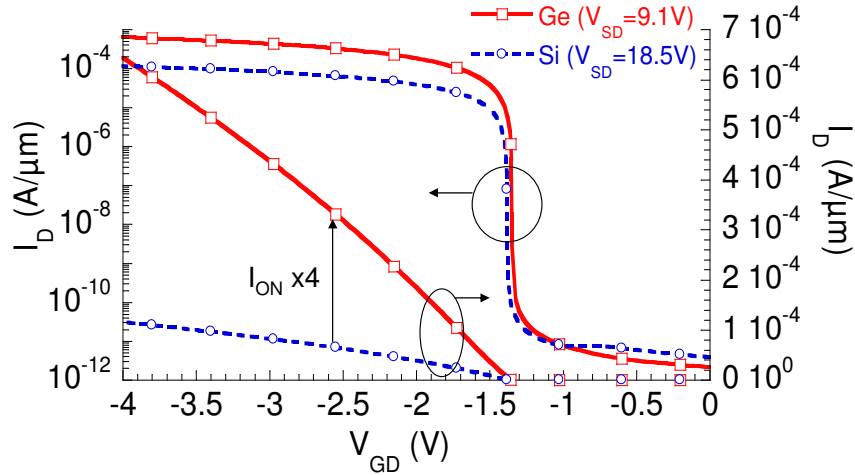


Figure V-2 : Simulation TCAD comparative entre le SOI et le GeOI pour un p-IMOS de géométrie $L_G=1\mu m$, $L_{IN}=0.4\mu m$, $T_{Si}=100nm$, $T_{ox}=9nm$, $\Phi_M=4eV$, en échelle linéaire et logarithmique.

On retrouve les principales différences évoquées précédemment, à savoir un courant de fuite comparable (même légèrement plus faible dans le Ge) et une tension d'alimentation divisée environ par deux. Comme il ne s'agit pas d'un modèle de mobilité constant, on ne retrouve pas le rapport des mobilités μ_0 . Le courant ON est multiplié par un facteur 4, ce qui est supérieur au rapport des mobilités μ_0 .

La **Figure V-3** (droite) représente les figures de mérite I_{OFF} (à $V_{GD}=0V$) en fonction de I_{ON} (à $V_{GD}-V_{GT}=-1V$). Dans le Ge, le I_{ON} est constant quelle que soit la polarisation V_{SD} , tandis que dans le Si, I_{ON} augmente avec V_{SD} . Les I_{OFF} des dispositifs Ge et Si sont du même ordre de grandeur. Le gain en courant lorsqu'on passe du Si au Ge est donc compris entre 5 et 6.

La **Figure V-3** (gauche) représente le ratio I_{ON}/I_{OFF} et V_{GT} en fonction de $V_{BR}-V_{SD}$. Le ratio I_{ON}/I_{OFF} dans le Si est constant en fonction de V_{SD} alors qu'il augmente dans le Ge lorsque V_{SD} diminue. Cela s'explique par le fait que dans le Ge, I_{ON} est constant alors que I_{OFF} diminue avec V_{SD} . Concernant les tensions de seuils, on retrouve la dépendance linéaire (1V/V) avec V_{SD} et la partie exponentielle (le I-MOS ne commute plus). Cependant, la tension limite entre les deux régimes n'est pas la même : dans le Si $V_{GDlim} \sim -2.5V$ et dans le Ge $V_{GDlim} \sim -1.5V$. Cette différence implique que la dynamique de sortie du I-MOS Ge dans un inverseur est plus faible.

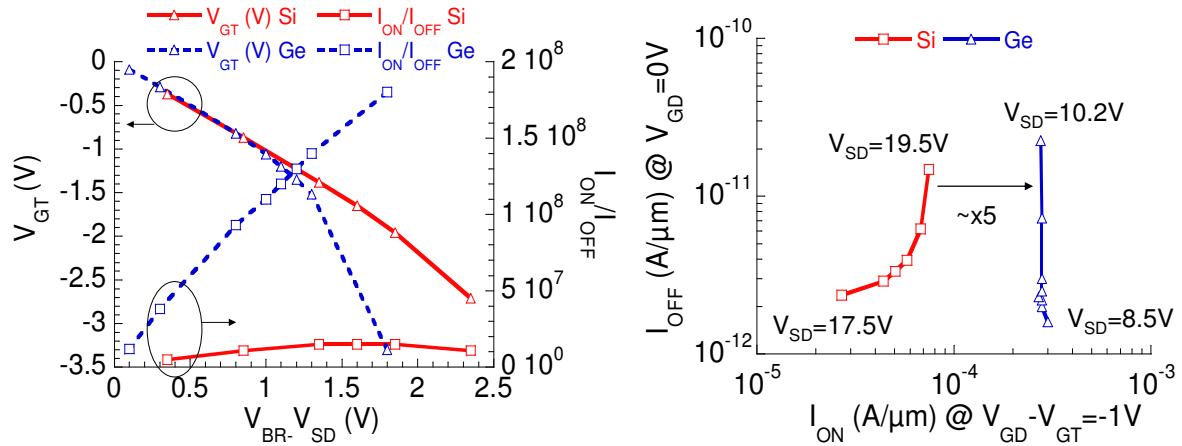


Figure V-3 : Simulation TCAD comparative entre le SOI et le GeOI pour un p-IMOS ($L_G=1\mu m$, $L_{IN}=0.4\mu m$, $T_{Si/Ge}=100nm$, $T_{ox}=9nm$, $\Phi_M=4eV$). (Gauche) : Caractéristique V_{GT} et I_{ON}/I_{OFF} en fonction de $V_{BR}-V_{SD}$. (Droite) : Caractéristique $I_{ON}(I_{OFF})$. Le I_{ON} est défini à $V_{GD}-V_{GT}=-1V$ et le I_{OFF} à $V_{GD}=0V$.

Nous allons maintenant étudier l'influence du dopage apparent dans le GeOI sur les caractéristiques du I-MOS. En effet, nous avons vu précédemment que le dopage « intrinsèque » dans le GeOI est de type p, de l'ordre de $1-4 \cdot 10^{17} cm^{-3}$. Considérons d'abord un p-IMOS de dimensions relâchées ($L_G=1\mu m$, $L_{IN}=0.4\mu m$, $T_{Ge}=0.1\mu m$, $T_{ox}=9nm$, $\Phi_M=4eV$). La **Figure V-4** (gauche) représente la tension d'avalanche V_{BR} et la pente de la courbe $V_{GT}(V_{SD})$ en fonction du dopage de la zone intrinsèque.

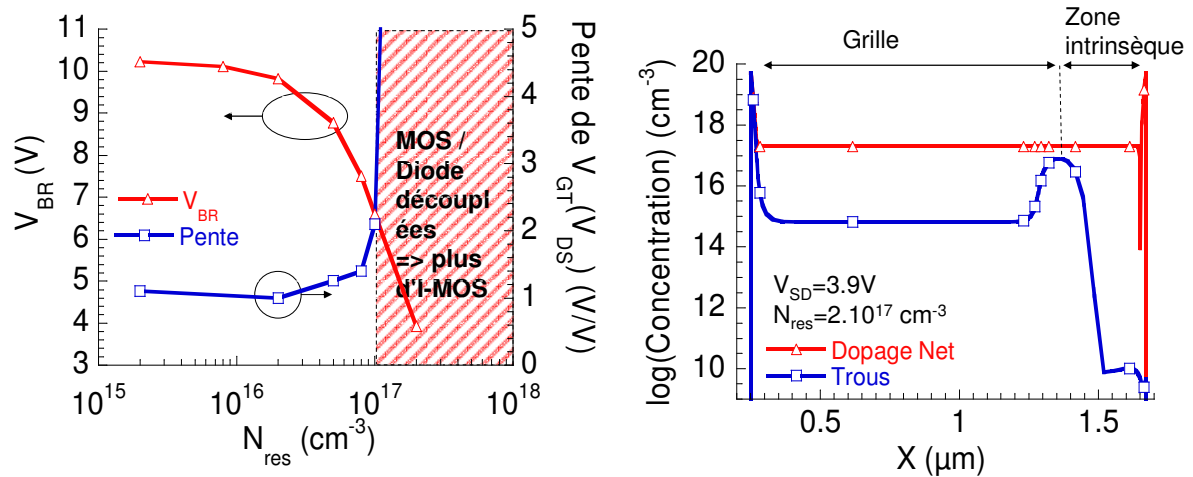


Figure V-4 : (gauche) : Simulation TCAD de $V_{BR}(N_{res})$ et de la pente de la droite $V_{GT}(V_{SD})$ en fonction de N_{res} pour un p-IMOS sur GeOI ($L_G=1\mu m$, $L_{IN}=0.4\mu m$, $T_{Ge}=0.1\mu m$, $T_{ox}=9nm$, $\Phi_M=4eV$). (droite) : coupe effectuée à 1nm sous la grille à $V_{SD}=3.9V$ et $V_{GD}=0V$ pour $N_{res}=2 \cdot 10^{17} cm^{-3}$, représentant le dopage net et la concentration de trous.

Pour $N_{res} < 2 \cdot 10^{16} cm^{-3}$, V_{BR} et la pente restent constantes. Lorsque N_{res} augmente au-dessus de $2 \cdot 10^{16} cm^{-3}$, V_{BR} diminue presque linéairement avec N_{res} tandis que la pente augmente fortement pour atteindre 2V/V à $N_{res}=1 \cdot 10^{17} cm^{-3}$. Pour $N_{res} > 1 \cdot 10^{17} cm^{-3}$, la pente de la droite

$V_{GT}(V_{SD})$ devient infinie. En d'autres termes, la diode horizontale et la capacité MOS sont découplées, le I-MOS s'est transformée en diode. Cet état est illustré sur la **Figure V-4** (droite) qui représente une coupe à 1nm sous la grille du dopage net et de la concentration de trous, pour un dopage $N_{res}=2.10^{17} \text{ cm}^{-3}$. On observe bien le découplage, puisqu'au bord de la grille : $p \sim N_{res}$.

Mathématiquement, la condition de découplage s'exprime par l'inéquation (V-2), c'est-à-dire lorsque la zone intrinsèque devient plus grande que la zone de désertion côté zone intrinsèque à $V_{SD}=V_{BR}$.

$$L_{IN} \geq W_{LIN} (V_{SD} = V_{BR}) \quad (V-2)$$

Lorsque cette limite est atteinte, V_{BR} devient indépendant de L_{IN} et ne dépend plus que de N_{res} , comme on peut le voir sur la **Figure V-5** (gauche) qui représente $V_{BR}(L_{IN})$ à $N_{res}=1.10^{17} \text{ cm}^{-3}$. La **Figure V-5** (droite) représente la largeur limite de la zone intrinsèque en fonction du dopage du canal. Cette limite a été calculée en utilisant l'inéquation (V-2). V_{BR} a été obtenue par notre modèle (chapitre V) et nous avons utilisé une expression classique pour calculer la zone de charge d'espace. La limite extraite avec ATLAS pour $N_{res}=1.10^{17} \text{ cm}^{-3}$ est aussi placée sur ce graphique à titre de comparaison. L'écart entre ATLAS et notre calcul provient surtout du fait que V_{BR} calculé est imprécis pour $N_{res} > 2.10^{16}$ (voir chapitre V).

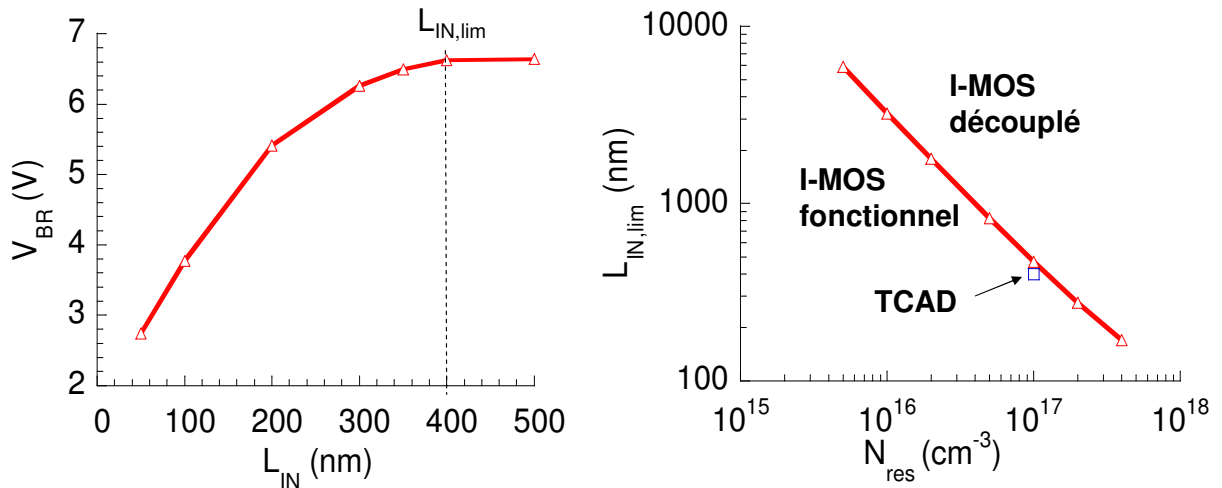


Figure V-5 : (Gauche) Simulation TCAD de $V_{BR}(L_{IN})$ pour $N_{res}=1.10^{17} \text{ cm}^{-3}$ ($L_G=1\mu\text{m}$, $T_{Ge}=100\text{nm}$, $T_{ox}=9\text{nm}$, $\Phi_M=4\text{eV}$). (Droite) L_{IN} limite estimé à partir de notre modèle en fonction du dopage N_{res} .

La **Figure V-6** représente le champ électrique E_x (à 1nm sous la grille) pour différentes valeurs de N_{res} à $V_{SD}=8.2\text{V}$ (les niveaux de dopage N_{res} considérés sont ceux pour lesquels le p-IMOS est à l'état OFF à $V_{SD}=8.2\text{V}$). En augmentant N_{res} , le pic de champ électrique et donc le point initiateur de l'avalanche se déplacent vers la source. A noter, en éloignant le point chaud de la grille, on améliore la fiabilité du dispositif.

Donc même en supposant un fort dopage de la zone intrinsèque, certain I-MOS seront toujours fonctionnels. Il s'avère même bénéfique d'un point de vue électrostatique d'augmenter le dopage du canal jusqu'à $8.10^{16} \text{ cm}^{-3}$, pour profiter de la diminution de V_{BR} d'environ 2V tout en conservant la pente de la droite $V_{GT}(V_{SD})$ proche de 1V/V.

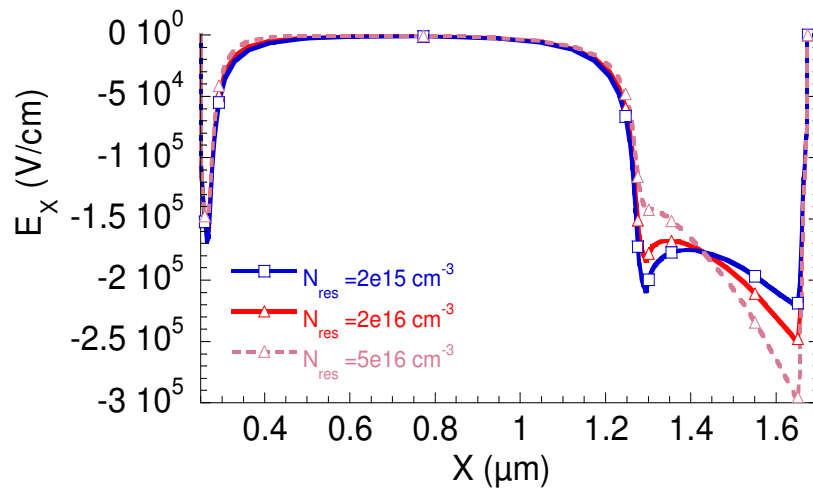


Figure V-6 : Simulation TCAD de la composante horizontale du champ électrique E_x , coupe réalisée à 1nm sous la grille pour différentes valeurs de dopage de la zone intrinsèque, à $V_{SD}=8.2V$ (p -IMOS, $L_G=1\mu m$, $L_{IN}=0.4\mu m$, $T_{Ge}=100nm$, $T_{ox}=9nm$, $\Phi_M=4eV$).

VI Conclusions du chapitre

Dans ce chapitre, nous avons présentée une étude bibliographique des modèles physiques existants pour l'ionisation par impact. Le cas de l'effet tunnel bande à bande a aussi été détaillé. Les modèles retenus pour être utilisés dans nos simulations TCAD ont été présentés. Leurs avantages et inconvénients respectifs ont été étudiés. Nous avons opté pour un modèle de transport de type Dérive Diffusion, mieux calibré que le modèle Hydrodynamique et présentant un bon accord avec les données expérimentales. Pour décrire l'ionisation par impact, le modèle d'Overstraeten a été choisi dont les données expérimentales sont les plus récentes. Concernant l'effet tunnel bande à bande, nous avons opté par défaut pour le modèle de Hurkx, sachant qu'aucun modèle ne décrit correctement cet effet physique. Nous avons aussi fait le choix de réaliser nos simulations à 400K pour faciliter la convergence numérique du simulateur. Le décalage introduit de cette façon a été quantifié et concerne essentiellement le niveau de courant à l'état OFF.

La deuxième partie du chapitre a été consacrée à l'étude du dispositif I-MOS. Nous avons mis en évidence que le courant à l'état bloqué est celui d'une diode polarisée en inverse alors qu'à l'état passant, le courant est limité par la résistance du canal et de la zone intrinsèque. L'étude TCAD a en outre révélé que l'avalanche peut être localisée soit du côté de la grille, soit du côté de la source en fonction de la géométrie du dispositif. La tension de seuil du I-MOS n'est pas fixe, mais dépend linéairement de la polarisation V_{SD} . L'étude paramétrique du I-MOS a montré que la tension d'alimentation diminue avec L_{IN} jusqu'à atteindre une limite de 5V pour les I-MOS sur Si. Nous avons montré que cette limite peut être réduite à 1V pour le cas Ge. La réduction de L_{IN} s'accompagne d'une augmentation du courant I_{ON} . Au premier ordre, la réduction de L_G ne modifie pas la tension d'avalanche, mais augmente I_{ON} comme dans un MOSFET classique. Diminuer l'épaisseur de Si (T_{Si}) permet de réduire la tension d'avalanche, mais diminue aussi le

courant I_{ON} . La même tendance est observable pour l'épaisseur de l'oxyde enterré (T_{Box}). Lorsque l'épaisseur de l'oxyde de grille (T_{ox}) est réduit, la tension d'avalanche diminue mais au détriment de I_{ON} . Le travail de sortie de la grille permet de décaler la tension d'avalanche. Enfin, nous avons mis en évidence que la pente sous le seuil ne dépendait pas de la géométrie considérée.

L'optimisation du I-MOS est donc une histoire de compromis. Bien que la diminution de la longueur de grille et de la longueur de la zone intrinsèque soit bénéfique à la fois pour la tension d'avalanche et pour le courant I_{ON} , ce n'est pas le cas pour T_{ox} , T_{Box} et T_{Si} . En effet la réduction de ces dimensions permet de diminuer V_{BR} , mais diminue aussi le courant I_{ON} .

La dernière partie de ce chapitre porte sur l'utilisation de substrats innovants de type $Si_{1-x}Ge_xOI$ et $GeOI$. Il est difficile de statuer sur l'intérêt du SiGe. En effet, il n'existe pas ou peu de données expérimentales de coefficients d'ionisation par impact dans cet alliage. Quelques rares études théoriques ont cependant montré que pour des pourcentages de Ge inférieurs à 40%, les coefficients d'ionisation par impact sont plus faibles que dans le Si. Cependant, le SiGe se comporte comme le Si d'un point de vue technologique pour une concentration de Ge inférieur à 40%, ce qui est un avantage. De plus, le SiGe peut être utilisé pour la source et le drain pour induire de la contrainte dans un canal en Si. L'intérêt du Ge est de diminuer la tension d'alimentation jusqu'à 1V, tout en augmentant le courant I_{ON} . De plus, le courant I_{OFF} n'est pas dégradé par rapport au Si. Le problème majeur du Ge concerne la technologie non mature qui engendre notamment des défauts dans le matériau. De plus, l'activation des dopant n n'est pas encore bien maîtrisée. Le dernier point bloquant du Ge concerne l'apparition d'un dopage apparent de type p dans le matériau dont l'origine est encore mal connue. Ce dopage peut entraîner un découplage entre la partie MOS et la diode, ce qui rend le I-MOS non fonctionnel. L'utilisation de substrat $GeOI$ ne permet donc pas encore d'exploiter pleinement les capacités du I-MOS, quant au substrat $Si_{1-x}Ge_xOI$, son intérêt pour la technologie I-MOS reste encore à démontrer.

VII Annexes

VII.1 L'équation de Boltzmann

L'équation de Boltzmann [Sze] est la suivante :

$$\frac{\partial f}{\partial t} + \mathbf{v}_k \cdot \nabla_{\mathbf{r}} f + \frac{\mathbf{F}}{\eta} \cdot \nabla_{\mathbf{k}} f = \frac{f_{eq} - f(\mathbf{r}, \mathbf{k}, t)}{\tau}$$

\mathbf{v}_k : vitesse de groupe, \mathbf{r} : position, \mathbf{k} : vecteur d'onde dans l'espace des phases,

$f(\mathbf{r}, \mathbf{k}, t)$: fonction de distribution, f_{eq} : fonction de distribution à l'équilibre,

$\mathbf{F} = -q \cdot (\mathbf{E} + \mathbf{v}_k \cdot \mathbf{B})$: force électromagnétique appliquée (avec \mathbf{B} et \mathbf{E} (VII-1)

respectivement le champ magnétique et électrique.

$\frac{f_{eq} - f(\mathbf{r}, \mathbf{k}, t)}{\tau}$: modélisation phénoménologique du terme de collision

(τ : temps de relaxation en énergie, c'est à dire le temps nécessaire au système pour retourner à l'équilibre)

VII.2 Les modèles de transport hydrodynamiques

Les modèles de transport hydrodynamiques sont obtenus à partir des différents moments de l'équation de Boltzmann. On obtient alors les équations pour la conservation du flux d'énergie \mathbf{S}_n et la densité de courant \mathbf{J}_n . On utilise alors une troncature sur \mathbf{S}_n pour résoudre le jeu d'équation suivant pour les électrons (les équations sont similaires pour les trous) :

$$\begin{aligned} \text{Densité de courant : } \mathbf{J}_n &= q \cdot \mu_n \cdot \left(\frac{k \cdot T_n}{q} \cdot \nabla n - n \cdot \nabla \psi + \frac{k}{q} \cdot (1 + \epsilon_n) \cdot n \cdot \nabla T_n \right) \\ \text{Conservation du flux d'énergie : } \text{div}(\mathbf{S}_n) &= \frac{1}{q} \cdot \mathbf{J}_n \cdot \mathbf{E} - W_n - \frac{3}{2} \cdot k \cdot \frac{\partial(\lambda_n \cdot n \cdot T_n)}{\partial t} \\ \text{perte énergétique : } W_n &= \frac{3}{2} \cdot n \cdot k_B \cdot \frac{(T_n - T)}{\tau_{relaxation}} \cdot \lambda_n + \frac{3}{2} \cdot k_B \cdot T_n \cdot \lambda_n \cdot R_{SRH} + E_g \cdot (G_n - R_n^A) \\ \text{Troncature sur le Flux d'énergie : } \mathbf{S}_n &= -C_1 \cdot K_n \cdot \nabla T_n - C_2 \cdot \frac{k \cdot \delta_n}{q} \cdot \mathbf{J}_n \cdot T_n \end{aligned} \quad \text{VII-2}$$

Où ϵ_n , C_1 , C_2 , δ_n sont des paramètres modifiables dans le modèle pour tenir compte des différentes approximations (Boltzmann, électron libre, Statistique de Fermi-Dirac...) et des poids respectifs des différents termes dans la modélisation de la troncature. RSRH représente le taux de recombinaison Shockley Read Hall, G_n le taux de génération et R_n^A le taux de génération Auger.

Pour obtenir le modèle d'Energy Balance, on fixe $\epsilon_n = -1$, $C_1 = 0$ et $C_2 = 1$.

VII.3 Mobilité CVT de Lombardi

VII.3.a Introduction

La mobilité des porteurs dans un canal de MOSFET est limitée par différents phénomènes physiques [Lombardi 88]. Une relation entre les taux de collisions liés à chaque mécanisme et la mobilité peut être donnée sous la forme :

$$\frac{1}{\mu} = \frac{1}{\mu_{ac}} + \frac{1}{\mu_b} + \frac{1}{\mu_{sr}} \quad (\text{VII-3})$$

μ_{ac} est la mobilité des porteurs limitée par leurs interactions avec les phonons acoustiques présents en surface. μ_b représente la mobilité dans le matériau massif. μ_{sr} correspond à la mobilité des porteurs limitée par la rugosité de surface (« surface roughness » en anglais), entre le semiconducteur et le diélectrique de Grille.

VII.3.b Mobilité limitée par les phonons acoustiques

Pour la mobilité limitée par les phonons acoustiques, [Lombardi 88] obtient :

$$\mu_{ac} = \frac{B}{E_{\perp}} + \frac{C N^{\tau}}{T E_{\perp}} \quad (\text{VII-4})$$

E_{\perp} correspond au champ perpendiculaire au flux de courant, N est la concentration en dopants. B et C sont des paramètres ajustables du modèle.

VII.3.c Mobilité dans le semiconducteur massif

[Lombardi 88] obtient l'expression suivante de la mobilité dans le semiconducteur massif :

$$\mu_b(N_A, T) = \mu_0 + \frac{\mu_{\max}(T) - \mu_0}{1 + \left(\frac{N_A}{C_r}\right)^{\alpha}} - \frac{\mu_1}{1 + \left(\frac{C_s}{N_A}\right)^{\beta}} \quad (\text{VII-5})$$

$$\text{Avec : } \mu_{\max}(T) = \mu_{\max} \cdot \left(\frac{T}{300}\right)^{-\gamma} \quad (\text{VII-6})$$

μ_{\max} est la mobilité maximale atteinte dans le semiconducteur massif intrinsèque à 300K, μ_0 et μ_1 , C_s , C_r , α , β , et γ sont des paramètres du modèle, N_A est le dopage en accepteurs.

VII.3.d Mobilité limitée par la rugosité de surface

Les porteurs dans le canal voient leur mobilité dégrader à cause de la rugosité de surface (à l'interface semiconducteur/diélectrique de grille). Cette mobilité est liée au champ électrique perpendiculaire par la relation suivante :

$$\mu_{sr}(E_{\perp}) = \frac{\delta}{E_{\perp}^2} \quad (\text{VII-7})$$

δ est un paramètre ajustable.

Références

- [Anderson 72] C.L. Anderson and C.R. Crowell, “*Threshold Energies for Electron Hole Pair Production by Impact Ionization in Semiconductors*”, Physical Review B, Vol. 5, N°6, p. 2267-2272, March 1972.
- [Baraff 62] G.A. Baraff “*Distribution Functions and Ionization rates for Hot Electrons in Semiconductors*”, Physical Review, Vol. 128, N°6, p. 2507-2517, June 1962.
- [Boucart 07] K. Boucart and A.M. Ionescu, “Threshold Voltage in Tunnel FETs: physical Definition, Extraction, Scaling and Impact on IC design”, 37th European Solid State Device Research Conference, p. 299–302, September 2007.
- [Charbuillet 06] C. Charbuillet, E. Dubois, S. Monfray, P. Bouillon and T. Skotnicki, “*Fabrication and Analysis of CMOS Fully-Compatible High Conductance Impact Ionization MOS (I-MOS) Transistors*”, 36th European Solid State Device Research Conference, p. 299 – 302 September 2006.
- [Choi 05] W.Y. Choi, J.Y. Song, J.D. Lee, Y.J. Park and B.J. Park, “*70-nm Impact-Ionization Metal-Oxide-Semiconductor (I-MOS) Devices Integrated with Tunneling Field-Effect Transistors (TFETs)*”, IEEE International Electron Devices Meeting, p. 975-978, December 2005.
- [Choi 06] W. Y. Choi, J. Y. Song, J. D. Lee and B. G. Park, “*Effect of Source Extension Junction Depth and Substrate Doping Concentration on I-MOS Device Characteristics*”, Transaction On Electron Devices, Vol. 53, N°5, p. 1282-1285, May 2006.
- [Chynoweth 58] A.G. Chynoweth, “*Ionization Rates for Electrons and Holes in Silicon*”, Physical Review, Vol. 109, N°5, March 1958.
- [Crowell 66] C.R. Crowell and S.M. Sze, “*Temperature Dependence of Avalanche Multiplication in Semiconductors*”, Applied Physics Letters, Vol. 9, N°6, p. 242-244, September 1966 .
- [Ernst 02] T. Ernst, C. Tinella, C. Raynaud and S. Cristoloveanu, “*Fringing Fields in sub-0.1 μm fully depleted SOI MOSFETs: optimization of the device architecture*”, Solid-State Electronics, Vol. 46, Issue 3, p. 373-378, March 2002.
- [Ershov 94] M. Ershov and V. Ryzhii, “*High Field Electron Transport in SiGe Alloy*”, Japanese Journal of Applied Physics, Part 1, N° 3A, p. 1365-1371, March 1994.
- [Faktor 65] M.M. Faktor and J.I. Carasso, “*Tetragonal Germanium Dioxide and Equilibria in the Ge-O-H System*”, Journal of Electrochemical Society, Vol. 112, p. 817-822, August 1965.
- [Gibbons 65] G. Gibbons and J. Kocsis, “*Breakdown Voltages of Germanium Plane-Cylindrical Junctions*”, IEEE Transactions on Electron Devices, Vol. 12, N°4, p. 193-198, April 1965.

- [Gonzaleza 99] B. Gonzaleza, V. Palankovskib, H. Kosinab, A. Hernandeza and S. Selberherrb, “*An energy relaxation time model for device simulation*”, Solid-State Electronics, Vol. 43, N°9, p. 1791-1795, September 1999.
- [Gopalakrishnan 05] K. Gopalakrishnan, P.B. Griffin and J. Plummer, “*Impact Ionization MOS (I-MOS) – Part I : Device and circuit Simulations*”, IEEE Transactions on Electron Devices, Vol. 52, N° 1, p.69-76, January 2005.
- [Grant 73] W.N. Grant, “*Electron and Hole Ionization Rates in Epitaxial Silicon at high Electric Fields*”, Solid-State Electronics, Vol. 16, N°10, p. 1189-1203, October 1973.
- [Grasser 03] T. Grasser, T.-W. Tang, H. Kosina, and S. Selberherr, “*A Review of Hydrodynamic and Energy-Transport Models for Semiconductor Device Simulation*”, Proceedings of the IEEE, Vol. 91, N°. 2, p. 251-274, February 2003
- [Han 03] D. Han, J. Kang, C. Lin and R. Han, “*Reliability Characteristics of High- k Gate Dielectrics HfO₂ in Metal Oxide Semiconductor capacitor*”, Solid-State Electronics, Vol.66, Issue 1-4, p643–647, April 2003.
- [Herbert 93] D.C Herbert, “*Breakdown Voltage in Ultra Thin PiN Diodes*”, Semiconductor Science and Technology, Vol. 8, N°11, p. 1993-1998, November 1993.
- [Hong 99] S.-J. Hong, J.-J. Kim, Y.J. Park and H.S. Min, “*Analysis of the Spurious Negative Resistance of PN Junction Avalanche Breakdown*”, IEEE Transactions on Electron Devices, Vol. 46, N° 1, p.230-236, January 1999.
- [Hurkx 92] G.A.M. Hurkx, D.B.M. Klaassen and M.P.G. Knuvers, “*A New Recombination Model for Device Simulation Including Tunneling*”, IEEE Transactions on Electron Devices, Vol. 39, N°2, February 1992.
- [Hutin 07] L. Hutin, “*Analysis of Source/Drain structures on GeOI MOSFETs: Ge doping, Ge junctions and Metal/Ge contacts*”, Internal Report 2007.
- [Kane 61] E.O. Kane, “*Theory of Tunneling*”, Journal of Applied Physics, Vol.32, N°1, p. 83-91, January 1961.
- [Lee 95] J. Lee, A.L. Gutierrez-Aitken, S.H. Li and P.K. Bhattacharya, “*Impact Ionization coefficients in Si_{1-x}Gex*”, Applied Physics Letters, Vol 66, Issue 2, p. 204-205, January1995.
- [Lime 03] F. Lime, K. Oshima, M. Cassé, G. Ghibaudo , S. Cristoloveanu,B. Guillaumot and H. Iwai, “*Carrier mobility in advanced CMOS devices with metal gate and HfO₂ gate dielectric*”, Solid-State Electronics, Vol.47, Issue 10, p1617–1621, October 2003.
- [Liu 05] C.W. Liu, S. Maikap and C.Y. Yu, “*Mobility-Enhancement Technologies*”, IEEE Circuits & Devices Magazine, p. 21-36, May/June 2005.
- [Lombardi 88] C. Lombardi, S. Manzini, A. Saporito, and M. Vanzi, “*A physically based mobility model for numerical simulation of nonplanar devices*”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.7, N°11, p1164-1171, November 1988.

- [Mayer 06] F. Mayer, C. Le Royer, G. Le Carval, L. Clavelier C. Tabone and S. Deleonibus, "*Static and Dynamic TCAD Analysis of IMOS Performance: From the Single Device to the Circuit*", IEEE Transaction On Electron Devices, Vol. 53, N°8, p. 1852-1857, August 2006.
- [Mayer 07a] Mayer, F.; Le Royer, C.; Le Carval, G.; Clavelier, L.; Deleonibus, S.; "*Experimental and TCAD Investigation of the two Components of the I-MOS (Impact Ionization MOSFET) Switching*", IEEE Electron Device Letters, Vol. 28, N°7, p. 619-621, July 2007.
- [Mayer 07b] F. Mayer, C. Le Royer, G. Le Carval, C. Tabone, L. Clavelier and S. Deleonibus, "*Comparative Study of the fabricated and simulated Impact Ionization MOS (IMOS)*", Solid-State Electronics, Vol. 51, N°4, p. 579-584, April 2007.
- [McIntyre 99] R.J. McIntyre, "*A New Look at Impact Ionization – Part I: A Theory of Gain, Noise, Breakdown Probability and Frequency Response*", IEEE Transaction of Electron Devices, Vol. 46, N°8, August 1999.
- [Mikawa 80] T. Mikawa, S. Kagawa, T. Kaneda, O. Mikami and Y. Toyama, "*Crystal orientation dependence of ionisation rates in germanium*", Applied Physics Letters., Vol. 37, N° 22, p. 387-389, August 1980.
- [Miller 55] S.L. Miller, "*Avalanche breakdown in Germanium*", Physical Review, Vol. 99, N°4, p. 1234-1241, August 1955.
- [Millidge 95] S. Millidge, D.C. Herbert, M. Kane, G.W. Smith and D.R. Wight, "*Non Local Aspects of breakdown in PiN diodes*", Semiconductor Science and Technology., Vol. 10, N°3, p. 344-347, March 1995.
- [Nguyen 07] Q.T. Nguyen, J.F. Damlencourt, B. Vincent, L. Clavelier, Y. Morand, P. Gentil and S. Cristoloveanu, "*High quality Germanium-On-Insulator wafers with excellent hole mobility*", Solid-State Electronics, Vol. 51, Issue 9, p1172-1179, September 2007.
- [Overstraeten 70] R.V. Overstraeten and H. De Man, "*Measurement of Ionization Rates in Diffused Silicon p-n Junctions*", Solid-State Electronics, Vol. 13, N°5, p. 583-608, May 1973.
- [Phillips 74] J.C. Phillips, "*Metastable phase of GeO_x*", Physical Review B, Vol. 9, N°6, p. 2775-2777, March 1974.
- [Sano 98] N. Sano, M.V. Fischetti, S.E. Laux, "*Hole-initiated impact ionization and split-off band in Ge, Si, GaAs, InAs, and InGaAs*", Sixth International Workshop on Computational Electronics, p. 198-201, October 1998.
- [Schenk 93] A. Schenk, "*A Rigorous Theory and Simplified Model of the Band to Band Tunneling in Silicone*", Solid-States Electronics, Vol. 36, N°1, p. 19-34, 1993.
- [Shockley 61] W. Shockley, "*Problems Related to p-n Junctions in Silicon*", Solid-States Electronics, Vol. 2, N°1, p. 35-60, January 1961.

- [Silvaco] Silvaco International, “*Atlas User’s Manual : Device Simulation Software*”, Vol. 1&2.
- [Soliveres 07] S. Soliveres, “*Analyse du comportement électrique des transistors GeOI par la simulation TCAD*”, Report 2007.
- [Sze 66] S.M. Sze and G. Gibbons, “*Avalanche Breakdown Voltages of Abrupt and Linearly Graded p-n Junctions in Ge, Si, GaAs and GaP*”, Applied Physics Letters, Vol. 8, N°5 p. 111-113, March 1966.
- [Sze] S.M. Sze “*Physics of Semiconductor Devices*“, 2nd Edition, Ed. John Wiley & Sons, Inc.
- [Thornber 81] K.K. Thornber, “*Application of Scaling to Problems in High-Field Electronic Transport*”, Journal of Applied Physics, Vol. 52, N°1, p.279-290, January 1981.
- [Toh 07a] E. Toh, G.H. Wang, L. Chan, G.Q. Lo, G. Samudra and Y.C. Yeo, “*Strain and Materials Engineering for the I-MOS Transistor with an Elevated Impact-Ionization Region*”, IEEE Transaction on Electron Devices, Vol.54, N°10, p 2778-2785, October 2007.
- [Toh 07b] E. Toh, G.H. Wang, L. Chan, G.Q. Lo, G. Samudra and Y.C. Yeo, “*Device Design and Scalability of an Impact Ionization MOS Transistor with an Elevated Impact Ionization Region*”, Simulation of Semiconductor Processes and Devices, Vol. 12, p. 129-132, September 2007.
- [Verhulst 07] A.S. Verhulst, W.G. Vandenberghe, K. Maex and G. Groeseneken, “*Tunnel Field-Effect Transistor Without Gate-Drain Overlap*”, Applied Physics Letters, N°91, 2007.
- [Wang 04] P.-F. Wang, K. Hilsenbeck, T. Nirschl, M. Oswald, C. Stepper, M. Weis, D. Schmitt-Landsiedel, W. Hansch, “*Complementary Tunneling Transistor for Low Power Application*”, Solid-State Electronics, Vol. 48, N°12, p. 2281-2286, December 2004.
- [Wolff 54] P.A. Wolff, “*Theory of Electron Multiplication in Silicon and Germanium*”, Physical Review, Vol. 95, N°6, p. 1415-1420, September 1954.
- [Yeom 96] K. Yeom, J.M. Hinckley and J. Singh, “*Calculation of electron and hole impact ionization coefficients in SiGe alloys*”, Journal of Applied Physics, Vol 80, Issue 12, p. 6773-6782, December 1996.

Chapitre 3

Réalisation technologique

L'objectif de ce chapitre est de présenter et comparer les différents modes de réalisation de la zone intrinsèque permettant de réaliser un transistor I-MOS. Dans un deuxième temps, les différentes variantes technologiques réalisées sont présentées et un procédé de réalisation technologique particulier est détaillé permettant de fabriquer des transistors sur SOI épais. Ensuite, une méthode innovante de réalisation de transistors à grille nanométrique sans lithographie e-beam avec la source et le drain dissymétriques est présentée. Enfin, les spécificités des substrats innovants SiGeOI et GeOI sont aussi discutées, ainsi que la manière de les réaliser.

Sommaire du Chapitre 3

I	Stratégie d'obtention de la zone intrinsèque.....	75
I.1	Architecture 3D : épitaxie source/drain.....	75
I.2	Espaceur.....	76
I.2.a	Dopage In Situ	76
I.2.b	Méthode « Simplifiée »	77
I.3	Désalignement des niveaux d'implantation.....	77
I.4	Avantage et Inconvénient de chaque méthode.....	78
II	Procédé de réalisations technologiques	78
II.1	Réalisation sur substrats « xOI »	79
II.1.a	Procédé sur SOI épais	79
II.1.b	Variantes technologiques réalisées	81
II.2	Proposition d'une réalisation innovante.....	82
III	Substrats Innovants : GeOI et le $\text{Si}_{1-x}\text{Ge}_x\text{OI}$	84
III.1	Réalisation de substrat	84
III.1.a	Smart Cut™	84
III.1.b	Ge condensation	85
III.2	Spécificités technologiques.....	86
III.2.a	Stripping.....	86
III.2.b	Empilement de grille.....	86
III.2.c	Dopage Source – Drain.....	87
III.2.d	Germaniuration	87
IV	Conclusions du chapitre	88

I Stratégie d'obtention de la zone intrinsèque

La difficulté technologique majeure pour réaliser le I-MOS réside dans l'obtention de la zone intrinsèque. L'objectif de ce paragraphe est de présenter les différentes stratégies mises en œuvre pour réaliser cette zone. Nous comparerons ensuite ces différentes méthodes et exposerons les arguments qui ont motivés notre choix technologique.

I.1 Architecture 3D : épitaxie source/drain

L'université de Singapour a présenté en 2006 une nouvelle architecture de I-MOS « en 3D ». La particularité réside dans le fait que la zone intrinsèque est définie en partie par l'espaceur et en partie par l'épithaxie Source/Drain [Toh 05]. La **Figure I-1** représente le procédé technologique utilisé pour réaliser les I-MOS. Les étapes de réalisation de la grille et des espaceurs sont identiques à un procédé CMOS standard. Une épithaxie sélective est ensuite réalisée, suivie d'un dépôt d'oxyde. Les implantations Source Drain sont ensuite réalisées en masquant successivement le drain et la source. Le dopage de la source est réalisé à une énergie inférieure à celui de la source, afin que la zone intrinsèque s'étende dans la partie épithaxiée.

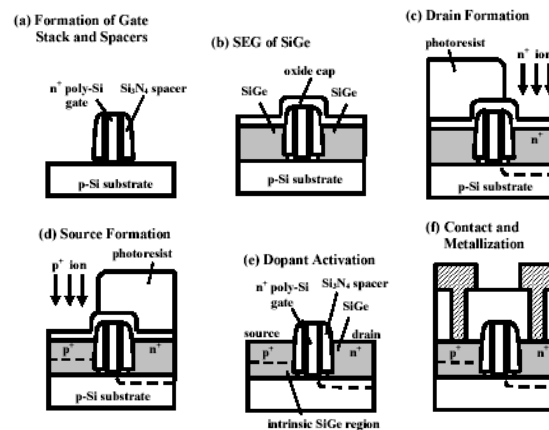


Figure I-1 : Procédé de réalisation utilisé par [Toh 05] présentant une architecture 3D. La zone intrinsèque du I-MOS est définie en partie par l'espaceur et en partie par le couple épithaxie/implantation ($L_{IN} = L_{IN \text{ épithaxie}} + L_{IN \text{ espaceur}}$).

Cette méthode peut être compatible avec une technologie CMOS (l'implantation correspondant à la source du I-MOS n'est pas optimum pour le MOSFET). Elle présente aussi l'avantage de pouvoir épithaxier des matériaux autres que le Si, comme par exemple le SiGe [Toh 05] ou le SiC [Toh 07], soit pour induire une contrainte soit pour mettre à profit des coefficients d'ionisation par impact plus élevés. Un dernier avantage réside aussi dans le gain en compacité par rapport à un I-MOS planaire. Cependant, avec cette méthode, la longueur de la zone intrinsèque L_{IN} est fixée pour toute la plaque.

En épithaxiant une couche dopée, le profil de dopage à la source est alors plus abrupte, ce qui réduit la tension d'avalanche [Choi 06]. Cette méthode présente cependant le désavantage d'être plus complexe (il faut réaliser l'épithaxie source puis drain) et de ne plus être CMOS compatible.

I.2 Espaceurs

I.2.a Dopage In Situ

La méthode que nous allons présenter a été développée par l'Université de Séoul [Choi 05]. Les grandes étapes de réalisations sont présentées sur la **Figure I-2**. Le principe consiste à réaliser sur la plaque SOI une couche dopée qui fera office de drain et à protéger cette couche par un masque dur, ici en SiO₂. On réalise ensuite une ouverture dans l'ensemble masque dur et « drain » par photolithographie. L'empilement de grille est obtenu par dépôt successif de l'oxyde de grille et du Poly Silicium. Ensuite, la grille est définie par un dépôt d'oxyde. L'épaisseur de cet oxyde représentera la longueur de grille L_G à la fin du procédé. En gravant ensuite ces trois couches, on obtient l'empilement de grille, défini par un espaceur. La zone intrinsèque est définie de la même manière : on dépose un oxyde d'épaisseur L_{IN} que l'on grave ensuite pour définir l'espaceur sous lequel se trouve la zone intrinsèque. L'implantation LDD de la source est ensuite réalisée. Un dernier espaceur est réalisé de la même façon, suivi de l'implantation HDD de la source. Les deux avantages de cette méthode sont :

- L_{IN} est défini par la largeur de l'espaceur : la précision est limitée par le dépôt/gravure ($\pm 1\text{nm}$).
- les deux implantations nécessaires pour réaliser la source sont auto alignées, le masque dur déposé initialement sur le drain protège celui-ci de l'implantation.

Cette méthode permet de co-intégrer des TFET et du I-MOS. L'inconvénient majeur est que cette méthode ne permet pas de réaliser un n-IMOS et un p-IMOS sur la même plaque. De plus, cette méthode n'est pas compatible avec la technologie CMOS.

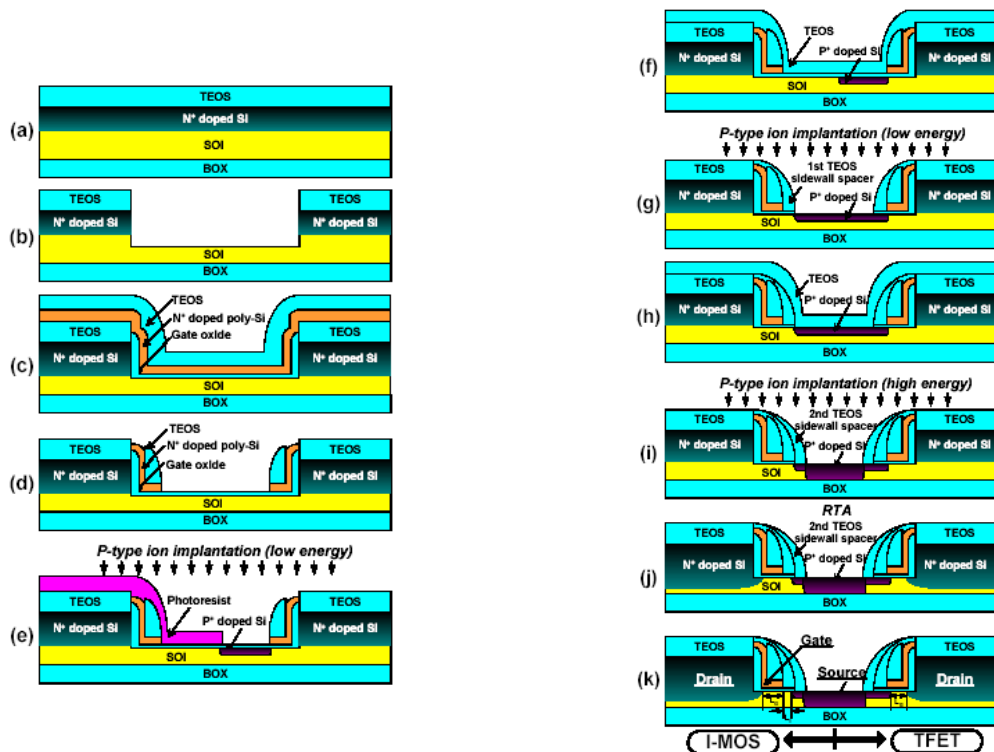


Figure I-2 : Procédé de réalisation utilisé par [Choi 05] pour réaliser des I-MOS (ici un n-IMOS) avec une possibilité de co-intégration avec des TFET.

I.2.b Méthode « simplifiée »

La méthode décrite ci-dessus utilise une couche dopée *in situ* pour réaliser le drain. Il est cependant possible d'utiliser la méthode de l'espaceur avec une implantation source/drain plus classique. Technologiquement, une première implantation correspondant au drain est réalisée, qui définit le type n ou p du I-MOS. Puis, on réalise l'espaceur comme précédemment. La largeur de cet espaceur correspond à la zone intrinsèque L_{IN} du I-MOS. On vient ensuite réaliser l'implantation complémentaire pour la source.

On peut adapter cette méthode pour réaliser un dopage LDD du même type que le drain. De cette manière, on optimise soit le n-IMOS soit le p-IMOS. Cette méthode est compatible avec une technologie CMOS, cependant, tous comme le I-MOS, seul un des deux types (n ou p) sera optimisé. Pour optimiser les deux types de transistor, il faudrait utiliser deux masques de lithographie : un pour réaliser les extensions faiblement dopées (LDD) et l'autre pour source et drain (HDD).

I.3 Désalignement des niveaux d'implantation

La méthode la plus « intuitive » pour obtenir une zone intrinsèque consiste à désaligner les niveaux d'implantation n et p. Cette méthode a été utilisée historiquement pour obtenir les premiers I-MOS [Gopalakrishnan 02] et plus récemment par Charbuillet *et al* [Charbuillet 06]. La **Figure I-3** illustre le désalignement entre les niveaux de lithographie pour réaliser la zone intrinsèque.

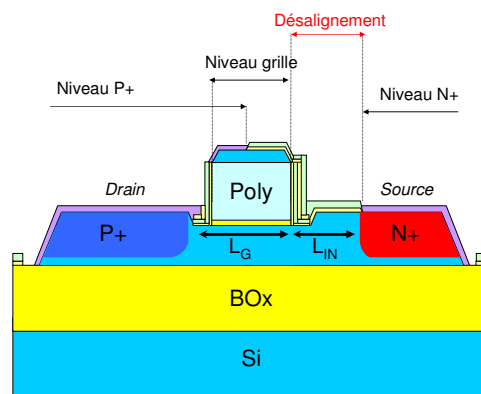


Figure I-3 : Illustration sur un p-IMOS de la définition de la zone intrinsèque par un désalignement entre les niveaux lithographique n et p (n/p non complémentaires).

La force de ce procédé est la compatibilité avec la technologie CMOS. Cependant, la précision du désalignement est limitée par l'alignement lithographique des niveaux n et p ($< \sim 100\text{nm}$). Cette méthode induit une forte dispersion puce par puce et impose une limite minimum pour L_{IN} de l'ordre de 100nm.

I.4 Avantage et Inconvénient de chaque méthode

Les différentes méthodes d'obtention de L_{TN} sont comparées dans le **Tableau I-1**. Il n'y a pas une méthode qui domine les autres, chacune possède ses avantages propres et ses inconvénients.

	Désalignement niveau d'implantation N et P	Espaceur	Structure 3D
Compatible CMOS	Oui	Oui (si on ajoute un niveau de lithographie)	Oui (si on ajoute un niveau de lithographie)
L_{TN} min (nm)	~100	~10	~30-40
L_{TN} max (nm)	Aucun en théorie	~100 (Dépend de la hauteur de la grille)	~100 (Dépend de la hauteur de la grille)
Autre	Co-intégration avec des TFET possible	Co-intégration avec des TFET possible	Facilite l'intégration de nouveaux matériaux et de la contrainte

Tableau I-1 : Récapitulatif des différentes méthodes pour définir la zone intrinsèque L_{TN} .

Réaliser des I-MOS avec des $L_{TN} > 100\text{nm}$ peut être intéressant pour obtenir des dispositifs dont l'avalanche est initiée du côté source. Or seule la méthode de désalignement des niveaux lithographique permet d'adresser des longueurs L_{TN} élevées.

Si on vise des I-MOS avec une zone intrinsèque le plus faible possible, la méthode des espaceurs est mieux adaptée que la méthode 3D, puisque cette dernière nécessite des espaceurs épais pour qu'il n'y ait pas de couplage entre la grille et la zone intrinsèque.

L'architecture 3D facilite l'intégration de matériaux nouveaux, puisqu'on peut les déposer par épitaxie. Pour obtenir des hétérojonctions par exemple entre la source et la zone intrinsèque, c'est la méthode à préconiser.

Dans cette thèse, nous avons fait le choix du désalignement des niveaux lithographiques N et P ($0 < L_{TN} < 850\text{nm}$). D'une part cette méthode permet de co-intégrer des MOSFET avec des I-MOS et des TFET et de pouvoir ainsi directement comparer les performances de chaque architecture. D'autre part, cette méthode est la plus aisée à mettre en oeuvre avec des substrats GeOI, alors que sur SOI elle permet la réutilisation des acquis de la technologie des transistors complètement désertés. De plus, sur le masque utilisé, certains dispositifs ont des niveaux N et P complémentaires ($L_{TN}=0$), ce qui permet de définir la zone intrinsèque par espaceur (comme décrit dans le paragraphe I.2.b).

II Procédé de réalisations technologiques

Dans ce paragraphe, nous allons détailler dans un premier temps notre approche technologique pour réaliser des I-MOS sur SOI ainsi que les variantes technologiques réalisées. Ensuite, nous exposerons un procédé de réalisation innovant de transistor I-MOS qui a donné lieu au dépôt d'un brevet [Clavelier 07].

II.1 Réalisation sur substrats « xOI »

II.1.a Procédé sur SOI épais

Dans ce paragraphe, nous allons décrire les étapes technologiques qui ont conduit à la réalisation technologique des lots. Bien que le Ge (et le GeOI) présente un l'intérêt pour les tensions d'alimentation du I-MOS, nous présenterons ici un dispositif sur SOI, car la technologie est mieux maîtrisée. Différentes architectures et variantes de procédé ont été réalisés. Nous présenterons ici le cas le moins complexe, correspondant à l'architecture A (voir paragraphe II.1.b) Les étapes technologiques sont résumées sur la **Figure II-1**. Le point fort de cette technologie est la compatibilité avec la technologie CMOS.

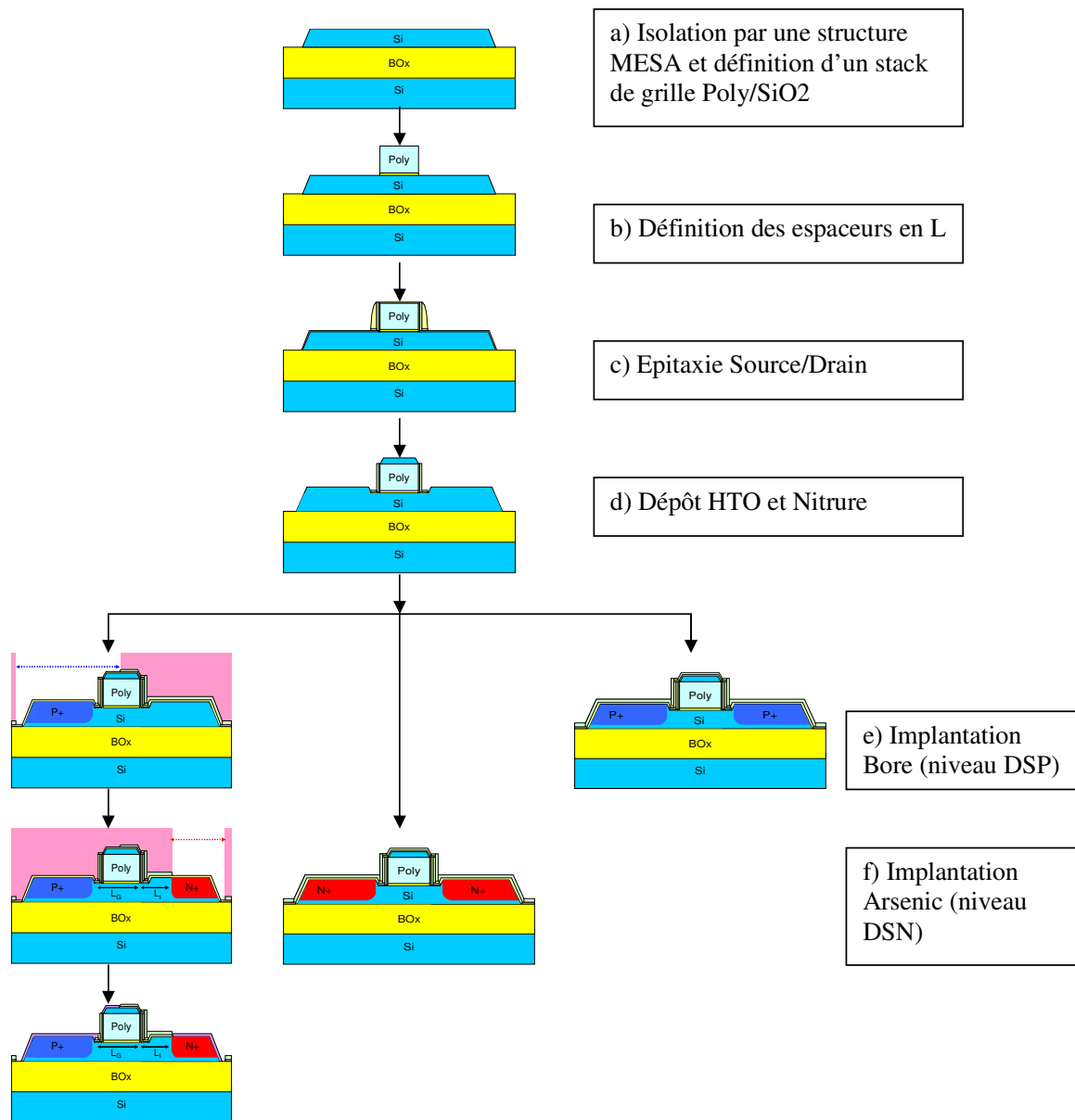


Figure II-1 : Procédé de réalisation de I-MOS sur SOI, compatible avec la filière CMOS.

Nous avons choisi une structure en MESA pour assurer l'isolation du transistor. On réalise ensuite un empilement de grille « classique » de SiO_2 thermique et de PolySi dopé N.

Des espaceurs en L sont ensuite réalisés. Cette technologie a été choisie car elle permet d'obtenir des petits espaceurs ($\sim 10\text{nm}$). 2nm de SiO_2 sont d'abord déposés, suivi de 10 nm de nitrure Si_3N_4 , puis une quantité variable de SiO_2 est déposée (voir variable technologique) qui va permettre de définir la largeur de l'espaceur, L_{espaceur} . Finalement, le SiO_2 est gravé, suivi ensuite par la couche de nitrure par voie humide.

Ensuite, les 2nm de SiO_2 restant sont gravés et 30nm de Si sont épitaxiés (pour certaines variantes). Les sources/drains et la zone intrinsèque sont alors surélevés.

Puis, 5 nm de SiO_2 suivi par 20 nm de nitrure pour protéger la zone intrinsèque de la siliciuration sont déposés. Jusqu'à cette étape, les futurs I-MOS et MOSFET ont « vus » la même technologie. La définition des zones d'implantation N et P va conduire soit à un MOSFET soit à un I-MOS. Dans un MOSFET, la source et le drain sont libérés en même temps car le dopage est du même type. Dans le cas d'un I-MOS, le drain est réalisé en premier avec un niveau P (dans le cas du p-IMOS), puis la source est ouverte avec le masque correspondant au niveau N, qui est décalé par rapport au niveau précédent de façon à définir la zone intrinsèque. Cette méthode n'est donc pas auto alignée, mais présente l'avantage d'être compatible avec la filière CMOS. La zone intrinsèque est donc définie par la précision du désalignement des deux niveaux lithographiques. Finalement, on vient siliciurer les contacts pour diminuer les résistances d'accès.

La **Figure II-2** montre des images MEB (Microscope Electronique à Balayage) d'un n-IMOS obtenu avec le procédé décrit ci-dessus. La vue d'ensemble permet de mieux appréhender les dimensions caractéristiques : $W=50\mu\text{m}$, et les plots de source et drain ($200\mu\text{m} \times 200\mu\text{m}$) sont assez grands pour pouvoir poser directement les pointes de test sur la zone active. Sur la vue rapprochée, on distingue les zones de source et drain, la grille et la zone intrinsèque. La zone sombre à cheval sur la grille et la zone intrinsèque est la couche de nitrure de protection contre la siliciuration de la zone intrinsèque.

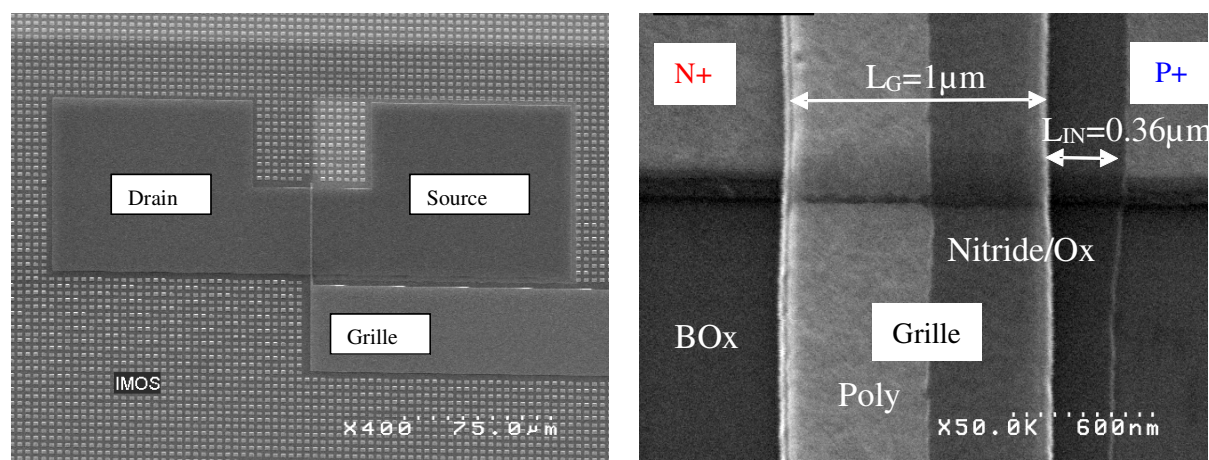


Figure II-2 : photo MEB d'un n-IMOS fabriqué sur SOI ($L_G=1\mu\text{m}$, $L_{IN}=0,4\mu\text{m}$, $T_{si}=100\text{nm}$, $W=50\mu\text{m}$), vue d'ensemble (gauche) et vue rapprochée (droite).

II.1.b Variantes technologiques réalisées

Nous avons considéré deux types d'architectures différentes, comme on peut le voir sur la **Figure II-3**: architecture A et B. L'architecture A n'est composé que d'un seul espaceur et se trouve de ce fait mieux adapté pour des structure sur SOI épais ($T_{Si} \sim 100nm$) ou pour des structure Ge. L'architecture B possède une structure à deux espaceurs et deux niveaux d'épitaxie ($T_{Epitaxie1} \& 2$) et est destinée aux substrats SOI minces (les deux épitaxies servent à diminuer les résistance d'accès dans ce cas et évitent les risques liés à l'amorphisation lors de l'étape d'implantation). Le premier espaceur de la structure B a toujours une largeur de 10nm.

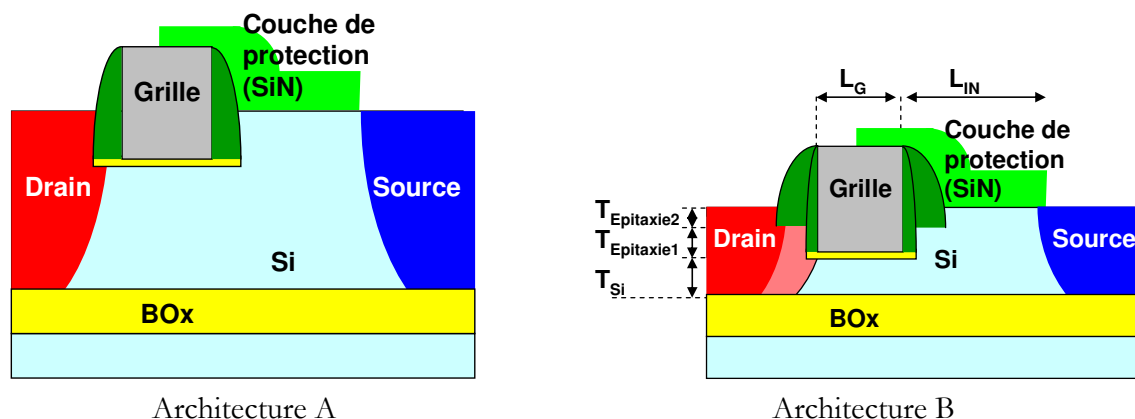


Figure II-3 : Description des deux architectures utilisées

Le **Tableau II-1** récapitule les différentes variantes technologiques réalisées pour chaque lot de transistor I - MOS. Les résultats expérimentaux sont donnés dans le chapitre IV.

Lots	H773	N295	N079	M643	N636
Architecture	A	B	B	A	A
Matériaux	SOI	SOI	$Si_{1-x}Ge_xOI$ (0%, 25%, 35%)	GeOI	GeOI
$T_{Si} / T_{Epitaxie}$ (nm)/(nm)	100/30, 100/ Ø	20/10/20	15 (SiGe)/ 10 (Si)/20 (Si)	30, 60/ Ø	
T_{ox} (nm)	9, 6 (SiO_2)	6 (SiO_2), 3 (HfO_2)	3 (HfO_2)	4 (HfO_2)	
T_{Box} (nm)	400	145	145	145	
Implantation LDD	Ø	N & P	N & P	Ø	
$L_{espaceur}$ (nm)	10, 20, 40	15, 30	15	50	
Φ_M (eV)	4	4.6	4.6	4.6	
L_{INmin} / L_{Gmin} L_{INmax} / L_{Gmax}	100/100nm 850/5000nm	0/100nm 500/800nm	0/100nm 500/800nm	0/320nm 500/720nm	

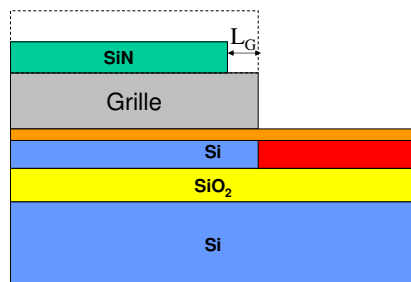
Tableau II-1 : Description des variantes technologiques utilisées.

II.2 Proposition d'une réalisation innovante

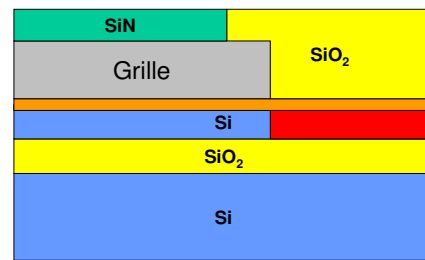
Nous allons présenter dans cette partie un procédé de réalisation permettant d'obtenir un transistor avec une longueur de grille nanométrique sans avoir recours à une lithographie e-beam. De plus cette méthode permet de dissymétriser « à volonté » la source et le drain, ce qui permet d'obtenir des MOSFET, des I-MOS et des TFET. Cette invention a fait l'objet d'un brevet [Clavelier 07]. La **Figure II-4** montre les différentes étapes technologiques.



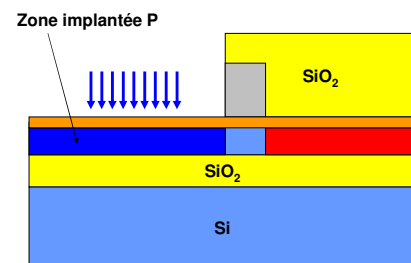
1- Le substrat de départ est un substrat SOI sur lequel l'empilement de grille désiré a été déposé par CVD (Chemical Vapor Deposition) ou PECVD (Plasma Enhanced CVD), définissant ainsi le bord droit de la grille. La 2- L'empilement de grille est gravé de manière anisotrope avec arrêt sur le diélectrique, ainsi qu'un masque dur de SiN. On réalise ensuite une première implantation (N+ ouverture dans ce masque dur à l'aide d'une lithographie optique dans cet exemple) (Deep UV), qui définira le premier bord de grille.



3- Le masque dur est ensuite trimmé (=attaque chimique isotrope) de façon à définir la cote de grille L_G souhaitée.



4- On dépose ensuite un masque dur de SiO_2 par PECVD et l'ensemble est planarisé par CMP (Chemical and Mechanical Polishing) avec arrêt sur nitrure.



5- Le nitrure est retiré sélectivement par rapport au SiO_2 . Ensuite le bord gauche de la grille est gravé et on réalise l'implantation souhaitée (ici P+ pour réaliser un TFET). 6- On enlève le SiO_2 et on réalise les espaciers de manière conventionnelle, ainsi que la siliciuration source et drain.

Figure II-4 : Procédé de réalisation d'un transistor nanométrique sans avoir recours à une lithographie e-beam et permettant de dissymétriser la source et le drain.

On part d'abord d'un substrat (ici SOI) sur lequel on vient déposer l'empilement de grille. On dépose ensuite un premier masque dur, de préférence du SiN (**Figure II-4 1**)). On réalise ensuite une première étape de photolithographie standard, qui vient définir le premier bord de la grille, par exemple la source. On peut ensuite au choix :

- pour un I-MOS : réaliser un espaceur pour définir une zone intrinsèque, suivi d'une implantation pour définir la source
- pour un TFET : réaliser une implantation HDD (**Figure II-4 2**)).
- pour un MOSFET : réaliser une implantation LDD, suivi d'un espaceur et de l'implantation HDD

On vient ensuite réaliser un « trimming » du masque dur. La longueur « trimmée » est égale à la longueur de la future grille (d'habitude le « trimming » est utilisé pour réduire la dimension de la grille alors qu'ici il permet de définir la grille) (**Figure II-4 3**)). Un second masque dur est ensuite déposé. Ce masque dur doit être différent du premier masque dur et doit avoir la propriété suivante : le premier masque dur doit pouvoir se graver sélectivement par rapport au second. On planarise ensuite par CMP (Chemical Mechanical Polishing) ce second masque dur en s'arrêtant sur le premier masque dur (**Figure II-4 4**)). Ce qui formera la future grille est donc protégé par ce second masque dur. On retire ensuite de manière sélective le premier masque dur et on vient graver la grille, réalisant ainsi le second bord de grille (**Figure II-4 5**)). Comme précédemment, on peut alors travailler le drain indépendamment de la source en réalisant implantation et espaceur selon l'architecture souhaitée.

Ce procédé laisse un cordon de grille autour de la zone active, comme on peut le voir sur le schéma de la **Figure II-5**. Cet artéfact peut être utilisé avantageusement pour définir par exemple des inverseurs qui nécessite d'avoir les grilles reliées. Si on veut séparer les grilles, il faut rajouter un niveau de masquage.

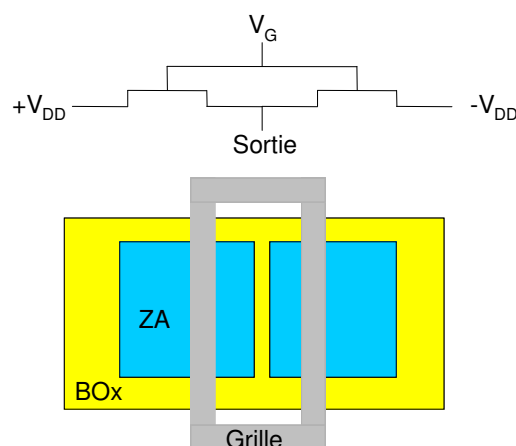


Figure II-5 : Vue de dessus de la zone active sur isolant et de la grille après gravure. La grille enrobe les zones actives, ce qui peut être avantageux pour créer un inverseur. Ici, les deux zones actives sont séparées, mais si on veut réaliser un inverseur, il peut être intéressant de ne définir qu'une seule zone active.

La réalisation du plot de grille nécessite une approche particulière. En effet, si L_G est inférieur à la taille du contact, il faut alors définir des zones plus larges pour effectuer les reprises de contacts. Il existe plusieurs solutions connues. Une d'entre elles par exemple, consiste à définir la grille en forme de peigne (voir **Figure II-6**) pour augmenter la surface, chaque doigt mesurant au plus $2.L_G$. Le contact se fait ensuite à cheval sur plusieurs doigts.



Figure II-6 : (gauche) Vue de dessus de la grille après « trimming ». (droite) Vue de dessus de la grille après gravure.

On peut envisager par ce procédé d'avoir des circuits qui comportent des CMOS, des CIMOS et des TFET, pour exploiter les spécificités de chacun et ainsi optimiser les performances du circuit. Seul inconvénient, L_G est fixé pour toute la plaque.

III Substrats Innovants : GeOI et le $Si_{1-x}Ge_xOI$

Durant cette thèse, nous avons utilisé des substrats innovants de type SiGeOI et GeOI. L'objectif de ce paragraphe est de présenter brièvement la façon d'obtenir de tels substrats, puis de détailler les spécificités technologiques liées à ces matériaux.

III.1 Réalisation de substrat

Il existe deux techniques majeures pour réaliser des substrats GeOI et $Si_{1-x}Ge_xOI$: la technologie Smart Cut™ et la « Ge Condensation ». Nous allons détailler ici ces deux méthodes.

III.1.a Smart Cut™

La technologie Smart Cut™ a été initialement développée pour réaliser des substrats SOI [Bruel 95]. Elle a été ensuite adaptée pour obtenir des substrats GeOI [Letertre 04] - [Deguet 05] et $Si_{1-x}Ge_xOI$. La **Figure III-1** (gauche) représente le schéma de principe de la technologie Smart Cut™. La difficulté réside dans le fait que l'oxyde natif du Ge n'est pas stable et ne peut donc pas être utilisé pour servir d'oxyde enterré [Prabhakaran 00]. Pour remédier à ce problème, une couche de SiO_2 est déposée par PECVD (Plasma Enhanced CVD) sur la plaque donneuse en Ge. Cet oxyde est déposé et densifié à des températures proche de $600^\circ C$, compatible avec le Ge. Son épaisseur est environ 100nm. Ces plaques sont ensuite implantées avec des ions H^+ (10^{16} at/cm², 50-100 keV). La surface est ensuite nettoyée et préparée pour subir ensuite un collage par adhésion moléculaire avec une plaque de Si sur laquelle on a fait croître un oxyde thermique SiO_2 . L'étape la plus délicate est celle consistant à séparer les deux plaques, à cause de la différence

entre les coefficients d'expansion thermique de Si et du Ge [Clavelier 06]. Des traitements supplémentaires comme un recuit de guérison et une étape de CMP achèvent de rendre la surface des plaques GeOI pleinement compatible avec les procédés de réalisation de transistors. Le recyclage de la plaque donneuse est un avantage important, étant donné le coût important des plaques de Ge massif.

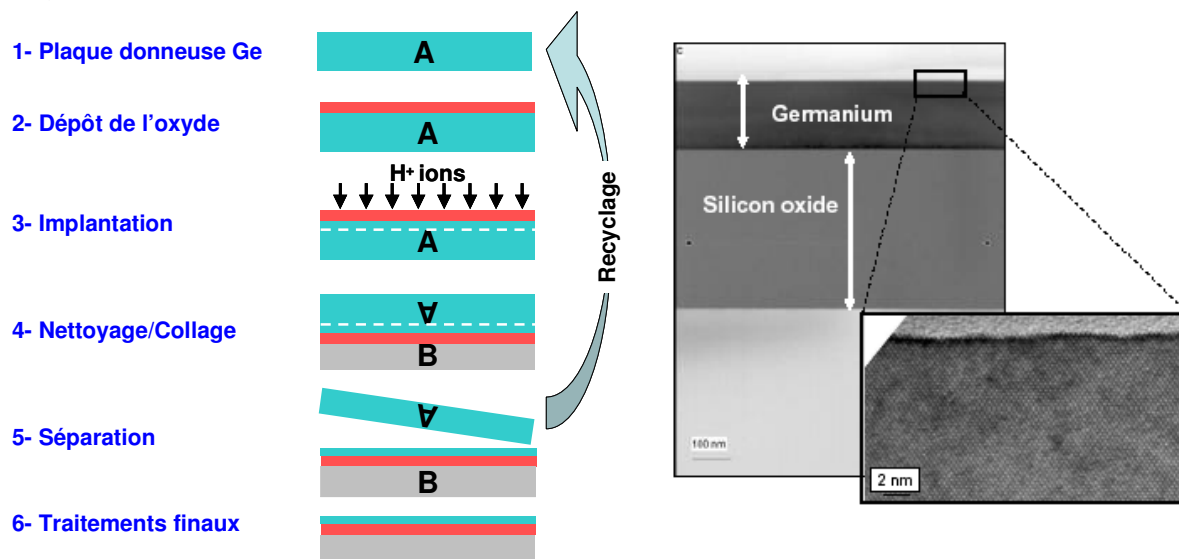


Figure III-1 : (gauche) Schéma de principe illustrant les étapes de réalisation de plaque GeOI par Smart Cut. (droite) coupe TEM d'une plaque GeOI obtenue par Smart Cut™ [Letertre 04].

Des reports de plaques 100nm (4") et 200nm (8") ont été réalisés avec des épaisseurs de Ge variant de 40nm à 200nm selon l'application visée.

Sur les dernières réalisations, le nombre de défauts surfaciques sur les plaques de GeOI avoisinait 10 défauts par cm², ce qui est très proche des 3 défauts par cm² que l'on mesure sur les plaques de Ge massif. La qualité des plaques donneuses jouera donc un rôle important dans la réduction des défauts surfaciques (LPD : Light Point Defect). La qualité cristalline est très bonne comme on peut le voir sur la coupe TEM de la **Figure III-1** (droite). Aucun défaut n'est visible : la densité de défauts volumiques est estimée inférieure à 10⁵ par cm². De plus des mesures Raman ont montré que ce procédé n'induisait aucune contrainte dans le matériau [Akatsu 06].

III.1.b Ge condensation

La condensation de Ge (aussi appelé méthode d'enrichissement de Ge) est une méthode qui permet d'obtenir des substrats fins de Si_{1-x}Ge_xOI et GeOI 200mm et 300mm. Cette technique a été proposée pour la première fois en 2001 par Tezuka *et al* [Tezuka 01] et est présentée sur la **Figure III-2**. Le substrat initial est un substrat SOI d'épaisseur 20nm, sur lequel on a fait croître 75nm de Si_{1-x}Ge_x à 10% de teneur en Ge par RP-CVD (Reduced Pressure CVD) à 650°C. Une couche de protection de 2nm de Si est ensuite déposée pour éviter la formation de GeOx durant la première étape d'oxydation [Damlencourt 06]. Une oxydation en phase sèche est ensuite réalisée à deux paliers de température : 1050°C et 900°. L'oxydation du Si en SiO₂ « pousse » alors

les atomes de Ge dans la couche inférieure et enrichit alors celle-ci. La seconde phase à 900°C est nécessaire pour atteindre des enrichissements supérieurs à 65% sans provoquer une fusion du matériau. L'impact des différents paramètres comme l'épaisseur de la couche de Si ou la teneur en Ge et l'épaisseur de la couche de $\text{Si}_{1-x}\text{Ge}_x$ a été étudiée par Vincent *et al* [Vincent 07]. Plus l'enrichissement est important et plus l'impact de ces paramètres est marqué. Plus de détails concernant les architectures à base de $\text{Si}_{1-x}\text{Ge}_x$ et Ge obtenues par enrichissement peuvent être trouvés dans la littérature [Vincent 08].

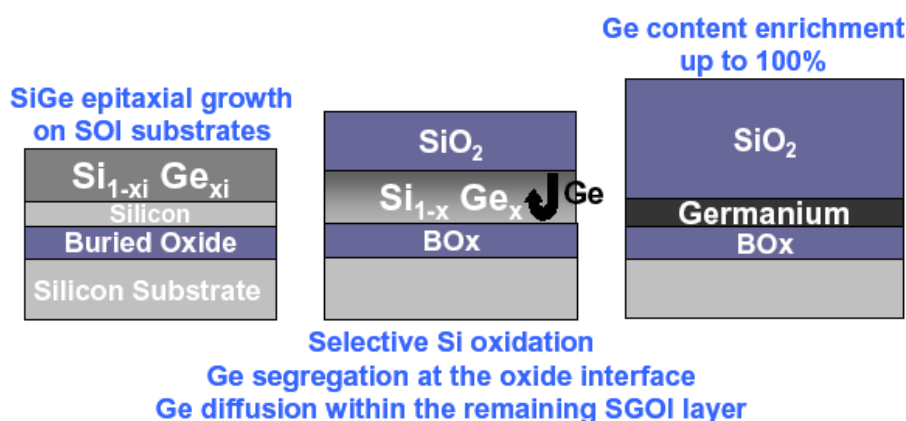


Figure III-2 : Principe de l'enrichissement de Ge à partir de plaque SOI [Vincent 08].

III.2 Spécificités technologiques

Après avoir présenté les méthodes d'obtention des substrats innovants $\text{Si}_{1-x}\text{Ge}_x\text{OI}$ et GeOI dans le paragraphe III.1, nous allons maintenant aborder les problèmes technologiques spécifiques liés à la réalisation de transistors sur GeOI. Sur $\text{Si}_{1-x}\text{Ge}_x\text{OI}$, les difficultés sont moindres, car le matériau se comporte comme du Si tant que la teneur en Ge < 40%.

III.2.a Stripping

En technologie Ge ou GeOI, on ne peut pas utiliser les méthodes de retrait de résine classique, car les solutions aqueuse de nettoyage utilisées pour la technologie Si consomment le Ge (>1µm/min). Une méthode de nettoyage sec à base de plasma avec un rapport ($\text{N}_2/\text{O}_2+\text{N}_2$) élevé s'est avérée efficace pour les étapes de stripping [Lachal 06].

III.2.b Empilement de grille

La mauvaise qualité de l'oxyde natif du Ge n'est plus un problème car le Ge est compatible avec les oxydes de grille à haute permittivité dit « high-k » comme le HfO_2 [Prabhakaran 00] - [Le Royer 05]. La passivation du Ge se fait essentiellement par deux méthodes : soit par dépôt d'une fine couche de Si ou avec un oxynitride de Ge (GeON). Un recuit sous NH_3 s'est avéré bénéfique avant le dépôt de HfO_2 en terme de réduction de l'EOT (Equivalent Oxide Thickness) et des courants de fuite. Avec un empilement Ge/GeON/ HfO_2 /TiN, des EOT de 0.7nm ont été démontrés avec un courant de fuite de 0.84 A/cm² à -2V [Le Royer 05]. En utilisant des approches avec la couche de Si, on se retrouve avec

un empilement Si/SiO₂/HfO₂ connu. Par cette méthode des EOT de 1.3nm ont été obtenus avec des courants de fuite comparables avec la technologie HfO₂ sur Si (10^{-2} A/cm² à -2V) [Le Royer 05].

Les résultats de la littérature ont montré le potentiel (faible EOT et courant de fuite acceptable) de la technologie Ge. Il reste cependant le problème des défauts d'interface (D_{IT}) entre le Ge/HfO₂ qui sont encore trop élevés (10^{12} - 10^{13} cm⁻²) et doivent être réduits d'un voire deux ordre de grandeur pour optimiser l'architecture MOS.

III.2.c Dopage Source – Drain

Depuis 2002, plusieurs papiers se sont penchés sur le dopage dans le Ge [Chui 05]- [Satta 05]. Comme dans le Si, le dopage source et drain peut être réalisé par implantation ionique: As et P pour le dopage de type n et le B pour le dopage type p. Cependant la température d'activation est réduite dans le Ge comparée au Si (~400-600°C comparée à 1050°C) [Le Royer 06]. Contrairement au cas Si, le B ne diffuse presque pas dans le Ge [Satta 05] - [Hutin 08] alors que le P et l'As diffusent beaucoup [Chui 05]- [Mazzocchi 08]. Un point problématique provient du faible niveau d'activation des dopants de type n, mesuré à 10^{17} - 10^{18} cm³ [Mazzocchi 08]. Ceci est une des raisons pour lesquelles les niveaux de courants mesurés dans la littérature pour les n-MOS sur Ge ou GeOI ne sont pas très élevés. Pour les dopants de type p, des niveaux d'activation ~ 2 - $6 \cdot 10^{19}$ cm⁻³ [Satta 05] - [Hutin 08] ont été démontrés, ce qui permet d'obtenir des p-MOSFET fonctionnels. Cependant, comme la dépendance de la mobilité vis-à-vis de la concentration de dopant n'est pas encore bien comprise, l'analyse des dopants dans le Ge reste délicate et manque de précision [Koffel 08]. Des méthodes alternatives pour augmenter le niveau d'activation ont été proposées comme la pré-amorphisation du Ge [Chao 05] et le recuit laser [Huang 05].

III.2.d Germaniuration

L'étape de germaniuration permet de réduire les résistances de contact et d'accès. Dans les transistors Si, cette étape est réalisée en déposant un métal et en faisant réagir ce métal avec le Si dopé de la source et du drain. Dans la littérature, les siliciures à base de NiSi et NiPtSi servent de référence pour le noeud 45nm, grâce à leur faible résistivité, leur faible température de formation et leur faible consommation de Si [Maex 95]. Récemment des études ont montré le potentiel du germaniure NiGe [Gaudet 06], qui présente les mêmes points forts que le NiSi.

Le procédé de formation du germaniure commence par un nettoyage de la surface du Ge pour éliminer l'oxyde natif. Ceci peut être réalisé par exemple avec de l'acide fluorhydrique dilué. Le métal est ensuite déposé et chauffé pour former l'alliage de NiGe [Carron 07]. Durant la croissance de NiGe, une forte migration de Ge est observée vers la couche de Ni, allant même jusqu'à consommer entièrement la source et le drain [Nemouchi 08]. Pourtant dans la littérature, le Ni est présenté comme étant l'atome migrateur, à la fois dans le Si [Chu 74] et dans le Ge [Marshall 85] ce qui est en contradiction avec les observations. Un procédé a été développé pour

limiter la diffusion du Ge, basé sur l'introduction d'impureté (oxygène...) dans le Ni avant recuit [Nemouchi 08].

La dernière étape consiste à retirer sélectivement le métal n'ayant pas réagi (Ni) par rapport au germaniure (NiGe), comme expliqué dans la littérature [Carron 06].

IV Conclusions du chapitre

Dans ce chapitre, nous avons détaillé et comparé les différentes manières de réaliser la zone intrinsèque dans le I-MOS : par désalignement des niveaux d'implantation n et p, par un espaceur et par épitaxie. La méthode par épitaxie possède l'avantage de pouvoir introduire facilement des nouveaux matériaux et de la contrainte. Cependant cette méthode n'est compatible avec une technologie CMOS qu'en ajoutant un niveau de masque supplémentaire. De plus, la taille maximum de la zone intrinsèque est limitée par la hauteur de la grille. La méthode de l'espaceur permet d'adresser des dimensions très petites (~10nm) mais souffre des mêmes remarques concernant la taille limite de la zone intrinsèque et la co-intégration CMOS/I-MOS. Ces deux méthodes sont compatibles avec un dopage in situ qui permet de rendre la jonction plus abrupte. Cependant, la compatibilité avec le CMOS est alors perdue. La dernière méthode, la moins complexe, consiste à décaler les niveaux d'implantation n et p. Cette méthode est totalement compatible avec une technologie CMOS (voir chapitre IV), mais souffre cependant d'une forte dispersion due à l'imprécision de l'alignement sur la grille, ce qui limite la taille minimum de la grille et de la zone intrinsèque. Nous avons opté pour cette dernière méthode (par désalignement) pour deux raisons essentielles : d'abord nous voulions comparer l'architecture I-MOS au MOSFET, ce qui implique une compatibilité totale, de plus, en vu d'une utilisation de substrat GeOI, le procédé de réalisation devait être le plus simple possible.

Dans la deuxième partie, nous avons détaillé les différentes architectures réalisées durant cette thèse, ainsi que les différentes variantes technologiques. Un procédé particulier de réalisation a été détaillé permettant d'obtenir des I-MOS sur SOI épais. Ensuite, un procédé de réalisation innovant a été décrit, permettant de réaliser des transistors à source et drain dissymétriques (par exemple TFET ou I-MOS) avec des longueurs de grilles nanométriques sans lithographie e-beam. Ce procédé a été breveté.

La dernière partie est consacrée à la réalisation des substrats de type $\text{Si}_{1-x}\text{Ge}_x\text{OI}$ et GeOI, soit par Smart Cut, soit par enrichissement de Ge. Les spécificités et les difficultés de la technologie sur GeOI sont analysées et discutées.

Toutes les caractéristiques électriques des transistors I-MOS, MOSFET et TFET fabriqués à partir des données de ce chapitre sont présentées dans le paragraphe IV.

Références

- [Akatsu 06] T. Akatsu, C. Deguet, L. Sanchez, F. Allibert, D. Rouchon, T. Signamarcheix, C. Richtarch, A. Boussagol, V. Loup, F. Mazen, J.M. Hartmann, Y. Campidelli, L. Clavelier, F. Letertre, N. Kernevez, C. Mazure, *"Germanium-on-insulator (GeOI) substrates - A Novel Engineered Substrate For Future High Performance Devices. Materials"*, Science in Semiconductor Processing, Volume 9, Issues 4-5, p. 444-448, August-October 2006.
- [Brueel 95] M. Brueel, *"Silicon on Insulator Material Technology"*, IEEE Electronics Letters, Vol.31, N°14, pp. 1201-1202, July 1995.
- [Carron 06] V. Carron, G. Rolland, S. Minoret, J.M. Hartmann, L. Clavelier, C. Le Royer, *"Nickel Selective Etching Studies for Self-Aligned Silicide Process in Ge and SiGe-Based Devices"*, ECS Meeting, 2006.
- [Carron 07] V. Carron, P. Besson, F. Pierre, *"Wet Etching Step Evolution for Selective Removal on Silicide or Germanide Applications"*, Electrochemical Society Transactions, Vol. 11, N°2, p. 309-320, October 2007.
- [Chao 05] Y.L. Chao, S. Prussin, J.C.S. Woo, R. Scholz, *"Preamorphization Implantation-Assisted Boron Activation in Bulk Germanium and Germanium-On-Insulator"*, Applied Physics Letters, Vol. 87, N°14, September 2005.
- [Charbuillet 06] C. Charbuillet, S. Monfray, E. Dubois, P. Bouillon, F. Judong and T. Skotnicki, *"High Current Drive in Ultra-Short Impact Ionization MOS (I-MOS) Devices"*, IEEE International Electron Devices Meeting, p. 1-4, December 2006.
- [Choi 05] W.Y. Choi, J.Y. Song, J.D. Lee, Y.J. Park and B.J. Park, *"70-nm Impact-Ionization Metal-Oxide-Semiconductor (I-MOS) Devices Integrated with Tunneling Field-Effect Transistors (TFETs)"*, IEEE International Electron Devices Meeting, p. 975-978, December 2005.
- [Choi 06] W. Y. Choi, J. Y. Song, J. D. Lee and B. G. Park, *"Effect of Source Extension Junction Depth and Substrate Doping Concentration on I-MOS Device Characteristics"*, IEEE Transaction On Electron Devices, Vol. 53, N°5, p. 1282-1285, May 2006.
- [Chu 74] W.K. Chu, H. Krautle, J.W. Mayer, H. Muller, M.A. Nicolet, K.N. Tu, *"Identification of the dominant diffusing species in silicide formation"*, Applied Physics Letters, Vol. 25, N°8, p. 454-457, October 1974.
- [Chui 05] C.O. Chui, L. Kulig, J. Moran, W. Tsai, *"Germanium n-type Shallow Junction Activation Dependences"*, Applied Physics Letters, Vol. 87, N°9, August 2005.
- [Clavelier 06] L. Clavelier, C. Deguet, C. Le Royer, B. Vincent, J.F. Damlencourt, J.M. Hartmann, O. Kermarrec, T. Signamarcheix, B. Depuydt, A. Theuwis, C. Quaeys, N. Cherkashin, Y. Morand, P. Rivallin, C. Tabone, S. Lagrasta, Y. Campidelli, S. Descombes, L. Sanchez, T. Akatsu, A. Rigny,

- D. Bensahel, T. Billon, N. Kernevez and S. Deleonibus, "*Review of Some Critical Aspects of Ge and GeOI Substrates*", Electrochemical Society Transactions, Vol. 3, N°7, pp.789-805, 2006.
- [Clavelier 07] L. Clavelier, F. Mayer, M. Vinet and S. Deleonibus, "*Procédé de réalisation de grille de transistor*", EN 07 53288, deposited: 15-02-2007.
- [Damlencourt 06] J.F. Damlencourt, B. Vincent, P. Rivallin, P. Holliger, D. Rouchon, E. Nolot, C. Licitra, Y. Morand, L. Clavelier, T. Billon, "*Fabrication of SiGe-On-Insulator by Improved Ge condensation technique*", International SiGe Technology and Device Meeting (ISTDM), p. 202-203, May 2006.
- [Deguet 05] C. Deguet, J. Dechamp, C. Morales, A.M. Charvet, L. Clavelier, V. Loup, J.M. Hartmann, N. Kernevez, Y. Campidelli, F. Allibert, C. Richtarch, T. Akatsu, F. Letertre, "*200 mm Germanium-On-Insulator (GeOI) Structures Realized from Epitaxial Wafers Using the Smart CutTM Technology*", Electrochemical Society Proceedings, 2005-06, p. 78 (2005).
- [Gaudet 06] S. Gaudet, C. Detavernier, A.J. Kellock, P. Desjardins, C. Lavoie, "*Thin film reaction of transition metals with germanium*", Journal of Vacuum Science and Technology A., Vol.24,N°3, p. 474-485, May 2006.
- [Gopalakrishnan 02] K. Gopalakrishnan, P.B. Griffin and J. Plummer, "*I-MOS: A Novel Semiconductor Device with a Subthreshold Slope lower than kT/q* ", IEEE International Electron Devices Meeting 2002 p. 289-292.
- [Huang 05] J. Huang, N. Wu, Q. Zhang, C. Zhu, A. Tay, G. Chen, M. Hong, "*Germanium n+/p junction formation by laser thermal annealing process*", Applied Physics Letters Vol.87, N°17, October 2005.
- [Hutin 08] L. Hutin, S. Koffel, C. Le Royer, L. Clavelier, P. Scheiblin, V. Mazzocchi, S. Deleonibus, "*On the Extraction of Dopant Activation Level for Boron-doped Thin Germanium-On- Insulator (GeOI)*", EuroSOI, 2008.
- [Koffel 08] S. Koffel, P. Scheiblin, V. Mazzocchi, A. Claverie, "*Doping of Germanium by Phosphorus Implantation: Prediction of Diffused Profiles with Simulation*", E-MRS Spring Meeting, 2008.
- [Lachal 06] L. Lachal, J. Chiaroni, C. Le Royer, F. Ritton, R. Manfredonia, F. Perrin, "*Resist Stripping Process on Germanium: A Basic Post-implant Study*", Electrochemical Society Transactions Vol. 3, N°2, October-November 2006.
- [Le Royer 05] C. Le Royer, X. Garros, C. Tabone, L. Clavelier, Y. Morand, J.M. Hartmann, Y. Campidelli, O. Kermarrec, V. Loup, E. Martinez, O. Renault, B. Guigues, V. Cosnier, S. Deleonibus, "*Germanium/HfO₂/TiN Gate Stacks for Advanced Nodes: Influence of Surface Preparation on MOS Capacitor characteristics*", 35th European Solid- State Device Research Conference (ESSDERC), p. 97-100, September 2005.

- [Le Royer 06] C. Le Royer, L. Clavelier, V. Mazzocchi, P. Rivallin, S. Deleonibus, *“Optical and Electrical Characterization of Thin Germanium-On-Insulator (GeOI) Implanted Layers”*, SOI conference, p. 31-32, 2006.
- [Le Royer 08] C. Le Royer, M. Vinet, A. Pouydebasque, C. Tabone, K. Romanjek, P. Batude, L. Hutin, S. Koffel, B. Vincent, F. Mayer, F. Némouchi, E. Augendre, L. Sanchez, H. Grampeix, V. Mazzocchi, V. Carron, Y. Le Cunff, L. Lachal, P. Scheiblin, J.-F. Damlencourt, J.-M. Hartmann, T. Billon, L. Clavelier and S. Deleonibus, *“Germanium-On-Insulator MOS Transistor Integration: Challenges and Opportunities for Advanced Technologies”*, Materials Science in Semiconductor Processing, 2008.
- [Letertre 04] F. Letertre, C. Deguet, C. Richtarcha, B. Faurea, J-M Hartmann, F. Chieu, A. Beaumont, J. Dechamp, C. Morales, F. Allibert, P. Perreau, S. Pocas, S. Personnic, S. Lagahe-Blanchard, B. Ghyselen, Y.M. Le Vaillant, E. Jalaguier, N. Kernevez, C. Mazure, *“Germanium-On-Insulator (GeOI) structure realized by the Smart Cut™ technology”*, Materials Research Society, Proceedings 809 B 4.4, p. 153, 2004.
- [Maex 95] K. Maex, *“Simply irresistible silicides”*, Physics World, Vol.8, p. 35-40, November 1995.
- [Marshall 85] E.D. Marshall, C.S. Wu, C.S. Pai, D.M. Scott, S.S. Lau, *“Metal-germanium contacts and germanide formation”*, MRS, 1985.
- [Mazzocchi 08] V. Mazzocchi, S. Koffel, C. Le Royer, P. Scheiblin, J.P. Barnes, M. Hopstaken, *“Experimental Investigation of the Impact of Implanted Phosphorus Dose and Anneal on Dopant Diffusion and Activation in Germanium”*, MRS Spring Meeting, 2008.
- [Nemouchi 08] F. Nemouchi, V. Carron, Y. Morand, S. Descombes, J.M. Pedini, C. Le Royer, A. Pouydebasque, S. Minoret, Y. Campidelli, L. Vandroux, *“Nickel Metallization Process for Low Resistance Contact Formation on Planar Co-Integration nMOS-Si and pMOS-Ge on Insulator”*, MRS Spring Meeting, 2008.
- [Prabhakaran 00] K. Prabhakaran, F. Maeda, Y. Watanabe, T. Ogino, *“Distinctly different thermal decomposition pathways of ultrathin oxide layer on Ge and Si surfaces”*, Applied Physics Letters, Vol. 76, N°16, April 2000.
- [Satta 05] A. Satta, E. Simoen, T. Clarysse, T. Janssens, A. Benedetti, B. De Jaeger, M. Meuris, W. Vandervorst, *“Diffusion, Activation and Recrystallization of Boron Implanted in Preamorphized and Crystalline Germanium”*, Applied Physics Letters, Vol.87, N°17, October 2005.
- [Tezuka 01] T. Tezuka, N. Sugiyama, T. Mizuno, M. Suzuki, S. Takagi, *“A Novel Fabrication Technique of Ultrathin and Relaxed SiGe Buffer Layers with High Ge Fraction for Sub-100nm Strained Silicon-On-Insulator MOSFETs”*, Japanese Journal of Applied Physics, Vol. 40, N°4B, p. 2866-2874, April 2001.
- [Toh 05] E. Toh, G.H. Wang, G.Q. Lo, N. Balasubramanian, C.H. Tung, F. Benistant, L. Chan, G. Samudra and Y.C. Yeo, *“A Novel CMOS Compatible*

- L-Shaped Impact-Ionization MOS (LI-MOS) Transistor*”, IEEE International Electron Devices Meeting, p. 971-974, December 2005.
- [Toh 07] E. Toh, G.H. Wang, L. Chan, G.Q. Lo, G. Samudra and Y.C. Yeo, “*Strain and Materials Engineering for the I-MOS Transistor with an Elevated Impact-Ionization Region*”, IEEE Transaction on Electron Devices, Vol.54, N°10, p. 2778-2785, October 2007.
- [Vincent 07] B. Vincent, J.F. Damlencourt, P. Rivallin, E. Nolot, C. Licitra, Y. Morand and L. Clavelier, “*Fabrication of SiGe on insulator substrates by a condensation technique: an experimental and modeling study*”, Semiconductor and Science Technology, Vol. 22, p. 237-244, January 2007.
- [Vincent 08] B. Vincent, J-F Damlencourt, Y. Morand, N. Dechoux, Y. Campidelli, D. Rouchon, M. Mermoux, C. Le Royer, Q.T. Nguyen, S. Cristoloveanu, “*The Ge Condensation Technique: A Solution for Planar SOI/GeOI Co-Integration for Advanced CMOS Technologies*”, Proceedings of the E-MRS Spring Meeting, 2008.

Chapitre 4

Caractérisation électrique du I-MOS

L'objectif de ce chapitre est de présenter les caractéristiques électriques des dispositifs fabriqués durant la thèse. Dans la première partie, nous nous intéresserons aussi bien au fonctionnement en mode ionisation par impact qu'en mode tunnel bande à bande. Ces résultats portent sur les transistors réalisés sur substrats SOI fin et épais, $\text{Si}_{1-x}\text{Ge}_x\text{OI}$ et GeOI . De plus, la co-intégration des I-MOS, TFET et MOSFET permet de comparer les performances des différents dispositifs. La deuxième partie portera sur l'étude de fiabilité du I-MOS et des effets parasites 3D.

Sommaire du Chapitre 4

I	Introduction	97
I.1	Objectif du chapitre	97
I.2	Récapitulatif des variantes technologiques	97
II	Etude des MOSFET co-intégrés	98
II.1	Brève analyse des performances des MOSFET	98
II.1.a	MOSFET sur SOI « épais »	98
II.1.b	MOSFET $\text{Si}_{1-x}\text{Ge}_x\text{OI}$	100
II.1.c	MOSFET GeOI	101
III	Etude des I-MOS	101
III.1	Caractéristique $I_D(V_{GS})$ des I-MOS sur SOI épais	102
III.1.a	Impact de la polarisation V_{DS} sur l'électrostatique	102
III.1.b	Impact de L_G sur l'électrostatique	103
III.1.c	Impact de L_G sur le courant I_{ON}	104
III.1.d	Comparaison I-MOS/MOSFET	105
III.2	Etude des différentes variantes étudiées	106
III.2.a	Etudes des I-MOS sur substrats $\text{Si}_{1-x}\text{Ge}_x\text{OI}$	106
III.2.b	Impact des différents substrats sur la tension V_{BR}	107
III.3	Localisation expérimentale de l'avalanche	108
III.3.a	Courant de grille	108
III.3.b	Polarisation face arrière	109
III.3.c	Analyse par la TCAD	111
III.3.d	Influence de L_G sur la localisation de l'avalanche	113
IV	Fiabilité du I-MOS	114
IV.1	Porteurs chauds	114
IV.1.a	Etat de l'art	114
IV.1.b	Différence entre n et p-IMOS	115
IV.1.c	Etude du piégeage par la TCAD	116
IV.2	Effet 3D : I-MOS parasites	118
IV.2.a	Caractéristique $I_D(V_{DS})$	118
IV.2.b	Etude en température	119
IV.2.c	Emission lumineuse	120
IV.2.d	Scénario proposé	121

IV.2.e	Recuit.....	121
IV.2.f	Localisation des charges fixes.....	122
IV.2.g	Simulation 3D	123
IV.3	Limitation dynamique du I-MOS.....	126
V	Etude des transistors à effet tunnel (TFET).....	126
V.1	Fonctionnement du TFET : $I_D(V_{GS})$, $I_D(V_{SD})$	127
V.1.a	Considérations théoriques	127
V.1.b	Mesures expérimentales	127
V.2	Etude des différentes variantes technologiques.....	130
VI	Conclusions du chapitre	132

I Introduction

I.1 Objectif du chapitre

Dans la première partie de ce chapitre, les caractéristiques électriques des dispositifs réalisés et co-intégrés sont présentées: TFET, I-MOS et MOSFET. La plupart des mesures électriques ont été effectuées avec un HP4155. Les différentes architectures réalisées et leurs variantes technologiques sont récapitulées au paragraphe I.2.

La deuxième partie du chapitre est consacrée à l'étude de fiabilité du I-MOS et aux effets parasites 3D dans le I-MOS.

I.2 Récapitulatif des variantes technologiques

Avant de présenter les résultats électriques, nous allons récapituler les différentes variantes technologiques étudiées durant cette thèse. Les différentes architectures I-MOS sont détaillées dans le **Tableau 1**. Pour rappel, une structure 'TFET' correspond à un I-MOS sans zone intrinsèque ($L_{IN}=0$). Les variantes technologiques sont listées dans le **Tableau 2**.

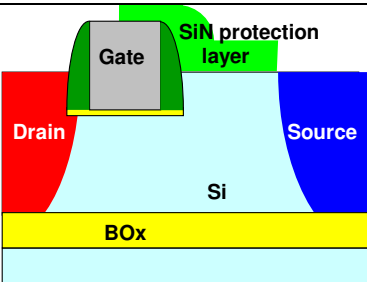
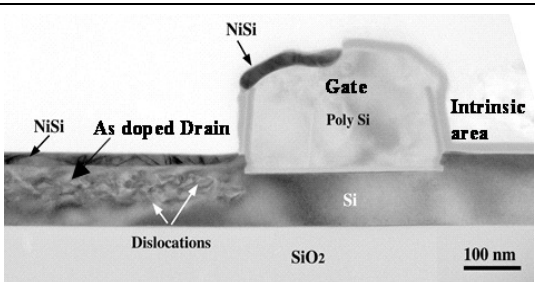
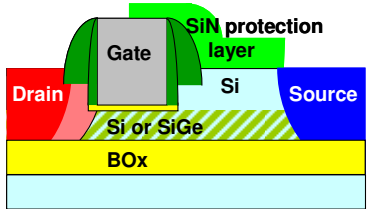
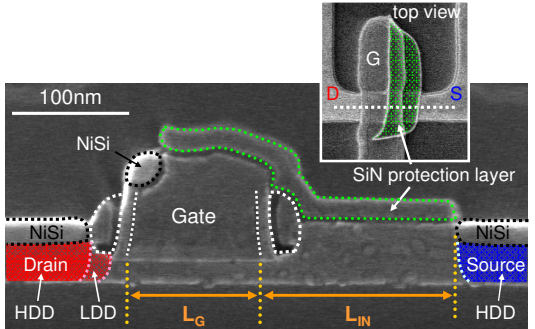
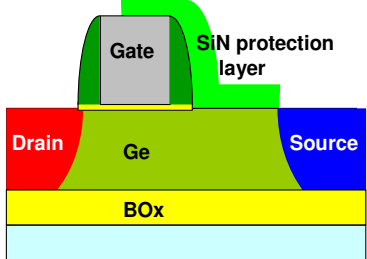
	Structure Réalisée	Photo MEB ou TEM
SOI épais		
$Si_{1-x}Ge_x$ OI + SOI fin		
GeOI		

Tableau 1 : récapitulatif des structures réalisées sur SOI épais et fin, ainsi que sur $Si_{1-x}Ge_x$ OI (0-15-30%) et GeOI, avec photo TEM (SOI épais) et MEB (SOI fin) [Mayer 08 b].

	SOI		Si _{1-x} Ge _x OI (0-15-30%)	GeOI
	épais	fin		
T _{Si1-xGex} (nm)	Canal :100 Zone intrinsèque :130	Canal :20 Zone intrinsèque : 50		60
T _{ox} (nm)	9 (SiO ₂)	6 (SiO ₂) ou 3 (HfO ₂)	3 (HfO ₂)	4 (HfO ₂)
L _{esp} (nm)	10	10+15	10+30	50
LDD	Ø	N ou P (selon la plaque)		Ø
L _{IN} (µm) min/max	0/0.85	0/0.5		
L _G (µm) min/max	0.1/5	0.1/1		

Tableau 2 : Variantes technologiques réalisées sur les différentes architectures.

II Etude des MOSFET co-intégrés

Le but ce paragraphe est d'extraire les caractéristiques des n et p-MOSFET qui ont été co-intégrés avec les I-MOS. Comme les deux types de dispositif ont été réalisés de manière identique, on peut alors directement comparer leurs caractéristiques. L'étude de l'impact de la polarisation face arrière permet d'identifier les différents régimes de fonctionnement en face arrière.

II.1 Brève analyse des performances des MOSFET

II.1.a MOSFET sur SOI « épais »

⇒ *Caractéristiques $I_D(V_{GS})$*

Les MOSFET co-intégrés avec les I-MOS sur SOI épais ($T_{Si}=100\text{nm}$) sont fonctionnels. Leurs caractéristiques $I_D(V_{GS})$ à $V_{DS}=\pm 1.2\text{V}$ sont représentées sur la **Figure II-1**, pour des longueurs de grille allant de $0.35\mu\text{m}$ à $10\mu\text{m}$. Aucune extension LDD n'a été réalisé sur ces dispositifs, ce qui explique le phénomène de perçage observé à partir de $L_G=0.35\mu\text{m}$ et en dessous pour les MOSFET de type p. Ce phénomène est moins marqué pour les n MOSFET, car les dopants As diffusent moins, ce qui rend le dispositif plus résistant vis-à-vis du perçage. Les tensions de seuil pour les MOSFET longs ($L_G=1\mu\text{m}$) sont respectivement pour la version p et n -0.80V et -0.45V , ce qui est conforme à la théorie [Sze]. Cependant, si on veut envisager des applications circuits, la tension de seuil du n-MOSFET doit être positive (pour cela, on peut par exemple changer le travail de sortie de la grille). Comme on dispose de plusieurs longueurs de grille, on peut utiliser la méthode de McLarty [Faynot 94] pour extraire la mobilité à faible champ des porteurs. On obtient $210\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ et $530\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ respectivement pour les trous et les

électrons. Pour des longueurs de grille supérieures à $1\mu\text{m}$, il n'y a pas de DIBL observable. Pour $L_G=0.35\mu\text{m}$, on observe un DIBL de 210 mV/V pour les transistor de type n.

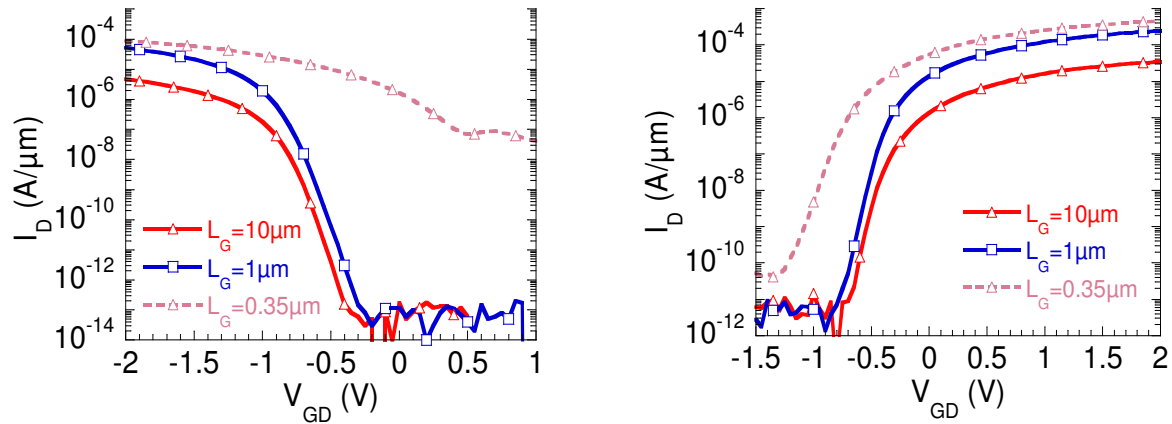


Figure II-1 : Mesures $I_D(V_{GS})$ pour des MOSFET ($L_G=0.35-1-10\mu\text{m}$) sur SOI épais ($T_{Si}=100\text{nm}$) à $V_{DS}=\pm 1,2\text{V}$. (gauche) pour un p-MOSFET (droite) pour un n-MOSFET.

⇒ Impact de la polarisation face arrière

Comme les dispositifs ont été fabriqués sur SOI, on peut se servir de la face arrière comme d'une seconde grille, l'oxyde enterré faisant office d'oxyde de grille. On peut alors étudier l'influence de la face arrière sur la tension de grille face avant par exemple, pour remonter aux caractéristiques du dispositif. Sur la **Figure II-2** sont représentées les caractéristiques $I_D(V_{DS})$ à $V_{GS}=0\text{V}$ pour différents V_{BS} , ainsi que $I_D(V_{GS})$ pour différents V_{BS} à $V_{DS}=1.2\text{V}$.

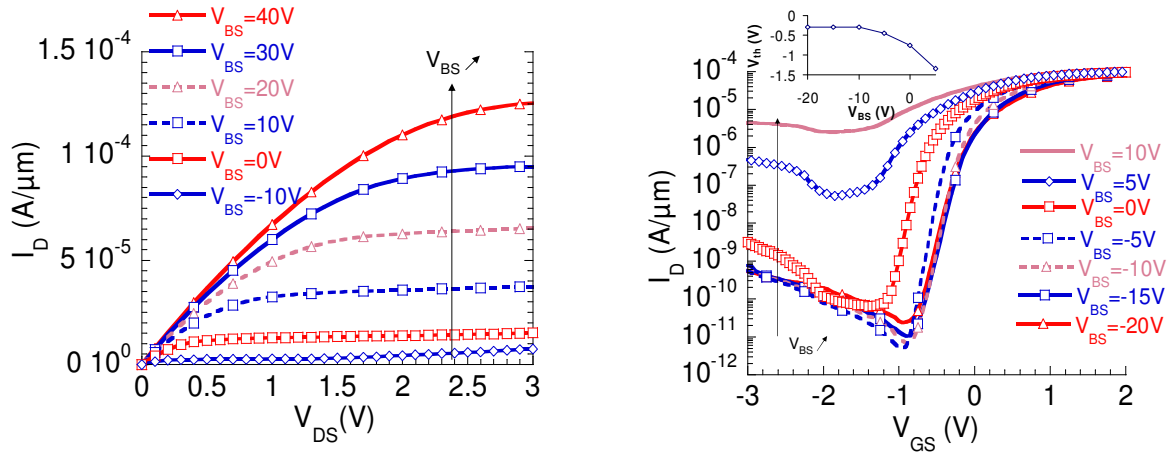


Figure II-2 : (gauche) Mesures $I_D(V_{DS})$ d'un n-MOS ($L_G=1\mu\text{m}$) polarisé à $V_{GS}=0\text{V}$ pour différentes polarisations face arrière V_{BS} . (droite) Mesures $I_D(V_{GS})$ pour différents V_{BS} à $V_{DS}=1.2\text{V}$ avec en insert $V_{th}(V_{BS})$.

On voit que l'on retrouve bien un effet transistor. Comme la tension de seuil face avant est négative, le transistor est passant à $V_{BS}=0\text{V}$. L'insert montre l'évolution de la tension de seuil

face avant en fonction de la polarisation face arrière. On retrouve bien les différents modes : accumulation face arrière pour $V_{BS} < -10V$, désertion pour $-10V < V_{BS} < 5V$ et en inversion forte pour $V_{BS} > 5V$. Cette identification des différents régimes en face arrière sera utile pour l'étude du I-MOS au paragraphe III.3.

II.1.b MOSFET $Si_{1-x}Ge_xOI$

La **Figure II-3** (gauche) représente les caractéristiques $I_D(V_{GS})$ des MOSFET co-intégrés sur substrat $Si_{1-x}Ge_xOI$. Pour les substrats avec 0% de Ge (donc SOI), les MOSFET n et p présentent des tensions de seuil équilibrées $+0.47V$ et $-0.44V$ respectivement. L'introduction de Ge dans le substrat provoque un décalage vers les tensions positives de la tension de seuil V_{Th} des deux types de transistor. Ce décalage est observé dans la littérature, mais son origine n'est pas encore comprise. Il semblerait qu'il soit lié à l'apparition d'un dopage apparent de type p lors de la Ge condensation. La pente sous le seuil S est représentée sur la **Figure II-3** (droite) en fonction de L_G pour les 3 pourcentages de Ge. On observe bien une augmentation de S pour les faibles L_G due aux effets de canaux courts. L'introduction de Ge dans le substrat augmente S de ~ 60 mV/dec à ~ 70 mV/dec, ce qui montre que l'interface SiGe/HfO₂ est de bonne qualité : la Ge condensation et la formation de l'empilement de grille n'ont pas introduit trop de D_{IT} .

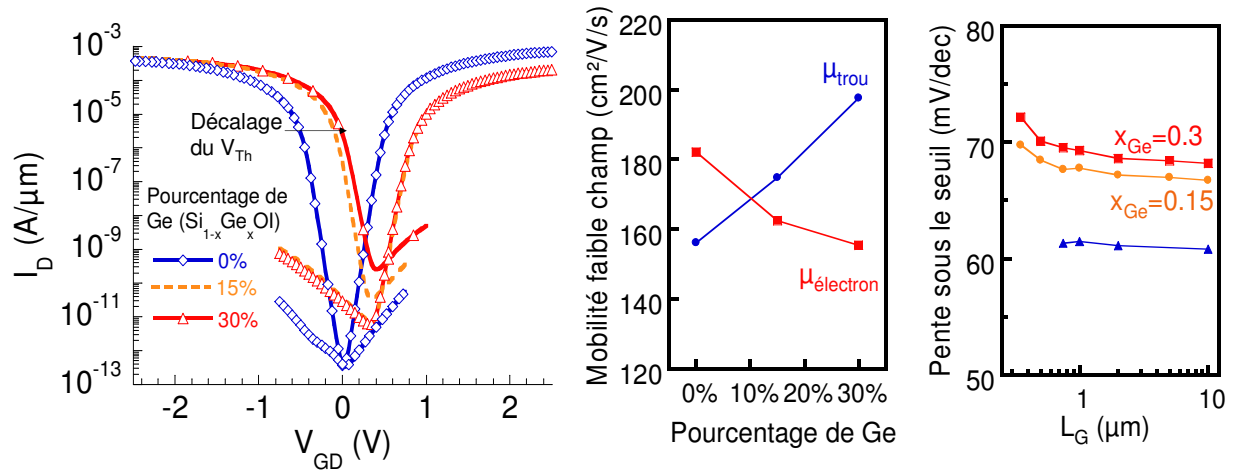


Figure II-3 : (gauche) Mesures $I_D(V_{GS})$ pour des MOSFET sur $Si_{1-x}Ge_xOI$, 0-15-30% à $V_{DS} = \pm 1,2V$ pour des dispositifs n et p ($L_G = 0.35\mu m$, Source/ Drain non siliciurés) [Mayer 08b]. (centre) Extraction de la mobilité des électrons et des trous à champ faible en fonction du pourcentage de Ge [Mayer 08b]. (droite) Pente sous le seuil en fonction de L_G pour les trois substrats considérés [Mayer 08b].

Conformément aux données de la littérature [Nguyen 07], l'introduction de Ge est bénéfique au courant du p MOSFET et défavorable au n MOSFET. On retrouve cette analyse sur la courbe (**Figure II-3**: milieu) de la mobilité à faible champ faible en fonction du pourcentage de Ge dans le substrat.

II.1.c MOSFET GeOI

La première réalisation de I-MOS sur GeOI a été faite sans LDD et sans contre dopage. Les n MOSFET ne sont pas fonctionnels dans ce lot (fuite de grille importante), mais les p MOSFET fonctionnent. A cause du dopage apparent de type p, 40V ($=V_{BS}$) sont nécessaires pour désactiver la conduction face arrière. Pour améliorer les performances, il faudrait réaliser un contre dopage de type n [Romanjek 08].

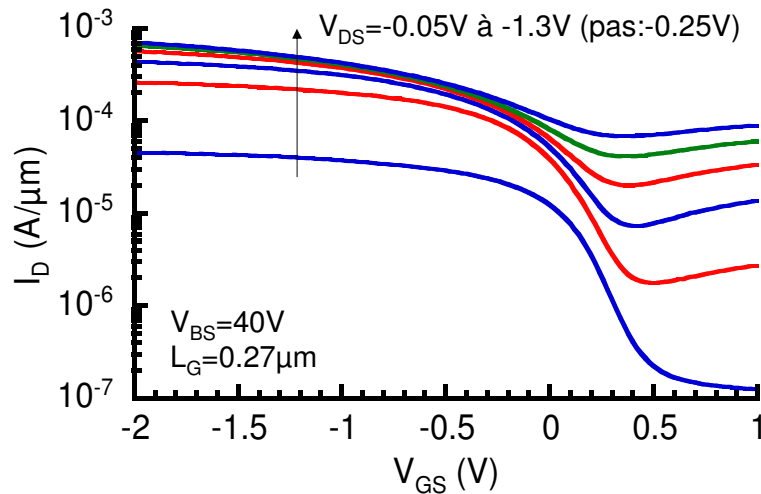


Figure II-4 : Mesures $I_D(V_{GS})$ pour un p MOSFET sur GeOI. Les transistors de type n ne sont pas fonctionnels. Source et Drain ne sont pas germaniurés. A cause du dopage apparent de type p, 40V ($=V_{BS}$) sont nécessaires pour désactiver la conduction face arrière.

III Etude des I-MOS

Dans ce paragraphe, nous allons analyser les performances et les comportements des I-MOS sur SOI « épais », en mettant de côté les problèmes de fiabilité, que nous aborderons dans le paragraphe IV. Nous analyserons d'abord les caractéristiques $I_D(V_{GD})$, en détaillant le comportement du dispositif en fonction de L_{IN} , L_G et de la polarisation face arrière. Nous déterminerons ensuite la localisation de l'avalanche et nous apporterons les preuves expérimentales sur l'existence des deux modes de fonctionnement du I-MOS, qui complètent l'étude TCAD réalisée au chapitre II. Enfin, nous étudierons les résultats des substrats $Si_{1-x}Ge_xOI$ et GeOI et leurs variantes technologiques.

La **Figure III-1** rappelle l'architecture des n et p-IMOS et leurs stratégies de polarisation respectives. Dans la suite de ce paragraphe, le drain est toujours relié à la masse ($V_D=0V$). Il servira de potentiel de référence. On utilisera donc V_{GD} et V_{BD} .

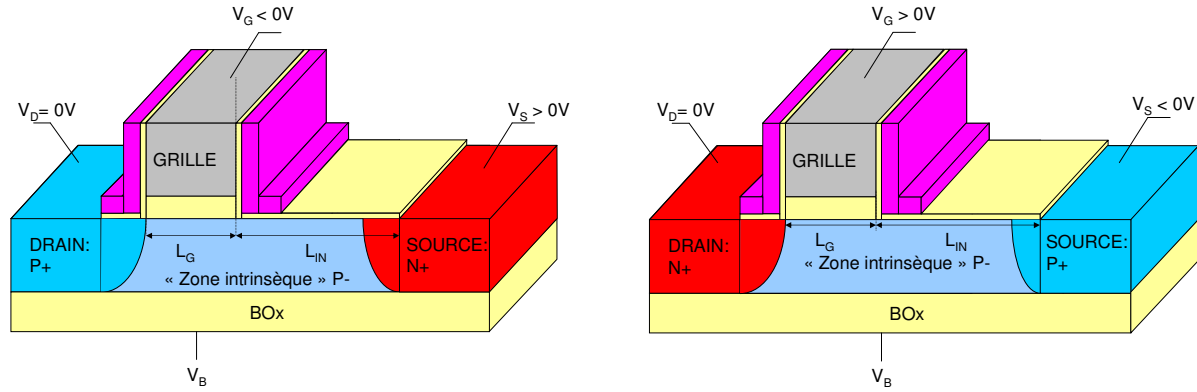


Figure III-1: Structure p-IMOS (gauche) et n-IMOS (droite) sur SOI et leurs polarisations nominales.

III.1 Caractéristique $I_D(V_{GS})$ des I-MOS sur SOI épais

III.1.a Impact de la polarisation V_{DS} sur l'électrostatique

Dans cette partie, nous allons nous intéresser à l'influence de la polarisation V_{DS} sur les performances du dispositif. La **Figure III-2** (gauche) représente des caractéristiques $I_D(V_{GD})$ mesurées pour un p-IMOS de géométrie $L_G=1\mu\text{m}$ et $L_{IN}=0.4\mu\text{m}$, en fonction de la polarisation V_{DS} . Ces courbes sont obtenues avec le même dispositif. La tension de seuil V_{GT} et la pente sous le seuil S sont extraites sur la **Figure III-2** (droite). On observe que la tension de seuil V_{GT} diminue quand V_{DS} diminue, tandis que S est constant sur la plage de polarisation choisie.

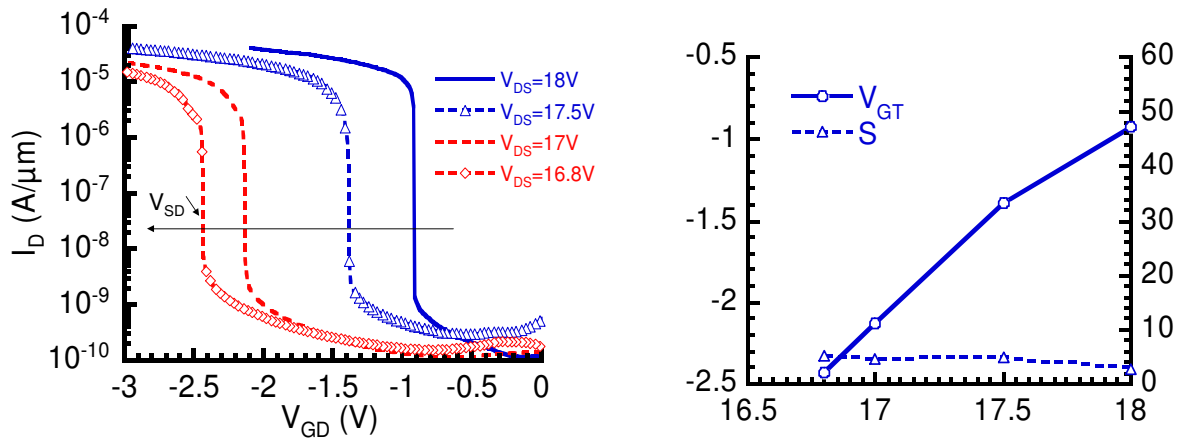


Figure III-2 : (gauche) Mesures $I_D(V_{GD})$ d'un p-IMOS de géométrie $L_G=1\mu\text{m}$, $L_{IN}=0.4\mu\text{m}$ ($L_{\text{espaceur}}=10\text{nm}$, $T_{\text{ox}}=9\text{nm}$, $L_{\text{espaceur}}=10\text{nm}$, avec épitaxie de 30nm) [Mayer 06]. (droite) Les paramètres V_{GT} et S tracés en fonction de V_{DS} [Mayer 06].

Les variations de la tension de seuil s'expliquent par le fait qu'il faille atteindre un certain champ électrique dans la structure pour provoquer l'avalanche. Or une diminution de V_{SD} entraîne une baisse du champ électrique dans la zone intrinsèque. Pour atteindre l'avalanche, le

potentiel en bord de grille doit être mieux contrôlé et donc un potentiel plus négatif doit être appliqué : $|V_{GT}|$ augmente. La pente sous le seuil S est très faible ($\sim 5\text{mV/dec}$) et indépendante de V_{SD} . Les variations de V_{GT} et S avec V_{SD} sont conformes aux simulations TCAD du chapitre II.

III.1.b Impact de L_G sur l'électrostatique

Dans cette partie, nous allons fixer L_{IN} à 400nm et faire varier la longueur de grille L_G . La **Figure III-3** (gauche) représente la tension de seuil V_{GT} en fonction de la polarisation V_{DS} pour des p-IMOS de longueur de grille variable (géométrie : $T_{ox}=9\text{nm}$, $L_{espaceur}=10\text{nm}$, $T_{Si}=100\text{nm}$ avec épitaxie 30nm). V_{GT} décroît linéairement avec V_{SD} avec une pente de 1V/V . En effet, si le dispositif était un MOSFET (correctement dimensionné pour supporter des tensions comparables au I-MOS), alors V_{GT} serait indépendant de V_{SD} . Si le dispositif était une diode, V_{GT} ne serait défini qu'à une valeur de V_{SD} donnée. Or le I-MOS est un compromis entre une diode et un MOSFET, d'où la caractéristique $V_{GT}(V_{SD})$ intermédiaire entre celles d'une diode et d'un MOSFET.

On observe aussi que la tension de seuil est indépendante de L_G dans la gamme étudiée ($0.5\text{-}5\mu\text{m}$). L'explication a déjà été partiellement fournie par la TCAD au chapitre II. La répartition du potentiel se fait majoritairement sur L_{IN} . C'est le contrôle du bord de grille qui fait passer le I-MOS en avalanche. Quelle que soit L_G , la différence de potentiel aux bornes de la zone intrinsèque reste donc identique. Notons cependant que pour $L_G < 200\text{nm}$, le champ électrique s'étend aussi sous la grille : il a été montré expérimentalement [Toh 07] que V_{GT} diminue alors avec L_G . Ce résultat est reproduit par le modèle analytique que nous avons établi au chapitre V.

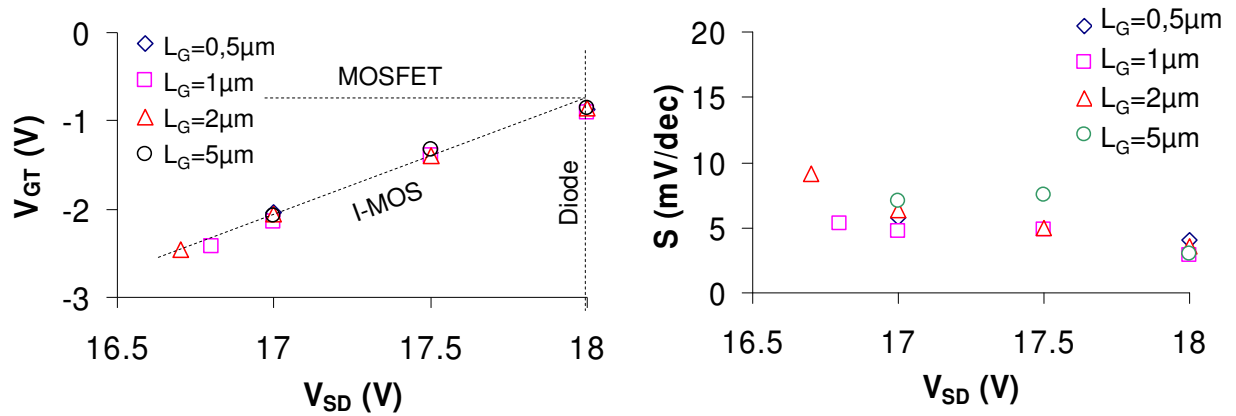


Figure III-3 : (gauche) Tension de seuil V_{GT} d'un p-IMOS mesurée en fonction de V_{SD} pour différentes longueurs de grille ($L_{IN}=0,4\mu\text{m}$, $T_{ox}=9\text{nm}$, $L_{espaceur}=10\text{nm}$, avec épitaxie) [Mayer 06]. (droite) Inverse de pente sous le seuil S mesurée en fonction de V_{SD} sur un p-IMOS de longueur de grille variable [Mayer 06].

L'inverse de la pente sous le seuil S est représenté en fonction de la polarisation V_{SD} pour différentes valeurs de L_G sur la **Figure III-3** (droite). S est constant sur la plage de polarisation V_{DS} choisie et ne semble pas dépendre de L_G conformément aux simulation TCAD du chapitre II.

Notons cependant que pour $L_G=2\text{ }\mu\text{m}$, S augmente pour $V_{SD}=16.8\text{ V}$: la polarisation V_{SD} choisie devient trop faible pour faire passer le dispositif à l'état ON.

III.1.c Impact de L_G sur le courant I_{ON}

Jusqu'à maintenant, nous nous sommes intéressés aux variations de la tension de seuil V_{GT} et à la pente sous le seuil S en fonction de V_{SD} , et L_G . Dans cette partie, nous allons donc étudier l'impact des paramètres cités ci-dessus sur le courant I_{ON} .

Nous allons d'abord aborder la dépendance de I_{ON} vis-à-vis de L_G . Nous définirons I_{ON} à $V_{GD}-V_{GT}=-1\text{V}$. La **Figure III-4** (gauche) montre la variation de I_{ON} en fonction de L_G pour $V_{DS}=18.5\text{V}$ et $V_{DS}=17.5\text{V}$ (p-IMOS de géométrie : $L_{IN}=400\text{nm}$, $T_{ox}=9\text{nm}$, $L_{espaceur}=20\text{nm}$, $T_{Si}=100\text{nm}$ avec épitaxie 30nm). Pour apprécier les performances du I-MOS, les caractéristiques du p-MOSFET de longueur de grille équivalente sont aussi représentées pour $V_{SD}=0.1\text{ V}$ et $V_{SD}=1.2\text{ V}$. On observe une augmentation du courant lorsque L_G diminue. De plus, les courants du MOSFET et du I-MOS sont comparables. Cette tendance s'explique par le fait que l'état passant est limité par « la partie MOS » du I-MOS.

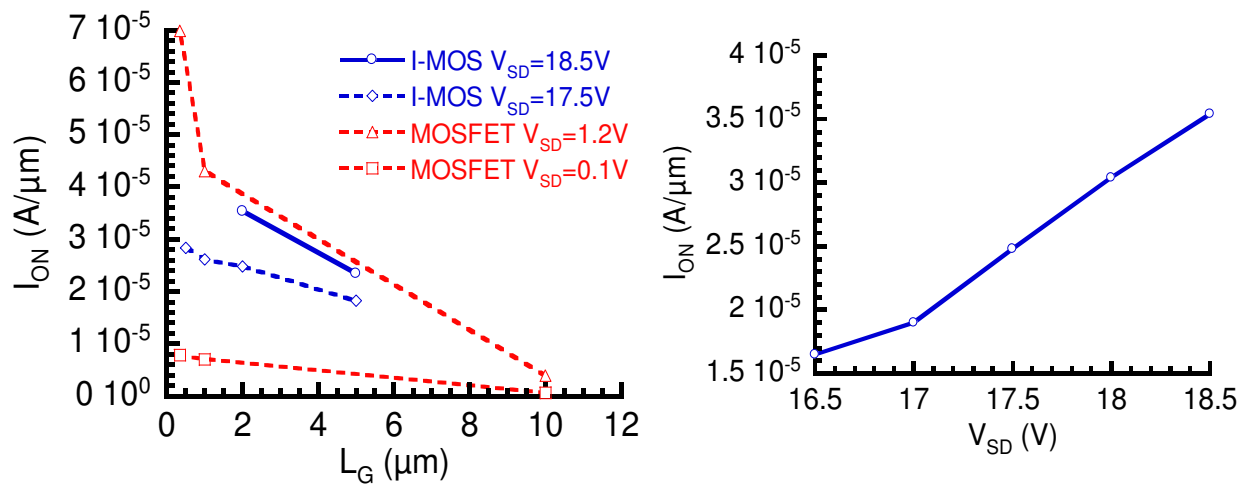


Figure III-4 : (gauche) I_{ON} extrait sur les p-IMOS ($V_D=0\text{V}$, $L_{IN}=0.4\mu\text{m}$) et les p-MOSFET pour des longueurs de grille L_G différentes. (droite) I_{ON} extrait en fonction de V_{DS} ($V_D=0\text{V}$, $L_G=2\mu\text{m}$, $L_{IN}=0.4\mu\text{m}$, $T_{ox}=9\text{nm}$, $L_{espaceur}=20\text{nm}$) [Mayer 06].

Sur la **Figure III-4** (droite), I_{ON} est tracé en fonction de V_{SD} pour un p-IMOS de géométrie $L_G=2\mu\text{m}$ et $L_{IN}=0.4\mu\text{m}$ ($T_{ox}=9\text{nm}$, $L_{espaceur}=20\text{nm}$, avec épitaxie) : I_{ON} presque linéairement avec V_{SD} comme expliqué au chapitre II (la partie MOS du I-MOS fonctionne en régime linéaire).

Nous ne nous sommes pas intéressés à l'étude des caractéristiques du I-MOS en fonction de L_{IN} , car les polarisations à appliquer sur le I-MOS changent avec L_{IN} , tout comme la localisation de l'avalanche. L'étude n'est donc pas pertinente. Nous présenterons cependant l'influence de L_{IN} sur la tension d'avalanche au paragraphe III.2.b.

III.1.d Comparaison I-MOS/MOSFET

Un MOSFET classique peut être modélisé par une résistance source/drain R_{SD} et une résistance due au canal R_C . Pour les fortes longueurs de grille, R_{SD} peut être considéré comme négligeable devant R_C si bien qu'en première approximation la totalité de la tension appliquée se trouve aux bornes du canal. Dans le cas du I-MOS, seule une partie de la polarisation V_{DS} se retrouve aux bornes du canal de conduction, notée V_{seffD} (voir chapitre II). Afin de pouvoir comparer les deux structures, une simulation a été effectuée avec ATLAS afin de déterminer la polarisation V_{SD} à appliquer pour obtenir une différence de potentielle de 1.2V aux bornes de la grille (tension d'alimentation standard pour un MOSFET de longueur $L_G=350\text{nm}$).

La simulation ne donne qu'une approximation de V_{DS} à appliquer pour plusieurs raisons :

- la simulation ne reproduit pas parfaitement les données expérimentales (calibrage...)
- la définition du « bord de grille » d'un point de vu électrique est subjective : du fait qu'il y ait un fort taux d'ionisation par impact sous l'espaceur, le potentiel varie environ de 1 à 3 V selon l'endroit où l'on se place entre le bord de la grille « physique » et le bord de l'espaceur. Notre choix a été de prendre comme bord de grille la limite physique.
- les zones intrinsèques dessinées et réelles ne sont pas les mêmes à cause du désalignement des niveaux d'implantation N et P (voir chapitre III).

Les simulations nous ont permis d'approximer les tensions à appliquer : nous utiliserons donc $V_{DS}=18\text{V}$ pour le p-IMOS de géométrie $L_G=1\mu\text{m}$ et $L_{IN}=0.4\mu\text{m}$ et $V_{DS}=25\text{V}$ pour le n-IMOS de géométrie $L_G=1\mu\text{m}$ et $L_{IN}=0.7\mu\text{m}$ (les n-IMOS avec $L_{IN}<0.7\mu\text{m}$ ne sont pas fonctionnels). Les caractéristiques $I_D(V_{GD})$ d'un p-IMOS et du MOSFET de longueur de grille équivalente ont été mesurées expérimentalement et tracées sur la **Figure III-5** (gauche). On mesure une pente sous le seuil S de l'ordre de 2 mV/déc dans le cas du I-MOS et de 71 mV/déc pour le MOSFET. De même le cas du n-IMOS est traité sur la **Figure III-5** (droite) : $S \sim 6\text{mV/déc}$ pour le I-MOS contre 72mV/déc pour le MOSFET.

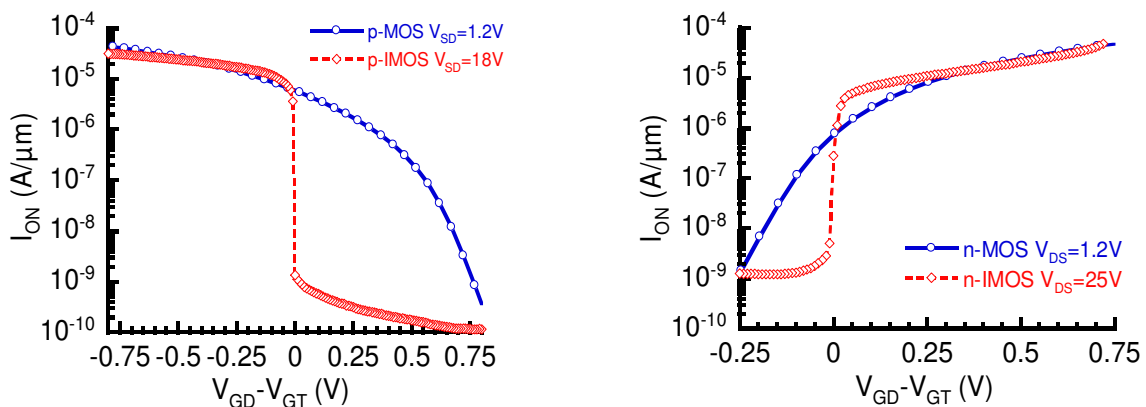


Figure III-5 : (gauche) Mesures expérimentales d'une caractéristique $I_D(V_{GD}-V_{GT})$ d'un p-IMOS ($L_G=1\mu\text{m}$, $L_{IN}=0.4\mu\text{m}$, $T_{ox}=9\text{nm}$, $L_{espaceur}=10\text{nm}$, $T_{Si}=100\text{nm}$ avec épitaxie 30nm) et du p-MOSFET équivalent, co-intégrés sur la même plaque [Mayer 06]. (droite) idem avec le n-IMOS ($L_{IN}=0.7\mu\text{m}$) et le n-MOSFET [Mayer 06].

Ces courbes mettent en évidence le gain en I_{OFF} lorsqu'on réduit la tension de seuil. On remarquera que la transconductance n'est pas tout à fait la même pour le MOS et le I-MOS (voir les remarques sur les approximations de la simulation).

III.2 Etude des différentes variantes étudiées

III.2.a Etudes des I-MOS sur substrats $Si_{1-x}Ge_xOI$

Sur les différents substrats utilisés pour notre étude, seul le SOI épais a permis d'obtenir des I-MOS fonctionnels. Dans les autres cas (SOI fin et substrat $Si_{1-x}Ge_xOI$), les caractéristiques $I_D(V_{SD})$ présentent bien une avalanche à $V_{SD}=V_{BR}$ conforme à la théorie, cette avalanche varie bien avec la tension de grille et sature pour $V_{GD}>2-3V$ comme on peut le voir par exemple sur la **Figure III-6**, mais l'avalanche est « molle », à savoir que la conductance reste faible. L'insert de la **Figure III-6** montre les caractéristiques $I_D(V_{GD})$ correspondantes : on obtient une pente sous le seuil ~ 500 mV/dec.

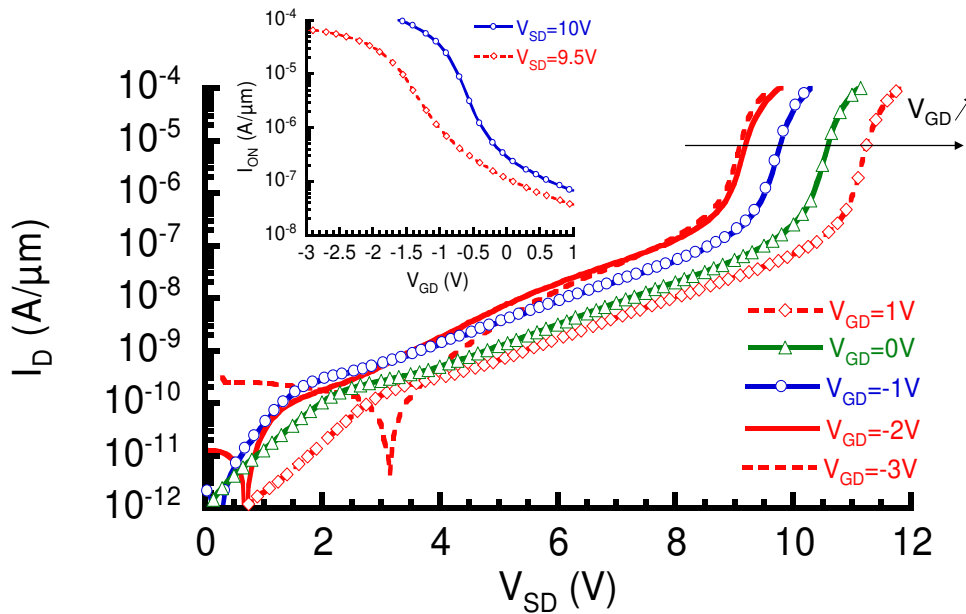


Figure III-6: Mesure $I_D(V_{GD})$ pour différentes polarisations V_{GD} d'un p-IMOS ($L_G=400nm$, $L_{IN}=0.2\mu m$, substrat SiGeOI 30%). L'insert montre les mesures $I_D(V_{GD})$ correspondantes.

Actuellement, la cause n'a pas pu être identifiée clairement : les simulations TCAD 2D montrent que les dispositifs devraient être fonctionnel. Toutefois, au vu de l'étude sur les I-MOS simulés 3D (voir paragraphe IV.2), il est possible qu'il existe des effets TFET parasites qui viendraient se superposer au fonctionnement nominale du I-MOS et dégrader les performances du I-MOS. Cependant, cette supposition reste à vérifier (par exemple par simulation TCAD 3D).

Concernant les I-MOS sur substrat GeOI, ces transistors ne se sont pas avérés fonctionnels dans le mode ionisation par impact. Plusieurs raisons expliquent cela : les défauts dans le Ge qui deviennent apparents lorsqu'on déserte la zone intrinsèque et la mauvaise activation des dopants de type n dans le Ge. De plus, le Ge n'a pas été contre dopé et possède

donc un fort dopage apparent de type p ($\sim 1\text{-}2 \cdot 10^{17} \text{ cm}^{-3}$), ce qui peut nuire au bon fonctionnement du dispositif comme nous l'avons vu au chapitre II.

III.2.b Impact des différents substrats sur la tension V_{BR}

Comme nous l'avons vu précédemment, les variantes autres que SOI épais ne sont pas fonctionnels en $I_D(V_{GD})$, mais présentent des valeurs de V_{BR} en accord avec la théorie. On peut donc étudier l'impact de ces variantes sur V_{BR} . La **Figure III-7** représente les mesures expérimentales $V_{BR}(L_{IN})$ pour différentes variantes fabriquées et les points de la littérature. Les substrats $\text{Si}_{1-x}\text{Ge}_x\text{OI}$ ne sont pas représentés, car les résultats sont identiques à ceux du SOI fin. En effet, les épitaxies source/drain/zone intrinsèque (10+20nm) sont en Si, et comme l'avalanche est surfacique, les porteurs ne voient pas ou peu le SiGe au fond de la structure.

V_{BR} diminue linéairement avec L_{IN} comme prévu. De plus, en extrapolant L_{IN} à 0, on retrouve la tension limite de 5 V dans le Si, qui n'a été franchie par aucune équipe. Même l'introduction de SiGe 40% n'a pas permis de passer en dessous des 5V. Dans le chapitre III, nous avons vu que les coefficients d'ionisation par impact dans le SiGe avaient tendance à diminuer (tant que $\%_{\text{Ge}} < 40\%$). L'introduction de SiGe n'est donc pas utile pour faire diminuer la tension d'avalanche V_{BR} dans le I-MOS. La diminution de T_{Si} (de 200nm à 50nm) permet de réduire V_{BR} . Cependant, d'autres facteurs sont à prendre en compte pour expliquer la diminution de V_{BR} entre notre architecture sur SOI épais et fin : la diminution de l'épaisseur d'oxyde enterré et le passage d'une grille poly Si dopé N ($\Phi_M \sim 4\text{eV}$) à une grille TiN midgap ($\Phi_M \sim 4.6\text{eV}$).

Avec notre architecture I-MOS sur SOI fin, nous nous rapprochons de la valeur limite du Si ($\sim 5\text{V}$) et nous nous positionnons à l'état de l'art mondial. Pour faire diminuer cette valeur limite de V_{BR} , il faut introduire des matériaux à faible gap comme le Ge. La théorie a montré (chapitre II) que dans le Ge, cette limite est de 1V.

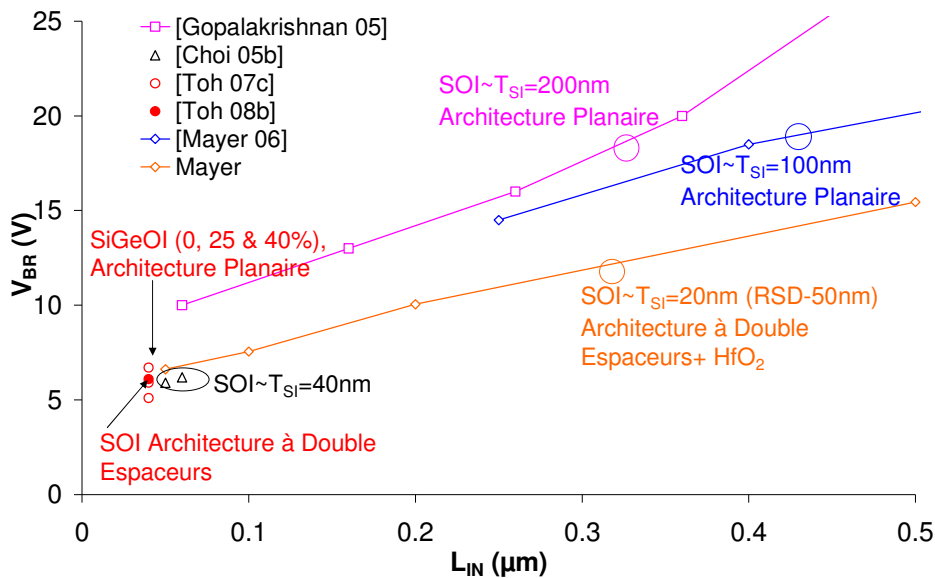


Figure III-7 : Mesure $V_{BR}(L_{IN})$ pour les différentes architectures considérées, ainsi que les données de la littérature.

III.3 Localisation expérimentale de l'avalanche

III.3.a Courant de grille

Comme on l'a vu au chapitre II grâce aux simulations TCAD, la physique du dispositif est modifiée par L_{IN} qui permet au site initiateur de l'avalanche de se déplacer, soit en bord de grille, soit en bord de jonction. Dans cette partie, l'objectif est d'apporter des preuves expérimentales de l'existence de ces deux modes de déclenchement.

L'ionisation par impact n'est possible qu'en présence de porteurs chauds. Le courant de grille est dû essentiellement à l'injection de porteurs chauds, alors la mesure de ce courant permet de mettre en évidence une différence entre les deux modes de déclenchement. Lorsque l'ionisation est déclenchée en bord de grille, la densité de porteurs chauds susceptibles d'être injectés dans la grille est plus importante que lorsque l'ionisation est initiée côté source. En conséquence, le courant de grille doit être plus important dans le premier cas que dans le second.

Pour mettre en évidence ce phénomène, le courant de grille a donc été mesuré en fonction de L_{IN} sur des p-IMOS sur SOI épais ($L_G=1\mu\text{m}$, $T_{ox}=9\text{nm}$, $L_{espaceur}=10\text{nm}$, $T_{Si}=100\text{nm}$ avec épitaxie 30nm). La polarisation V_{SD} choisie pour chaque dispositif est telle que la tension de seuil est toujours de l'ordre de -1.5V. On observe une augmentation exponentielle de I_G quand L_{IN} diminue, traduisant le passage progressif d'une avalanche initiée au bord de la source à une avalanche initiée en bord de grille.

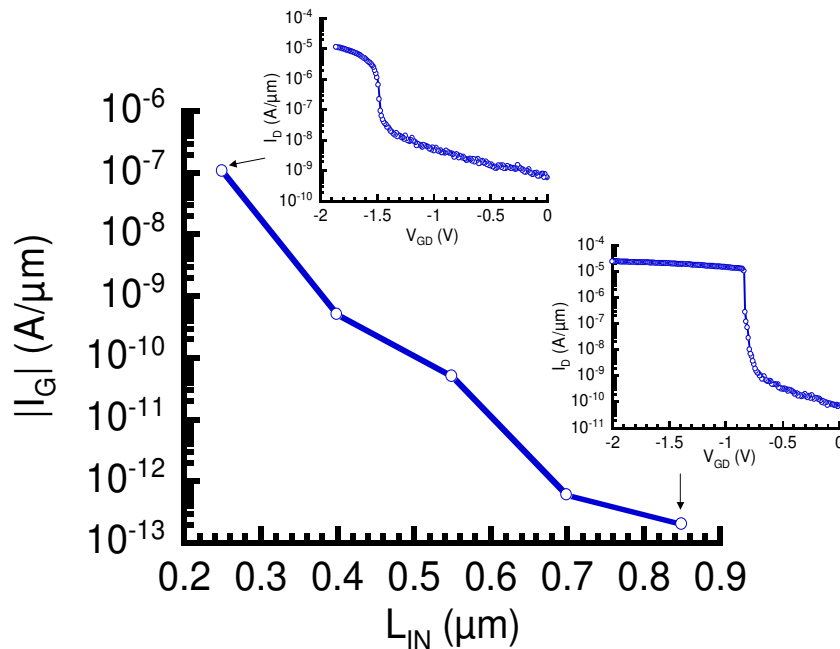


Figure III-8 : Mesure $I_G(L_{IN})$ d'un p-IMOS à $V_{GD} = -3V$ ($L_G=1\mu\text{m}$, $T_{ox}=9\text{nm}$, $L_{espaceur}=10\text{nm}$ avec épitaxie). V_{DS} est choisie de telle façon à ce que la tension de seuil $V_{GT}=-1.5V$. Les inserts représentent les caractéristiques $I_D(V_{GD})$ pour deux L_{IN} différents [Mayer 07].

Sur les inserts de la **Figure III-8**, une différence dans les caractéristiques $I_D(V_{GD})$ est observable. La transconductance est plus forte quand l'avalanche est initiée côté grille que lorsqu'elle est initiée côté source. Qualitativement, la caractéristique $I_D(V_{GD})$ apparaît plus « arrondie » dans le premier cas et plus « anguleux » dans le second cas.

Nous avons mis en évidence les deux modes de déclenchement du I-MOS, à la fois qualitativement par la forme des caractéristiques $I_D(V_{GD})$ et quantitativement par l'augmentation du courant de grille, due aux porteurs chauds. Une autre façon de démontrer l'existence de ces deux modes de fonctionnement consiste à appliquer une polarisation sur la face arrière, comme on le verra au paragraphe suivant. On pourra alors directement comparer les performances d'un dispositif donné dans chacun des deux modes.

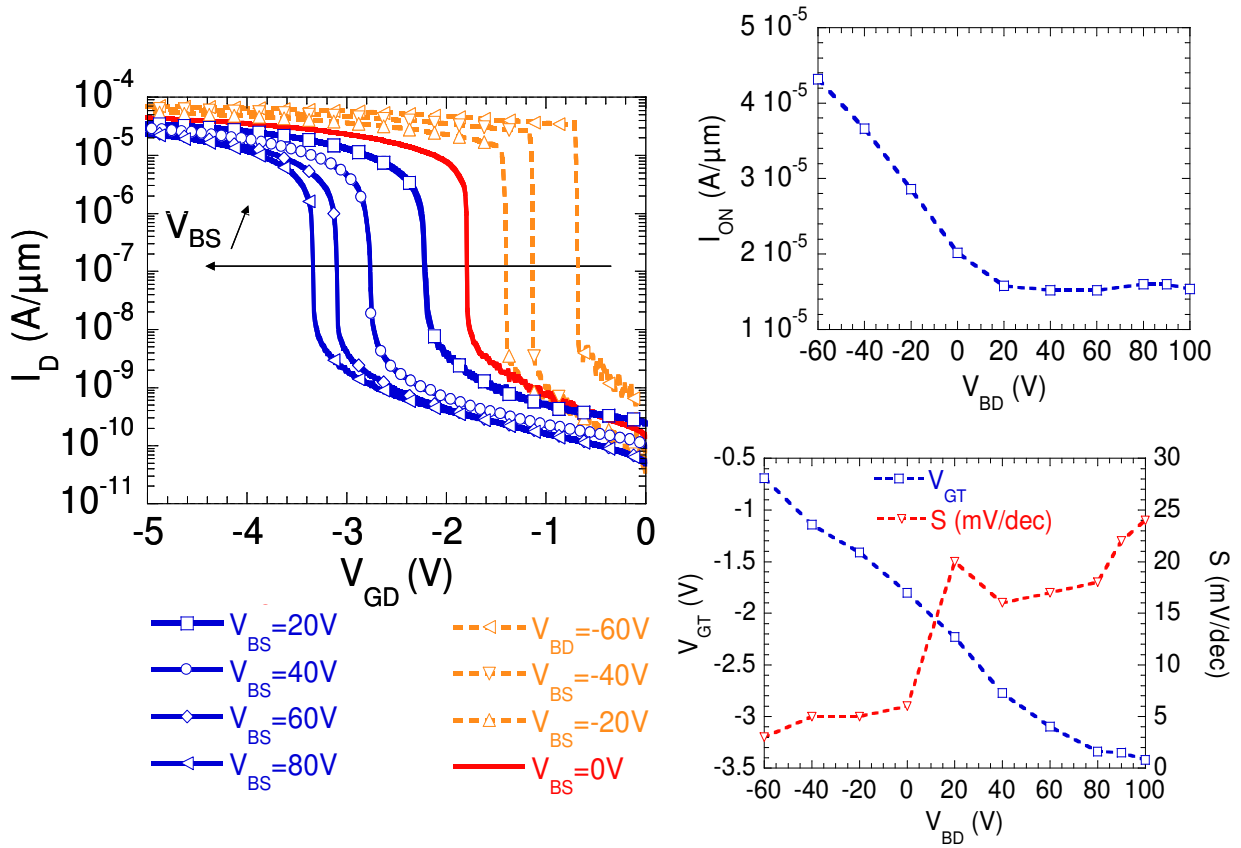
III.3.b Polarisation face arrière

Dans ce paragraphe, nous allons nous intéresser à l'influence de la polarisation en face arrière sur un p-IMOS sur SOI épais ($L_G=5\mu m$, $L_{IN}=0.4\mu m$, $T_{ox}=9nm$, $L_{espaceur}=20nm$ avec épitaxie). Pour rappel, l'épaisseur de l'oxyde enterrée de nos dispositifs est 400nm (cas SOI épais, sinon l'épaisseur est de 145nm pour le cas SOI fin). L'étude se décompose en deux parties : une partie de caractérisation électrique et une partie compréhension par la simulation TCAD.

L'objectif de cette partie est de comprendre les changements induits par la polarisation face arrière. Si on considère uniquement la structure composée de la source, du drain et de la face arrière, on obtient un TFET. Cependant, le I-MOS et le TFET n'opèrent pas dans la même gamme de polarisation ($\sim 20V$ contre $\sim 1V$ respectivement). A la tension V_{SD} optimale de fonctionnement du I-MOS, le canal qui se forme en face arrière est « pincé ». Au lieu d'obtenir un TFET, on obtient donc un I-MOS double grille (voir paragraphe III.3.c).

La **Figure III-9** représente des caractéristiques $I_D(V_{GD})$ mesurées pour différentes polarisations face arrière V_{BD} . De ces courbes, les grandeurs S , V_{GT} et I_{ON} sont extraites. D'un point de vue qualitatif, on remarquera l'évolution de la forme des caractéristiques $I_D(V_{GD})$: plus V_{BD} augmente et plus les transitions sont arrondies. Ce changement est le même que celui observé lors du passage du mode de déclenchement en bord de grille à celui en bord de jonction (voir chapitre II). En effet, quand l'avalanche est initiée en bord de jonction, le potentiel en bord de grille est parfaitement contrôlé. La résistance du canal vient donc immédiatement limiter l'augmentation du courant. Alors que si l'avalanche est initiée en bord de grille, le potentiel en bord de grille va varier au fur et à mesure que l'avalanche augmente, ce qui provoque une transition plus « douce ».

Concernant I_{ON} , on constate un changement de régime pour $0V < V_{BD} < 20V$. En effet, pour $V_{BD} < 0V$, I_{ON} diminue linéairement avec V_{BD} . Pour $V_{BD} > 0$, I_{ON} sature. D'après le paragraphe II.1.a, cette limite pourrait correspondre à la tension d'inversion forte de la face arrière. L'évolution de I_{ON} s'interprète par l'apparition d'un canal face arrière : plus la face arrière est en accumulation ($V_{BD} < 0V$) et plus I_{ON} augmente. Lorsque l'inversion a lieu ($V_{BD} > 0V$), le canal face arrière disparaît. Il ne reste plus que le canal face avant qui est indépendant de V_{BD} . Par conséquent I_{ON} est constant.



Concernant l'inverse de la pente sous le seuil S , on observe aussi deux régimes. Pour $V_{BD} < 0V$, S vaut environ 5mV/dec et pour $V_{BD} > 0$, S augmente à 20~25 mV/dec. Bien que changeant de régime à la même tension que I_{ON} , le phénomène n'est pas le même. Dans le cas de S , le changement de régime est provoqué par le déplacement de l'avalanche : elle est initiée côté source pour $V_{BD} < 0V$, alors que pour $V_{BD} > 0$, elle est initiée côté grille. Nous avons vu que le changement de régime s'accompagnait d'une variation du courant de grille. On observe bien une augmentation de I_G d'une décade lorsque V_{BD} devient positif, mais cette augmentation est bien plus faible que celle mesurée au paragraphe III.3.a, peut être à cause de la tension positive en face arrière qui vient modifier le parcours des porteurs. Cette explication sera approfondie grâce à la TCAD au paragraphe III.3.c.

Concernant la tension de seuil, l'interprétation est plus difficile. $|V_{GT}|$ augmente linéairement avec V_{BD} , puis sature à partir de $V_{BD}=60V$. Là aussi, la TCAD permettra une meilleure compréhension du phénomène.

III.3.c Analyse par la TCAD

Des simulations TCAD ont été effectuées pour analyser le comportement du dispositif lorsque la face arrière est polarisée. La **Figure III-10** (gauche) représente l'évolution de la tension de seuil du p-IMOS en fonction de la polarisation face arrière, ainsi que l'évolution du ratio du taux de génération côté source et côté grille. On observe deux régimes. D'abord, $|V_{GT}|$ augmente avec V_{BD} jusqu'à $V_{BD}=20V$, puis diminue. Pour comprendre ce résultat, nous allons nous intéresser au champ électrique longitudinal E_x dans la structure. La **Figure III-10** (droite) représente une coupe de E_x (effectuée à 1nm sous la grille). Quand V_{BD} est polarisé positivement, le champ électrique diminue dans la zone intrinsèque et surtout à la jonction de source (car $V_s > 0$ pour un p-IMOS) alors que le pic de champ augmente du côté de la grille : la zone de déclenchement de l'avalanche passe progressivement du bord de jonction au bord de grille.

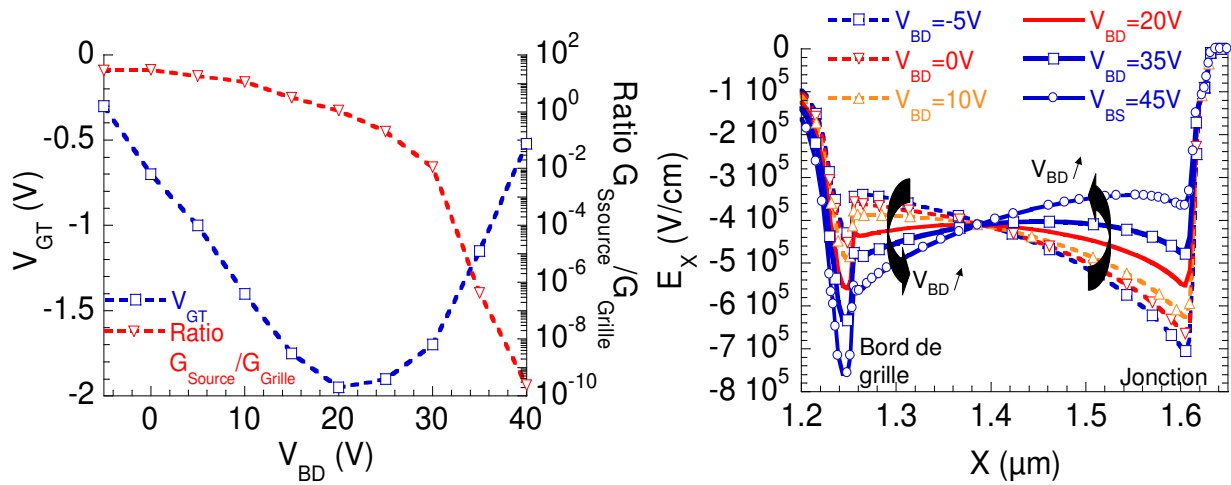


Figure III-10 : (gauche) Simulation TCAD : Evolution de la tension de seuil d'un p-IMOS sur SOI épais ainsi que du ratio du taux de génération côté source sur côté grille à $V_{GD} = V_{GT}$ ($L_G = 1\mu m$, $L_{IN} = 0,4\mu m$, $T_{ox} = 9nm$, $T_{si} = 100nm$ avec épitaxie 30nm) en fonction de la polarisation face arrière V_{BD} pour $V_{SD} = 19V$. (droite) Coupe effectuée à 1nm sous le canal du champ électrique E_x à $V_{SD} = 19V$ et $V_{GD} = 0V$ [Mayer 07].

Si on compare l'évolution de la tension de seuil simulée V_{GT} (**Figure III-10**: gauche) à l'expérience (voir **Figure III-9**), on n'observe pas la deuxième partie de la courbe qui correspondrait au passage du mode où l'avalanche est initiée côté source, au mode où elle est initiée côté grille : la courbe expérimentale sature. Il peut y avoir plusieurs origines à ces différences :

- Simulation :
 - le pic de champ électrique créé en bord de grille est extrêmement étroit pour $V_{BD} > 20V$: le modèle de dérive diffusion n'est peut être plus valide.
 - le profil de dopant n'est pas exactement connu.
- Expérience :

- une possible dégradation du dispositif par piégeage de porteurs chauds dans l'oxyde, qui pourrait peut-être empêcher le dispositif de passer en avalanche en bord de grille.

Il n'est pas possible de déterminer laquelle de ces hypothèses est la plus probable.

La **Figure III-11** (gauche) représente une coupe verticale réalisée à mi-longueur de grille de la concentration de trous (à l'état ON et OFF), mettant en évidence l'existence du canal face arrière. L'insert représente la concentration de trous en face arrière (à 1nm au-dessus de l'oxyde enterré) en fonction de V_{BD} : plus V_{BD} est négatif et plus la concentration augmente. Ce résultat confirme que l'augmentation de I_{ON} est liée à la création d'un second canal de conduction en face arrière. On pourrait croire que la création d'un canal de conduction sur toute la face arrière conduirait à la création d'un TFET parasite. Mais les tensions de polarisation V_{DS} utilisées conduisent à un pincement de ce canal face arrière comme on peut le voir sur la cartographie de la **Figure III-11** (droite). Le dispositif reste donc dans un mode d'ionisation par impact, avec un second canal de conduction, créant ainsi un I-MOS Double Grille.

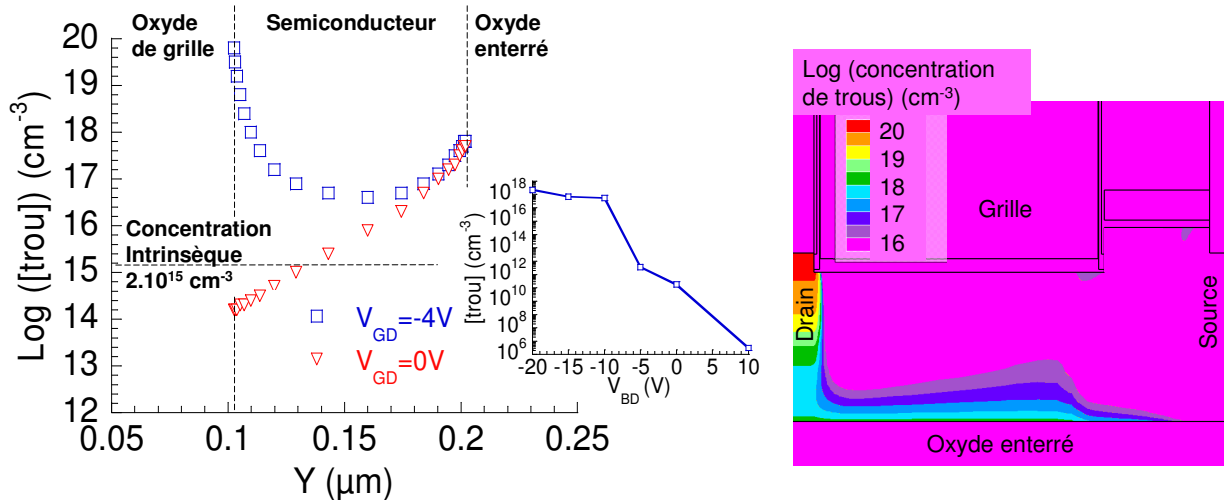


Figure III-11 : (gauche) Coupe verticale effectuée à mi-longueur de grille à $V_{SD}=19\text{V}$ pour un p-IMOS sur SOI épais ($L_G=1\mu\text{m}$, $L_{IN}=0,4\mu\text{m}$, $T_{ox}=9\text{nm}$, $T_{Si}=100\text{nm}$ avec épitaxie 30nm), représentant la concentration de trous. En insert, la concentration surfacique de trous à l'interface arrière en fonction de V_{BD} . (droite) Cartographie de la concentration de trous à $V_{SD}=19\text{V}$, $V_{GD}=0\text{V}$ et $V_{BD}=-20\text{V}$, mettant en évidence le pincement du canal.

La simulation TCAD a permis de confirmer les interprétations du paragraphe III.3.b concernant le passage d'un mode de déclenchement vers un autre en fonction de V_{BD} , ainsi que l'apparition d'un canal face arrière. Ce canal est pincé au niveau du bord de grille, créant ainsi une sorte de I-MOS double grille. Il reste cependant quelques points d'ombre, puisque le comportement expérimental de la tension de seuil V_{GT} n'est pas expliqué entièrement par la TCAD. La dégradation de l'oxyde par porteurs chauds pourrait être une raison. Cette piste est explorée dans le paragraphe IV.1.c.

III.3.d Influence de L_G sur la localisation de l'avalanche

Après avoir observé expérimentalement l'influence de V_{BD} et l'avoir expliqué par des simulations TCAD, nous allons reprendre dans cette partie les mesures du paragraphe III.3.b sur d'autres géométries de I-MOS sur SOI épais.

La **Figure III-12** représente l'inverse de la pente sous le seuil S en fonction de V_{BD} pour différentes longueurs de grille (p-IMOS, $L_{IN}=0.4\mu m$, $T_{ox}=9nm$, $L_{espaceur}=20nm$, $T_{Si}=100nm$ avec épitaxie 30nm). On observe un changement de régime entre $V_{BD}=0V$ et 10V pour tous les dispositifs. Comme la localisation du site initiateur dépend de L_{IN} , la tension à laquelle a lieu la transition devrait dépendre de L_{IN} . Lorsque l'avalanche est initiée côté source ($V_{BD}<0$), on retrouve les conclusions des mesures expérimentales du paragraphe III.1: S est indépendant de L_G . Mais dans l'autre mode ($V_{BD}>0$), S dépend de L_G [Mayer 06b]. Sur la **Figure III-12**, on distingue deux grandes familles $L_G \geq 2\mu m$ avec $S \sim 10-20$ mV/dec et $L_G \leq 0.5\mu m$ avec $S \sim 40-50$ mV/dec. Une avalanche initiée côté source présente donc l'avantage d'avoir une faible pente sous le seuil et d'être indépendant de la géométrie du dispositif. De plus, les I-MOS possèdent une meilleure fiabilité car les porteurs chauds sont éloignés de l'oxyde de grille (voir paragraphe IV.1),

En conclusion, la polarisation de la face arrière a permis d'apporter une preuve expérimentale supplémentaire concernant l'existence des deux modes de fonctionnement du I-MOS, liés à la localisation de l'avalanche.

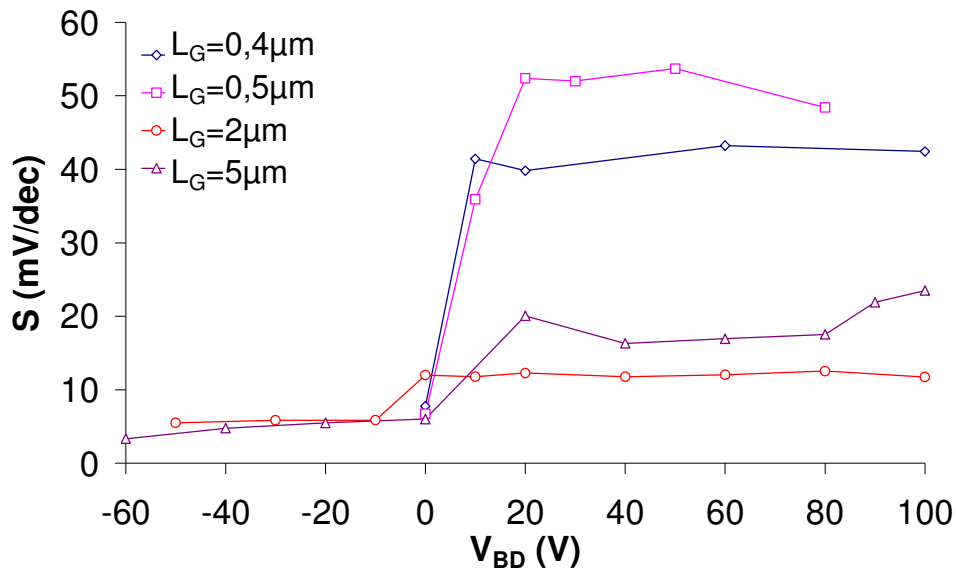


Figure III-12: Mesures $S(V_{BD})$ de p-IMOS sur SOI épais ($L_{IN}=0.4\mu m$, $T_{ox}=9nm$, $L_{espaceur}=20nm$, $T_{Si}=100nm$ avec épitaxie 30nm) à $V_{SD}=18V$ pour plusieurs longueurs de grille [Mayer 07].

IV Fiabilité du I-MOS

IV.1 Porteurs chauds

IV.1.a Etat de l'art

La fiabilité du I-MOS est un point important qui requiert une étude approfondie. En effet, les tensions requises pour l'ionisation par impact favorisent la création de porteurs chauds qui peuvent dégrader l'oxyde et donc les performances du dispositif. L'université de Stanford a étudié ce problème par simulations Monte-Carlo et des cycles mesures/recuits [Gopalakrishnan 05].

La **Figure IV-1** (gauche) représente des mesures $I_D(V_G)$ répétées d'un p-IMOS: la transition OFF/ON ne se fait plus aussi abruptement après 5 mesures (dégradation du paramètre S) et la tension de seuil augmente (en valeur absolue). Un recuit de 30 minutes à 200°C permet de retrouver les caractéristiques initiales. L'hypothèse des porteurs chauds semble donc être la bonne, car le recuit libère les porteurs chauds prisonniers dans l'oxyde et régénère la qualité de l'interface. Les simulations Monte Carlo ont été effectuées pour un dispositif p-IMOS, présentant une longueur de grille $L_G = 0.2 \mu\text{m}$ et $L_{IN} = 0.1 \mu\text{m}$ (**Figure IV-1**: droite). Les tensions appliquées sont $V_{SD}=12 \text{ V}$ et $V_{GD}=-5 \text{ V}$. L'énergie des trous est maximum sous la grille. Ainsi, l'augmentation de la tension de seuil pour un p-IMOS serait due à l'injection de trous dans l'oxyde de grille. Dans le cas d'un n-IMOS, il s'agirait des électrons. Cette injection de porteurs chauds se traduit aussi par une dégradation de l'interface, ce qui entraîne la dégradation du paramètre S.

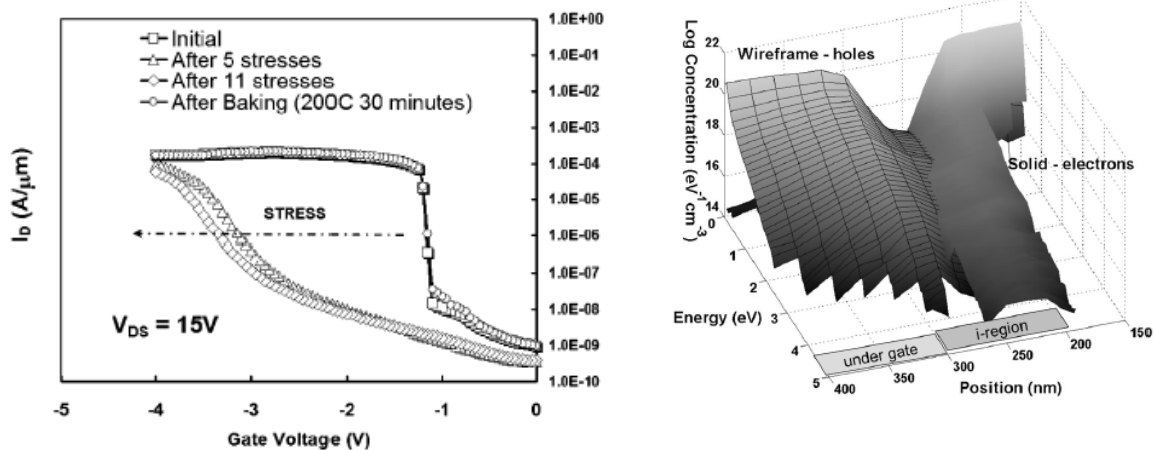


Figure IV-1: (gauche) Mesures expérimentales $I_D(V_{GD})$ à $V_{SD}=15\text{V}$ d'un p-IMOS, avec $L_{IN}=0,3\mu\text{m}$, sur substrat SOI. Comparaison entre les caractéristiques $I_D(V_{GD})$ après plusieurs mesures et la mesure initiale, ainsi qu'après un recuit effectué à 200°C pendant 30 minutes [Gopalakrishnan 05]. (droite) Simulation Monte Carlo d'un p-IMOS mettant en évidence la répartition des trous et des électrons en fonction de leur énergie et de leur position dans le dispositif [Gopalakrishnan 05].

Concernant le n-IMOS, comme la barrière de potentiel entre le Si/SiO₂ est plus faible pour les électrons que pour les trous (voir paragraphe IV.1.b), l'injection de porteurs chauds dans la grille est beaucoup plus importante dans le cas du n-IMOS que dans celui du p-IMOS. C'est pour cette raison que l'université de Stanford n'a pas pu obtenir de n-IMOS fonctionnel. Cependant, ces forts taux d'injection ont été mis à profit pour réaliser une mémoire à grille flottante basée sur le n-IMOS [Gopalakrishnan 05b].

[Charbuillet 06] a démontré sur des mesures $I_D(V_{SD})$ qu'en utilisant un oxyde de grille moins épais, on améliorait la reproductibilité des mesures : au lieu de rester piégés, les porteurs chauds passent dans la grille par effet tunnel. Cependant, comme nous le verrons aux paragraphes IV.2 et IV.3, cela n'est pas suffisant pour obtenir une fiabilité qui permettrait l'exploitation industrielle du I-MOS.

IV.1.b Différence entre n et p-IMOS

La **Figure IV-2** (gauche) représente le schéma du diagramme de bande d'un empilement Si/SiO₂. La hauteur de barrière est plus élevée pour les trous que pour les électrons : 4.8 eV contre 3.1 eV. Les électrons chauds ont donc une probabilité plus élevée de passer la barrière et d'être injectés dans la grille.

La **Figure IV-2** (droite) représente les caractéristiques $|I_D|$, $|I_G| (|V_{GD}| - |V_{GT}|)$ mesurées sur des dispositifs n et p de géométries identiques ($L_G=1\mu\text{m}$, $L_{IN}=0.55\mu\text{m}$, $T_{OX}=9\text{nm}$, $L_{espaceur}=10\text{nm}$, $T_{Si}=100\text{nm}$ avec épitaxie 30nm) à $|V_{DS}|=21\text{V}$. Pour le n-IMOS, I_G est positif puisqu'on injecte des électrons du canal vers la grille. Pour le p-IMOS, I_G est négatif car on injecte des trous. Le courant de grille du n-IMOS est cinq ordres de grandeur plus élevé que celui du p-IMOS. Le nombre de porteurs susceptibles d'être piégés dans l'oxyde de grille est donc potentiellement plus élevé dans le cas du n-IMOS. Du point de vue de la fiabilité, les porteurs chauds impactent donc plus le n-IMOS que le p-IMOS.

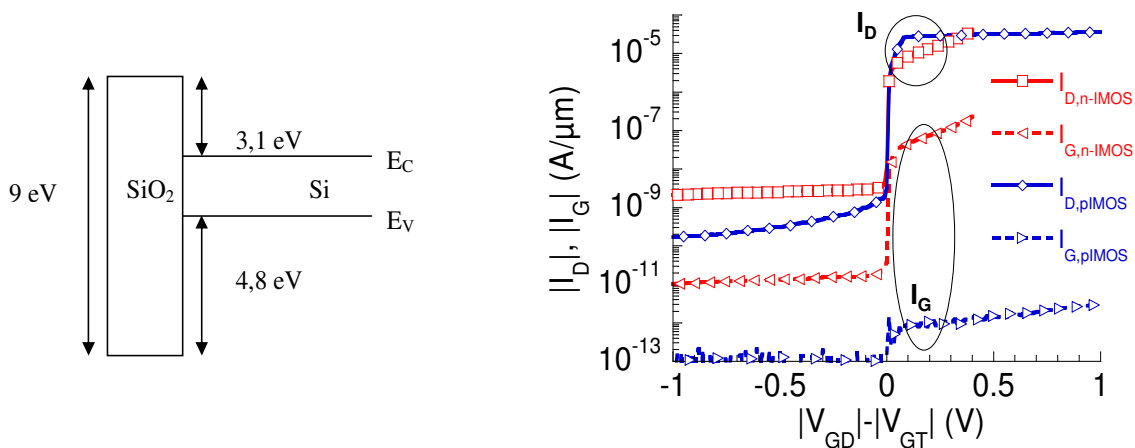


Figure IV-2: (gauche) Diagramme de bande dans l'empilement Si/SiO₂ (droite) Mesures $|I_D|/(|V_{GD}| - |V_{GT}|)$ et $|I_G|/(|V_{GD}| - |V_{GT}|)$ pour des n et p-IMOS ($L_G=1\mu\text{m}$, $L_{IN}=0,55\mu\text{m}$, $T_{OX}=9\text{nm}$, $L_{espaceur}=10\text{nm}$, $T_{Si}=100\text{nm}$ avec épitaxie 30nm). La polarisation est $|V_{SD}|=21\text{V}$.

IV.1.c Etude du piégeage par la TCAD

L'objectif de cette partie est de comprendre les variations de la tension de seuil lorsqu'on répète les mesures. Ces variations sont attribuées dans la littérature au piégeage par porteurs chauds, qui viennent se piéger dans l'oxyde, créant ainsi des états d'interfaces et des charges fixes. Une des difficultés posées dans l'analyse de la détérioration par porteurs chauds, c'est qu'il faut considérer les deux types de porteur, car le I-MOS est un dispositif bipolaire. Dans un premier temps, nous étudierons le trajet des porteurs dans le dispositif afin d'identifier les sites susceptibles de piéger des charges. Dans un second temps, nous supposerons qu'une certaine densité de charge est piégée dans l'oxyde et nous analyserons l'impact sur les caractéristiques électriques du p-IMOS.

Dans le cas d'un p-MOSFET, V_D est polarisé négativement (et $V_S=0V$). Lorsqu'on vient polariser la grille ($V_G<0$), le champ électrique vertical diminue donc. Par conséquent, le piégeage par porteurs chauds dans l'oxyde diminue. Dans le cas du p-IMOS, la polarisation source drain est différente : $V_D=0V$ et $V_S>0V$. On obtient alors l'effet contraire : le champ électrique vertical augmente avec la polarisation de grille : le piégeage par porteurs chauds dans l'oxyde augmente.

Des simulations TCAD ont permis de mettre en évidence le trajet des porteurs pour identifier les interfaces susceptibles de piéger des porteurs. La **Figure IV-3** représente la densité de courant due aux électrons et aux trous selon les directions X et Y à l'état ON.

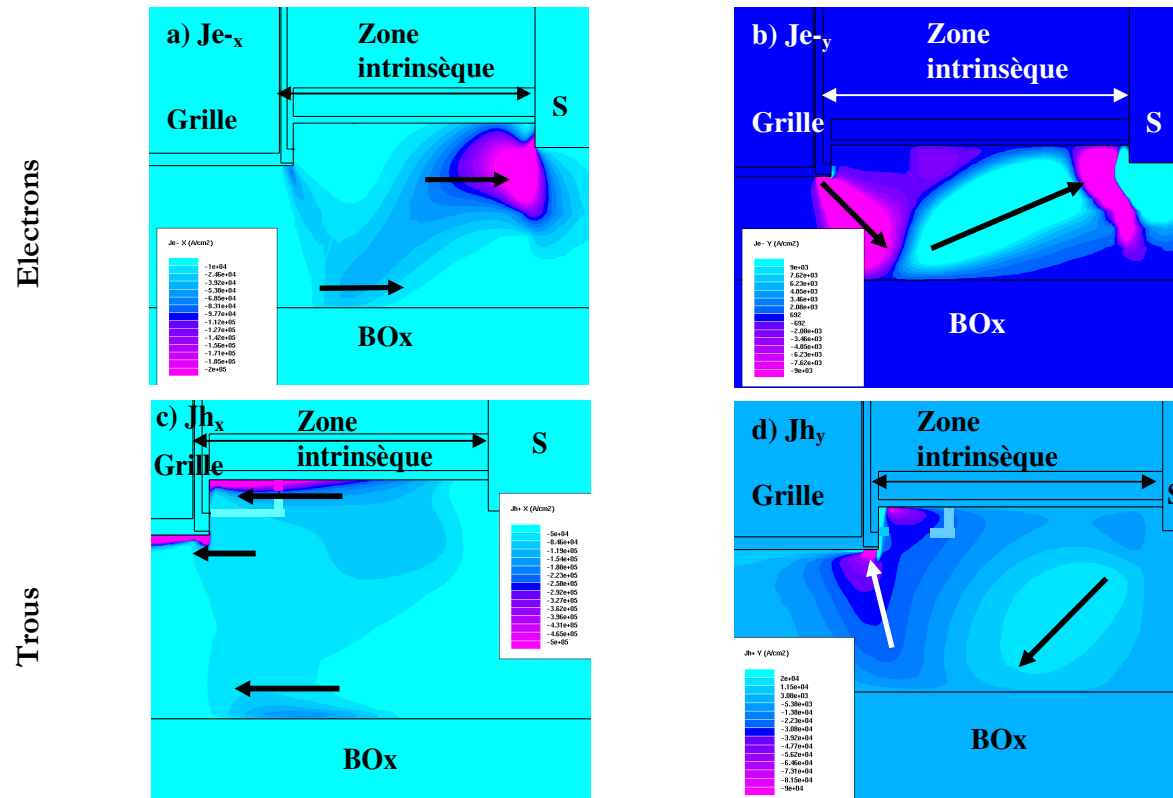


Figure IV-3 : Densités de courant due aux trous et aux électrons dans les directions X et Y dans un p-IMOS de géométrie $L_G=1\mu m$ et $L_{IN}=0.4\mu m$ polarisé à $V_{SD}=19V$ et $V_{GD}=-4V$ (état ON). Les flèches représentent le sens des courants.

Comme on peut le voir, les courants ne sont pas unidirectionnels. La grille et le profil de dopage induisent des champs électriques, qui ont tendance à diriger les porteurs vers le fond de la structure. Ce résultat est important d'un point de vu fiabilité, car les porteurs sont dirigés vers l'interface arrière. Les interfaces susceptibles de piéger des porteurs sont: l'interface arrière, l'interface espaceur/canal et l'interface entre la zone intrinsèque (côté source) et l'oxyde qui la recouvre (voir **Figure IV-4**).

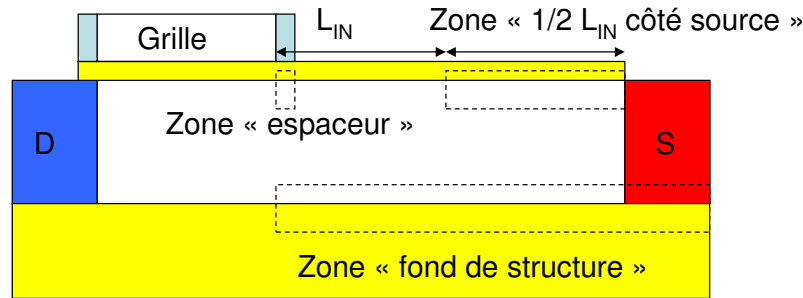


Figure IV-4 : Structure p-IMOS avec les trois zones de piégeage considérées pour les simulations TCAD.

Nous allons maintenant « placer » des charges fixes dans l'oxyde aux endroits mis en évidence précédemment (voir **Figure IV-4**) et analyser le comportement électrostatique du dispositif. La **Figure IV-5** représente l'évolution de la tension de seuil d'un p-IMOS en fonction de la densité surfacique de charge dans l'oxyde, localisées aux différents endroits cités précédemment. On voit que le piégeage dans l'espaceur ne modifie pas la tension de seuil. Concernant le piégeage dans le fond de la structure et dans l'oxyde de protection, les caractéristiques passent par un extremum : V_{GT} diminue d'abord avec la quantité de charge puis augmente.

Fixer des charges au fond de la structure entraîne les mêmes effets que polariser la face arrière, on retrouve donc le même comportement sur V_{GT} . La TCAD confirme d'ailleurs que la forme et l'évolution des champs électriques sont identiques.

Concernant la fixation de charges sur la moitié de la zone intrinsèque située du côté de la source (oxyde de protection), l'interprétation est plus délicate. Quand on plante des charges négatives, on crée une jonction P/N. La densité de trous de cette zone P est plus importante que celle de la zone intrinsèque. Donc on augmente le champ électrique du côté source, ce qui augmente V_{GT} . Quand on fixe des charges positives, on va dans un premier temps créer une jonction N/N ce qui diminue le champ électrique et donc V_{GT} diminue. Mais à partir d'une densité de l'ordre de 10^{12} cm^{-2} , la concentration d'électrons devient comparable à celle de la source et cette jonction devient une extension de la source. La longueur de la zone intrinsèque décroît, ce qui entraîne une augmentation de V_{GT} . Pour des doses de l'ordre de $5 \cdot 10^{12} \text{ cm}^{-2}$, on passe dans un mode de déclenchement où l'avalanche est initiée en bord de grille.

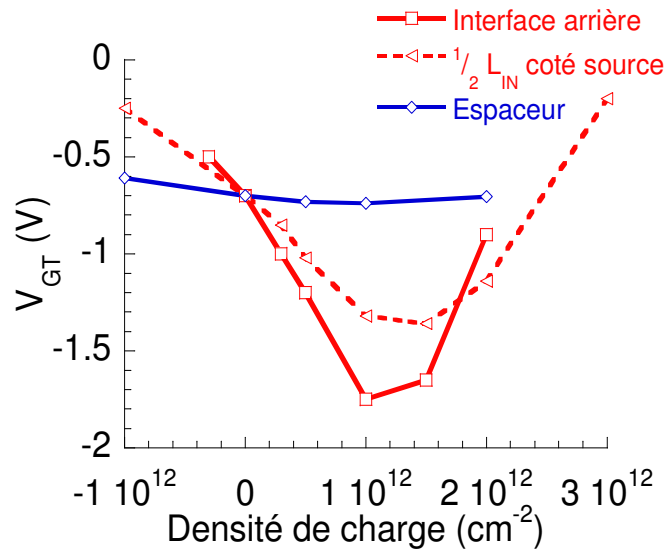


Figure IV-5 : Simulations de l'évolution de la tension de seuil d'un p-IMOS ($L_G=1\mu\text{m}$, $L_{IN}=0.4\mu\text{m}$, $T_{ox}=9\text{nm}$, $L_{espaceur}=10\text{nm}$, $T_{Si}=100\text{nm}$ avec épitaxie 30nm) en fonction de la densité de pièges dans l'oxyde pour $V_{SD}=19\text{V}$.

D'après le parcours des porteurs, on peut supposer que le piégeage le plus probable est celui en fond de structure. Pour vérifier cette hypothèse, des mesures complémentaires sont nécessaires, comme par exemple du pompage de charge en utilisant l'oxyde enterré comme oxyde face arrière. Cependant, le piégeage est un phénomène beaucoup plus complexe dans la réalité. D'abord, ce piégeage est local, alors que dans nos simulations, nous l'avons considéré comme uniforme sur toute une surface. De plus, les porteurs chauds créent aussi des états d'interface, qui peuvent piéger des porteurs.

IV.2 Effet 3D : I-MOS parasites

En théorie, le courant à l'état OFF du I-MOS est celui d'une diode PiN polarisée en inverse, c'est-à-dire qu'il devrait être de l'ordre de $10^{-13} \text{ A}/\mu\text{m}$. Or dans la littérature [Mayer 06], [Choi 05], [Charbuillet 06], [Toh 07], le courant OFF est systématiquement plus élevé et atteint environ 10^{-9} à $10^{-7} \text{ A}/\mu\text{m}$.

Dans ce paragraphe, nous allons mettre en évidence un des mécanismes de dégradation responsable des courants OFF élevés, par des mesures électriques, des caractérisations physico-chimique et par le biais de simulations TCAD 2D et 3D.

IV.2.a Caractéristique $I_D(V_{DS})$

La **Figure IV-6** représente des caractéristiques $I_D(V_{SD})$ pour plusieurs polarisations V_{GD} , ainsi qu'une simulation TCAD 2D. On observe que la première mesure diffère des mesures suivantes. La première mesure présente deux avalanches à $V_{BR1} \sim 8\text{V}$ (à $V_{GD}=0\text{V}$) et $V_{BR2} \sim 13\text{V}$ (à $V_{GD}=0\text{V}$). D'un dispositif à l'autre, on observe une grande dispersion à la fois dans la valeur de V_{BR1} et dans la forme des courbes. Si on compare les mesures suivantes à la simulation TCAD, le

courant mesuré est environ quatre décades plus élevé avant l'avalanche. La tension V_{BR2} correspond à la tension d'avalanche théorique.

Dans la suite, nous allons déterminer ce qui se passe entre les deux premières mesures et établir un scénario pour le mécanisme de dégradation. La validation de ce mécanisme prendra en compte des mesures expérimentales (émission lumineuse, recuit...) et des simulations TCAD 3D.

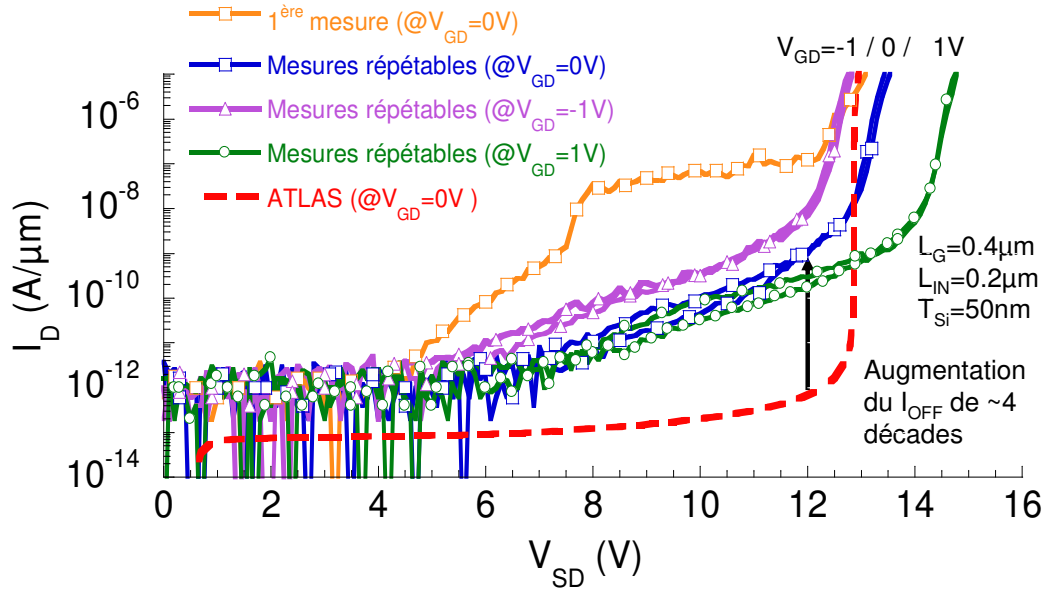


Figure IV-6 : Mesures $I_D(V_{SD})$ successives d'un p-IMOS ($L_{IN}=0.2\mu m$, $L_G=0.4\mu m$, $T_{Si}=50nm$, $T_{ox}=3nm$ de HfO_2 , $\Phi_M=4eV$) à plusieurs V_{GD} , ainsi qu'une caractéristique $I_D(V_{SD})$ simulée par TCAD 2D [Mayer 08].

IV.2.b Etude en température

Des mesures ont montré qu'un phénomène identique est observé sur les diodes PiN (la géométrie est celle d'un I-MOS sans grille : voir **Figure IV-7** droite). L'effet observé n'est donc pas lié à la grille. Pour simplifier, nous étudierons dans ce paragraphe ces diodes PiN.

Les dispositifs ont été mesurés à différentes températures et les tensions d'avalanche V_{BR2} ont été extraites pour des dispositifs possédant une zone intrinsèque L_{IN} de 200 et 300nm (voir **Figure IV-7** gauche). On observe une dépendance linéaire de V_{BR2} avec la température. La pente est de l'ordre de $+10^{-2}$ V/°C. Une pente positive est la signature de l'ionisation par impact (pour le BtBt, elle aurait été négative [Sze]). La seconde avalanche est donc bien celle que l'on attendait d'après la théorie.

Etant donnée le caractère non répétable ainsi que la forte dispersion sur la forme et les valeurs de la première avalanche, aucune conclusion ne peut être tirée de cette étude sur son origine. Nous étudierons donc la première avalanche par l'émission lumineuse (cf. IV.2.c).

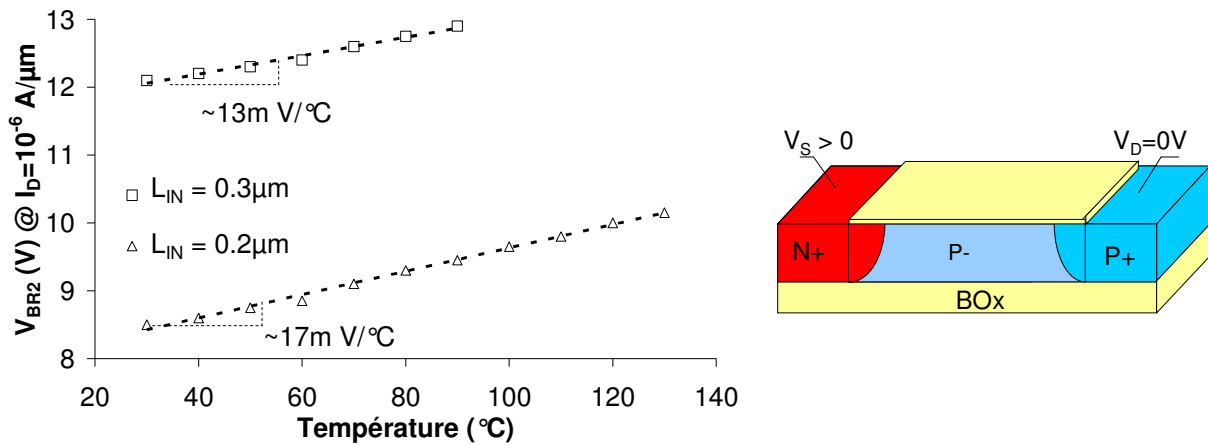


Figure IV-7: (Gauche) Caractéristique de la seconde tension d'avalanche V_{BR2} en fonction de la température pour deux diodes de longueurs intrinsèques $0.2\mu m$ et $0.3\mu m$ [Mayer 08]. (Droite) Représentation schématisée des diodes étudiées (L_{IN} : longueur de la zone intrinsèque).

IV.2.c Emission lumineuse

Dans ce paragraphe, nous allons employer une méthode de caractérisation in situ de l'ionisation par impact. En effet, nous allons mesurer les photons émis durant le processus d'ionisation par impact pour quantifier ce phénomène. Le principe consiste à polariser le dispositif puis à collecter des photons pendant un temps « t » pour dépasser le bruit numérique. Cette méthode permet de cartographier le courant dans le I-MOS.

La **Figure IV-8** représente la superposition d'une vue au microscope d'une diode PiN avec le spectre d'émission lumineuse. Deux cas sont représentés, une polarisation en direct ($V_{SD} = -1V$) et une polarisation en inverse ($V_{SD} = 13.7V$).

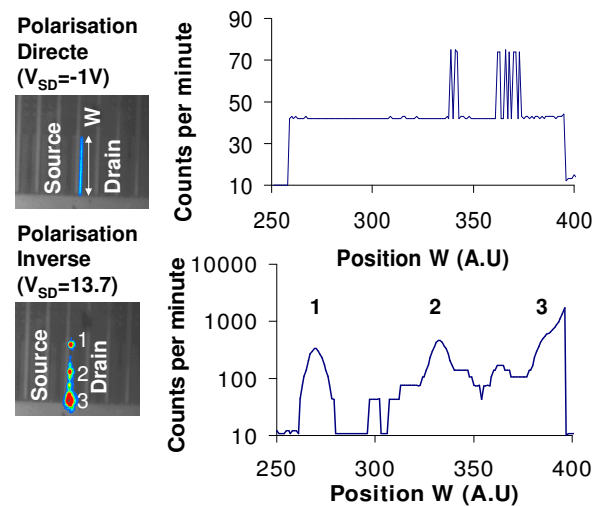


Figure IV-8: (Gauche): Superposition de la vue au microscope d'une diode PiN ($L_{IN} = 0.35\mu m$, $W = 10\mu m$) et du spectre d'émission lumineuse. (Droite) : Coupe du spectre d'émission lumineuse selon W, pour les deux polarisations [Mayer 08].

Sur la droite, une coupe du spectre d'émission lumineuse réalisée selon W est représentée. Le dispositif de mesure est vierge (de géométrie $L_{IN}=0.35\mu m$ et $W=10\mu m$), n'ayant subi encore aucune mesure. La polarisation en directe permet de vérifier que l'émission lumineuse est homogène dans ce cas. On polarise alors la diode juste avant V_{BR2} (à $V_{SD}=13.7V$) et on réalise l'acquisition pendant 1 minute. Le spectre est très inhomogène. On voit apparaître trois points chauds : un au milieu de la structure, et un à chaque extrémité du dispositif. L'expérience est répétée sur d'autres dispositifs avec toujours pour résultat l'apparition de points chauds sur les bords.

Afin de comprendre les effets de bord observés sur ces mesures, nous allons simuler le I-MOS en trois dimensions et tenter de relier ces simulations avec l'expérience d'émission lumineuse.

IV.2.d Scénario proposé

Dans ce paragraphe, nous proposons un scénario pour expliquer ce qui se passe entre la première mesure d'un I-MOS et les mesures suivantes :

- la première avalanche se déclenche sur les flancs du I-MOS, suivie de la seconde avalanche.
- La première avalanche crée des états interfaces à cause des porteurs chauds et/ou vient piéger des porteurs dans l'oxyde.
- Les pièges dans l'oxyde modifient le champ électrique qui empêche la première avalanche de se produire pendant les mesures suivantes. Tandis que les états d'interface augmentent le courant de fuite via du tunnel piège à piège ou de la génération/ recombinaison.

L'objectif des paragraphes suivant consiste à valider ce scénario par des mesures et des simulations TCAD 2D et 3D.

IV.2.e Recuit

Pour vérifier l'hypothèse du piégeage dans l'oxyde, une série de mesures $I_D(V_{SD})$ sur un dispositif « vierge » (diode PiN avec $L_{IN}=0.35\mu m$) est réalisée. Puis un recuit est effectué sous atmosphère à $250^\circ C$ pendant 50 min. Le dispositif est alors remesuré. Les deux séries de courbes obtenues sont tracées sur la **Figure IV-9**.

Les caractéristiques $I_D(V_{SD})$ avant et après recuit présentent toutes les deux la distinction entre la première mesure et les mesures suivantes. Le recuit a permis de libérer les charges dans l'oxyde et de restaurer la première avalanche, mais le niveau du courant de fuite reste identique. En effet, un tel recuit ne permet pas de restaurer les états d'interface.

Juste avant V_{BR2} , on voit apparaître sur la première mesure de chaque série une instabilité de courant. Cette instabilité est typique de « l'allumage » de microplasmas. La tension d'apparition (quelques 10mV avant V_{BR2}) est conforme avec la littérature [Marinov 07]. La création des microplasmas a fait l'objet de vastes théories et spéculations [Rose 57] - [McIntyre 61] - [Batdorf 60] - [Chynoweth 58].

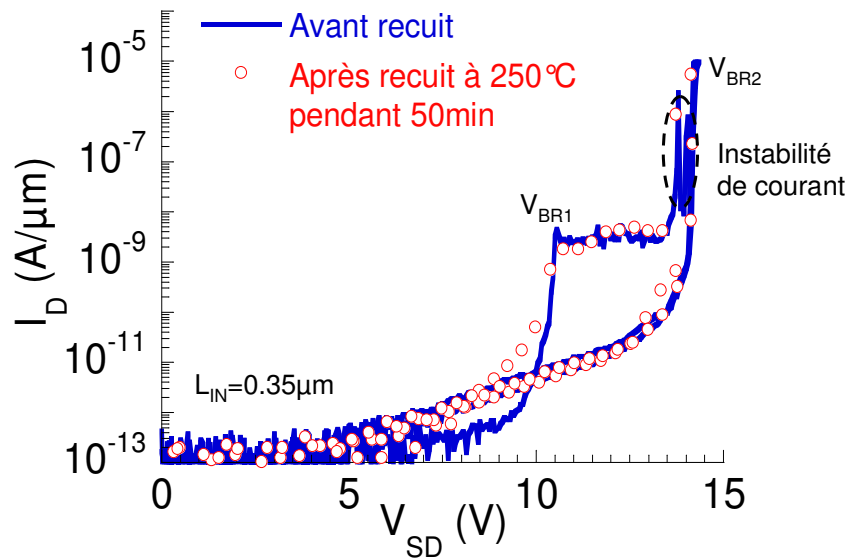


Figure IV-9 : Mesures $I_D(V_{SD})$ sur une diode PiN ($L_{IN}=0.35\mu m$) avant et après recuit sous atmosphère à $250^\circ C$ pendant 50 min [Mayer 08].

Il semblerait cependant que la création de microplasmas soit favorisée par des défauts proches des jonctions. Pour vérifier la qualité de nos jonctions, nous avons effectué une photo TEM (voir **Figure IV-10**) sur un n-IMOS ($L_G=350nm$, $L_{IN}=0.4\mu m$, $T_{ox}=9nm$, $T_{Si}=100nm$ sous le canal et $130nm$ dans la zone intrinsèque), centrée sur la jonction côté drain. On peut observer de nombreuses dislocations induites par l'implantation des ions As, ce qui va dans le sens de microplasmas engendrés par des défauts. Pour éviter ce phénomène, on peut diminuer l'énergie d'implantation, diminuer la dose implantée, opter pour du P plutôt que de l'As ou augmenter la température ou la durée du recuit d'activation. Evidemment, changer ces paramètres n'est pas sans conséquences sur les performances du dispositif et il faudra trouver un optimum pour ces différents paramètres.

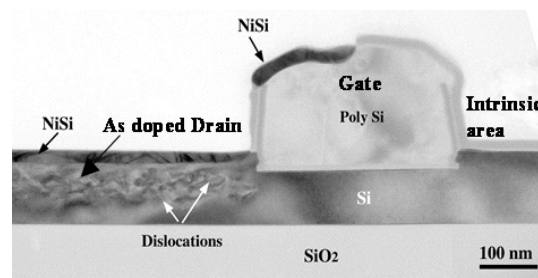


Figure IV-10 : Photo TEM d'un n-IMOS centrée sur le côté drain ($L_G=350nm$, $L_{IN}=400\mu m$, $T_{ox}=9nm$, $T_{Si}=100nm$ sous le canal et $130nm$ dans la zone intrinsèque).

IV.2.f Localisation des charges fixes

Dans ce paragraphe, nous allons essayer de reproduire par simulation 3D la dégradation entre la première mesure et les mesures suivantes. Pour cela, nous allons placer des charges dans l'oxyde. La première difficulté concerne la localisation de ces charges. Pour répondre à cette question, on s'intéresse au courant de fuite « post mesure initiale » en fonction de la largeur W

de la diode. Le résultat est tracé sur la **Figure IV-11**, avec en insert les caractéristiques $I_D(V_{SD})$ ayant permis l'extraction des mesures. On peut observer que le courant est indépendant de W . On peut en déduire que les états d'interfaces responsables de ce courant sont localisés sur les flancs du dispositif. On peut supposer que les charges fixes piégées dans l'oxyde sont localisées au même endroit.

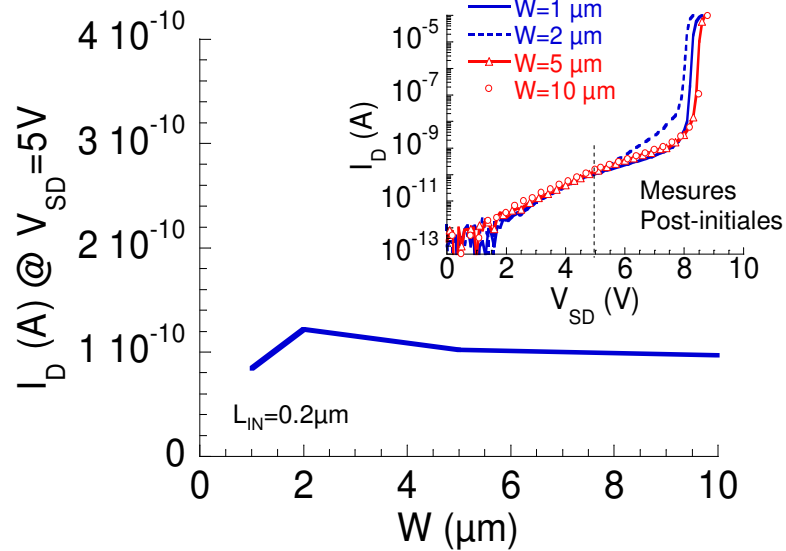


Figure IV-11 : Courant I_D à $V_{SD}=5V$ extrait après la mesure initiale sur des diodes PiN ($L_{IN}=0.2\mu m$) en fonction de la largeur du dispositif W . L'insert montre les caractéristiques $I_D(V_{SD})$ d'où sont extraites les courants [Mayer 08].

IV.2.g Simulation 3D

Ce paragraphe a pour objectif de valider le scénario proposé par la simulation TCAD. Les modèles physiques implémentés dans la simulation 3D comprennent le BtBt, l'ionisation par impact, un modèle de mobilité CVT et un modèle de transport en « Dérive Diffusion ». La structure simulée comprend l'isolation en mésa, avec un angle de 90° entre l'oxyde enterré et le flanc de la zone active.

Nous allons considérer deux structures (A & B) en 3D. La structure A décrit le I-MOS dans son état initial. La structure B décrit le I-MOS après dégradation. Pour décrire cet état, nous avons ajouté une densité de charge positive dans les oxydes de flanc ($+1.5 \cdot 10^{12} \text{ cm}^{-2}$). Une simulation 2D du I-MOS « initial » nous sert de référence. La **Figure IV-12** représente les caractéristiques $I_D(V_{SD})$ d'un p-IMOS ($L_{IN}=0.2\mu m$, $L_G=0.4\mu m$, $T_{Si}=50\text{nm}$, $T_{ox}=6\text{nm}$) pour les différents cas présentés.

La courbe correspondant à la structure A montre deux régime d'avalanches, $V_{BR1}=11.6V$ et $V_{BR2}=12.3V$. La simulation 2D sert de référence et n'exhibe qu'une seule tension d'avalanche à $12.3V$. La pente de la courbe 2D après l'avalanche et celle de la structure A pour $V_{SD} > V_{BR2}$ sont identiques, ce qui tend à montrer que le phénomène est le même, c'est-à-dire une avalanche volumique. La courbe correspondant à la structure B ne montre qu'un régime d'avalanche, défini par $V_{BR2}=12.3V$. De plus, la pente après l'avalanche est la même que celle de la structure 2D. L'implantation de charges a « annulé » le premier régime d'avalanche observé sur la structure A.

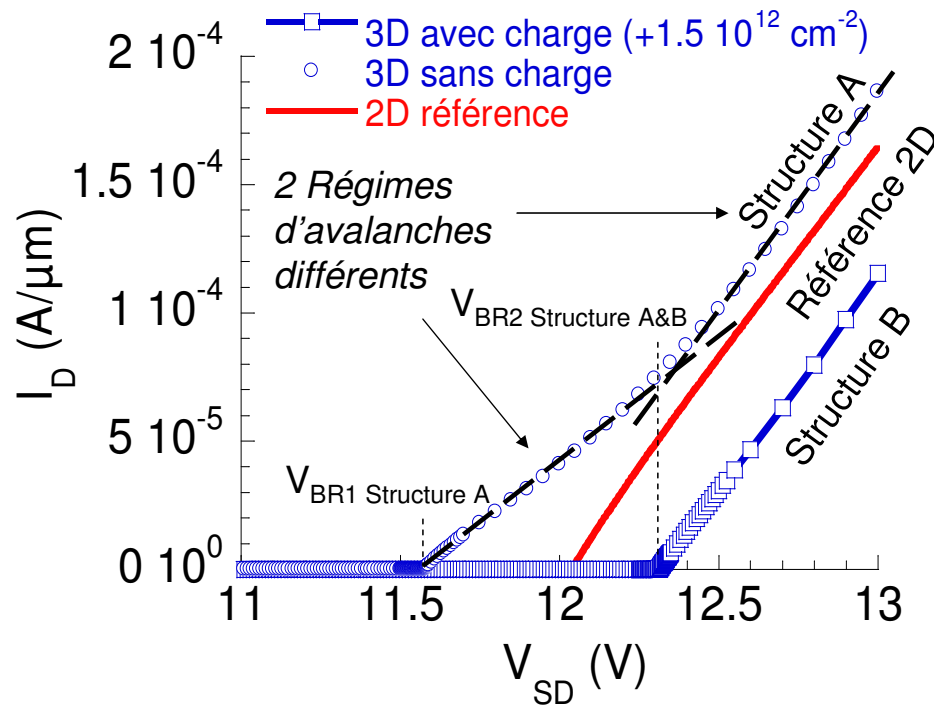


Figure IV-12 : Caractéristiques $I_D(V_{SD})$ de p -IMOS ($L_{IN}=0.2\mu m$, $L_G=0.4\mu m$, $T_{Si}=50nm$, $T_{ox}=6nm$, $\Phi_M=4.6eV$) simulés en 3D et en 2D [Mayer 08].

Pour confirmer l'origine de la première avalanche, nous avons représenté une cartographie du taux d'ionisation par impact dans la structure A (**Figure IV-13**, gauche) à $V_{SD}=11.5V$, c'est-à-dire juste avant le premier régime d'avalanche. La répartition n'est pas homogène. On observe notamment des points chauds situés de part et d'autre de la largeur du dispositif, ainsi qu'au fond de la structure sur les bords. La première avalanche observée sur la caractéristique $I_D(V_{SD})$ de la structure A est donc initialisée sur les bords du I-MOS. La localisation de ces points chauds coïncide avec les points les plus lumineux observés pendant l'expérience d'émission lumineuse présentée dans le paragraphe IV.2.c. La simulation et l'expérience mènent aux mêmes conclusions : la première avalanche observée expérimentalement correspond à une avalanche sur les flancs du I-MOS.

Des coupes du taux de génération par impact ont été réalisées dans le plan AA' à $y=T_{Si}/2$ (voir **Figure IV-13** gauche) pour les structures A & B simulées (**Figure IV-13** droite). Les polarisations V_{SD} sont respectivement 11.5V et 12.3V. En bord de zone active, le taux de génération par impact est quinze fois plus élevé dans la structure A. De plus, le taux de génération par impact dans la structure B est homogène et maximum au centre de la structure, ce qui est proche du cas 2D. La présence de charges dans l'oxyde permet bien de désactiver l'avalanche en bord de structure.

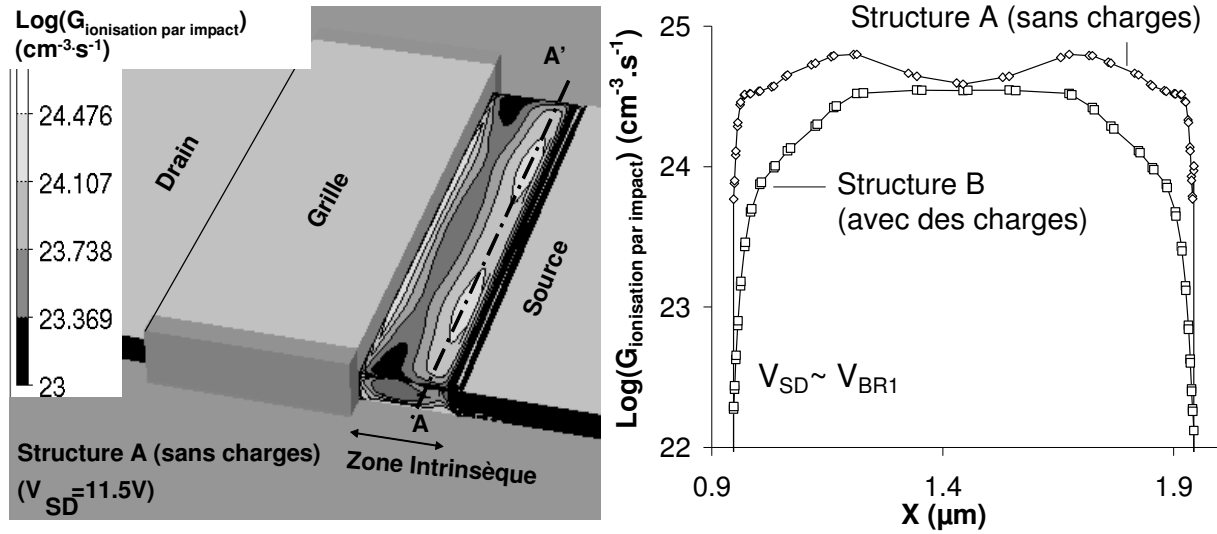


Figure IV-13 : (gauche) Taux de génération par impact dans une structure p-IMOS en 3D ($L_{IN}=0.2\mu\text{m}$, $L_G=0.4\mu\text{m}$, $T_{Si}=50\text{nm}$, $T_{ox}=6\text{nm}$, $\Phi_M=4.6\text{eV}$) à $V_{SD}=11.08\text{V}$. (droite) Coupe selon le plan AA' à $y=-T_{Si}/2$ du taux de génération par impact pour les structures sans et avec charges dans les oxydes de flancs [Mayer 08] (A&B).

La simulation TCAD nous a permis de reproduire qualitativement les résultats expérimentaux et ainsi de valider notre scénario de dégradation. A la première mesure, l'avalanche est initialisée aux bords du dispositif et vient piéger des porteurs chargés positivement dans les flancs du I-MOS. Ces charges viennent ensuite désactiver l'ionisation par impact en bord de structure.

Ce scénario a aussi le mérite d'expliquer la dispersion sur les valeurs de V_{BR1} et la forme des caractéristiques $I_D(V_{SD})$ (avalanche nette, BtBt suivi de l'avalanche, plateau de saturation plus ou moins marqué...). En effet, dans nos simulations, nous avons supposé que les deux bords du dispositif étaient identiques, ce qui implique que l'avalanche a lieu exactement à la même tension. Cependant, ce n'est pas forcément le cas en réalité à cause de la présence de défauts, de l'angle d'implantation (pour doper la source), de la gravure...

Quantitativement nous n'avons pas réussi à reproduire les bonnes valeurs de V_{BR} . La différence expérimentale entre V_{BR1} et V_{BR2} est de l'ordre de 3 à 4 volts et la différence de courant entre les deux avalanches est de l'ordre de 3 décades. Cela peut être dû au fait que l'angle de la structure mesa réelle n'est pas de 90° ou que le phénomène de piégeage est dynamique (et non pas séquentiel comme nous l'avons simulé).

Pour conclure, nous avons donc réussi à expliquer le phénomène observé expérimentalement, à savoir l'observation de deux régimes d'avalanche lors de la première mesure et la dégradation du I-MOS lors des mesures suivantes. Ce phénomène a été étudié expérimentalement par des mesures électriques et des expériences d'émission lumineuse, et par la simulation TCAD en 3D. Ces résultats ont pu être croisés pour confirmer notre scénario de dégradation.

IV.3 Limitation dynamique du I-MOS

Des études récentes [Shen 07] ont mis en évidence grâce à des simulations Monte Carlo une limitation de la vitesse de commutation du I-MOS. En effet, la multiplication de charges n'est pas instantanée et a été estimée à quelques picosecondes par décade de courant. De plus, la multiplication de charge est un processus statistique. Il arrive alors parfois qu'à une tension $V_{GD} > V_{GT}$, le I-MOS ne passe pas à l'état ON instantanément. Ce délai supplémentaire doit donc être pris en compte dans le design des circuits I-MOS. Cependant, ce phénomène n'a pas été confirmé expérimentalement.

V Etude des transistors à effet tunnel (TFET)

Nous avons vu que le I-MOS souffre de sévères problèmes de fiabilité : mesures non répétables, I-MOS 3D parasite, « retard à l'allumage »... Il est cependant possible d'utiliser le I-MOS en mode TFET en polarisant différemment le dispositif. En effet, la structure du I-MOS est proche de celle du TFET. Le I-MOS peut être vu comme un TFET avec une zone intrinsèque de dérive, comme on peut le voir sur la **Figure V-1**. Ce mode de fonctionnement a d'ailleurs été mis en évidence par TCAD [Gopalakrishnan 05c], mais nos travaux sont les premiers à mettre en évidence ce fonctionnement expérimentalement [Mayer 08b]. La **Figure V-1** montre la polarisation nécessaire pour que le I-MOS fonctionne en mode TFET : la diode est toujours polarisée en inverse (à des tensions de l'ordre du volt), mais cette fois la grille est polarisée de telle façon à ce que le canal de porteurs créé soit de type opposé à celui du drain. C'est là que l'effet tunnel bande à bande aura lieu.

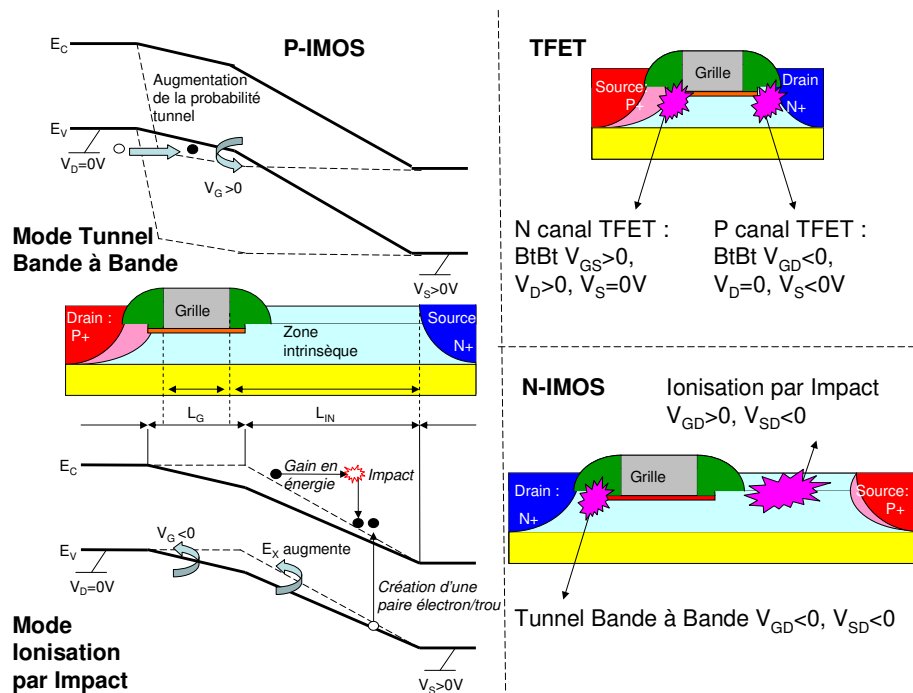


Figure V-1 : Structures sur SOI fin du n et du p-IMOS ainsi que du TFET. Le diagramme de bande illustre comment le I-MOS fonctionne en mode ionisation par impact ou en mode TFET. Les polarisations nominales sont aussi représentées.

Les TFET présentent l'avantage de ne pas souffrir de problèmes de porteurs chauds et présentent donc une bonne fiabilité. De plus, leur pente sous le seuil n'est pas limitée à 60mV/dec à température ambiante (voir chapitre I).

Dans une première partie, nous étudierons le fonctionnement du TFET et mettrons en avant ces faiblesses. Dans un second temps, nous verrons comment le I-MOS en mode TFET permet de répondre à certains désavantages du TFET. Et enfin, nous étudierons l'impact des substrats SiGeOI et GeOI sur les performances du I-MOS en mode TFET.

V.1 Fonctionnement du TFET : $I_D(V_{GS})$, $I_D(V_{SD})$

V.1.a Considérations théoriques

Le TFET utilise l'effet tunnel bande à bande pour générer des porteurs. Comme la résistance tunnel est plus grande que la résistance du canal, le courant I_{ON} n'est pas limité par le transport comme dans le MOSFET mais par l'injection, ce qui lui permet de s'affranchir de la limite des 60mV/dec [Bhulwalka 05]. Le taux de génération tunnel peut s'exprimer par (V-1) [Kane 61].

$$G = A_k \cdot E^{\alpha_k} \cdot \exp\left(-\frac{B_k}{E}\right) \quad (\text{V-1})$$

A_k et B_k sont les constantes de Kane du semiconducteur considéré [Kane 61]. E représente le champ électrique dans la direction tunnel et α_k est une constante qui dépend du semiconducteur considéré : si le semiconducteur est à gap direct $\alpha_k=2$ et $\alpha_k=2.5$ s'il est indirect [Kane 61]. Cependant, des travaux plus récents sont aboutis à $\alpha_k=3.5$ pour des matériaux à gap indirect [Schenk 93]. En supposant que le courant est directement proportionnel au taux de génération, on peut calculer la pente sous le seuil et on obtient la formule (V-2) [Bhulwalka 05] : la constante « Cst » dépend de la géométrie du dispositif. On peut remarquer que la pente dépend directement de V_{GD} , ce qui n'est pas le cas du MOSFET, ni du I-MOS.

$$S \approx \frac{V_{GD}^2 \cdot \ln(10)}{\alpha_k \cdot V_{GD} + Cst} \quad (\text{V-2})$$

Avec une pente sous le seuil dépendant de V_{GD} et un courant limité par l'injection, la tension de seuil, telle que définie pour un MOSFET n'est plus pertinente. Seule la définition par le maximum de la dérivée de la transconductance a un sens dans le TFET [Boucart 07].

V.1.b Mesures expérimentales

La **Figure V-2** représente les caractéristiques $I_D(V_{GD}$ ou $V_{GS})$ (gauche) et $I_D(V_{DS})$ (droite) pour un TFET sur SOI ($L_G=100\text{nm}$, $T_{Si}=20\text{nm}$, LDD p). Le TFET est un dispositif ambipolaire, c'est-à-dire qu'il fonctionne en canal p ($V_D=0\text{V}$, $V_S<0\text{V}$ et $V_G<0$) comme en canal n ($V_S=0\text{V}$, $V_D<0\text{V}$ et $V_G>0$). Nous définirons V_{Bt} comme la tension V_{GD} ou V_{GS} (canal n ou p) à partir de laquelle le courant est dominé par l'effet tunnel bande à bande. Localement, on mesure une pente sous le seuil de 42mV/dec pour des faibles V_{GS} ($\sim 0.05\text{V}$) et V_{DS} ($= -0.1\text{V}$) en fonctionnement

canal p. Les performances entre canal n et p ne sont pas symétriques, en partie à cause de l'implantation LDD qui n'a été réalisée que pour les dopants p. En effet, le TFET est sensible à la position de la jonction et au profil de jonction. Contrairement au MOSFET, la dépendance en V_{DS} est exponentielle. Cette dépendance est visible sur les caractéristiques $I_D(V_{GS})$ et $I_D(V_{DS})$. Si on extrait la tension de seuil en fonction de V_{DS} en prenant le maximum de la dérivée de la transconductance (visible sur la **Figure V-2**, surtout pour le canal p) comme suggéré par [Boucart 07], on obtient une droite de pente $\sim 1V/V$, comme pour le I-MOS.

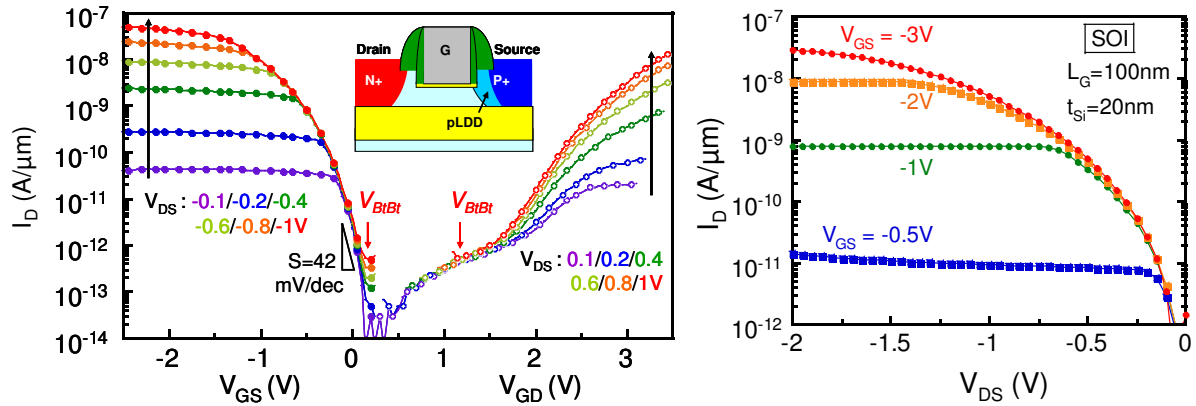


Figure V-2: (gauche) Mesure $I_D(V_{GD}$ ou $V_{GS})$ d'un TFET ($L_G=100nm$, $T_{Si}=20nm$, $L_{esp}=30nm$, LDD p) sur SOI en mode canal p ou n pour différentes polarisations V_{DS} . V_{BtBt} est défini comme la tension à laquelle le courant est dominé par le BtBt [Mayer 08b]. (droite) Mesures $I_D(V_{DS})$ à plusieurs V_{GS} [Mayer 08b].

Comme le courant dans le TFET est limité par l'injection et non pas par le transport, nous avons vérifié que le courant à l'état ON (I_{ON}) ne dépend pas de L_G , comme le montre la **Figure V-3** (gauche) à $V_{DS}=-0.6V$ et $-1.2V$. I_{ON} est défini à $V_{GS}=V_{BtBt}-1.2V$ ($=-1.15V$). Pour donner une valeur statistique à nos résultats, nous avons pris la valeur de I_{ON} à 50% de la distribution cumulative représentée en insert. On observe bien que I_{ON} est indépendant de L_G . Ce résultat est important, car la dispersion des courants ON en technologie MOSFET est en partie due à la dispersion des longueurs de grille [Cathignol 07]. Les circuits à base de TFET devraient donc présenter une meilleure variabilité que ceux basés sur le MOSFET. Les faibles valeurs du courant ON comparées à une technologie MOSFET sont commentées au paragraphe V.2.

Nous nous sommes aussi intéressés à la dépendance de I_{OFF} en fonction de L_G : la **Figure V-3** (droite) représente $I_{OFF}(L_G)$ pris à 50% de la distribution cumulée montrée en insert. I_{OFF} est défini à $V_{GS}=V_{BtBt}$ ($=0.05V$). Contrairement à un MOSFET, I_{OFF} diminue avec L_G . En effet, le courant à l'état bloqué dominé par la génération de porteurs (comme dans le I-MOS : voir chapitre V). Or ce courant est directement proportionnel à L_G .

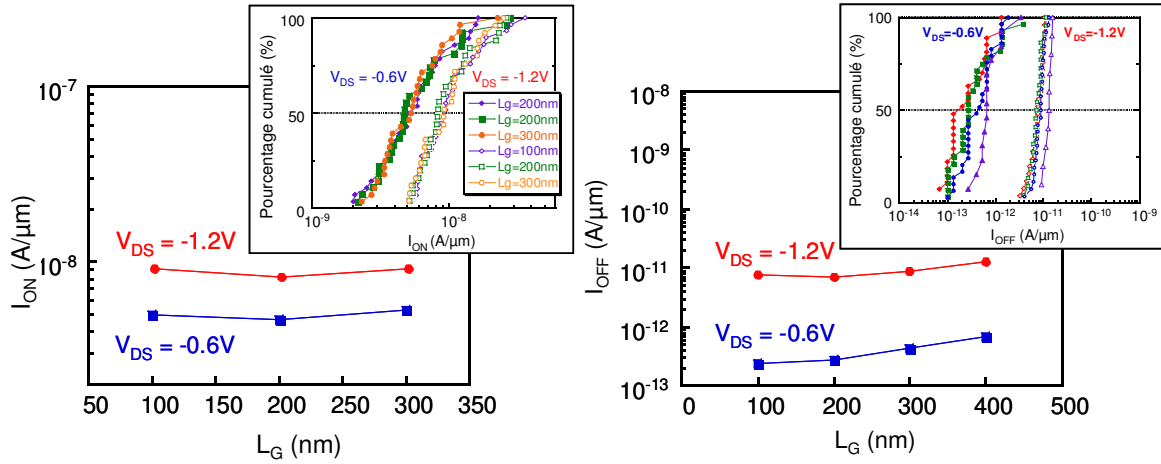


Figure V-3 : (gauche) Impact de L_G sur le courant ON extrait à 50% de la distribution cumulée pour des TFET en mode canal p sur SOI ($T_{Si}=20nm$, $L_{esp}=30nm$, LDD p) [Mayer 08b]. (droite) Impact de L_G sur le courant OFF extrait à 50% de la distribution cumulée pour des TFET en mode canal p sur SOI fin ($T_{Si}=20nm$, $L_{esp}=30nm$, LDD p) [Mayer 08b].

Nous nous sommes intéressés au comportement du courant passant (I_{ON}) et bloqué (I_{OFF}) du TFET en fonction de la température T et l'avons comparé au cas des MOSFET co-intégrés sur la même plaque. La **Figure V-4** (gauche) représente $I_{OFF}(T)$ pour un TFET à canal p et un MOSFET sur SOI fin de géométrie identique ($L_G=350nm$, $T_{Si}=20nm$, $L_{esp}=30nm$, LDD p) à V_{DS} de -0.6 à -1.2V. Le courant I_{OFF} du TFET est une à deux décades (selon V_{DS} considéré) plus faible que celui du MOSFET sur toute la gamme de température considérée (de 25°C à 150°C). Les courants I_{OFF} du TFET et du MOSFET suivent la même évolution en température.

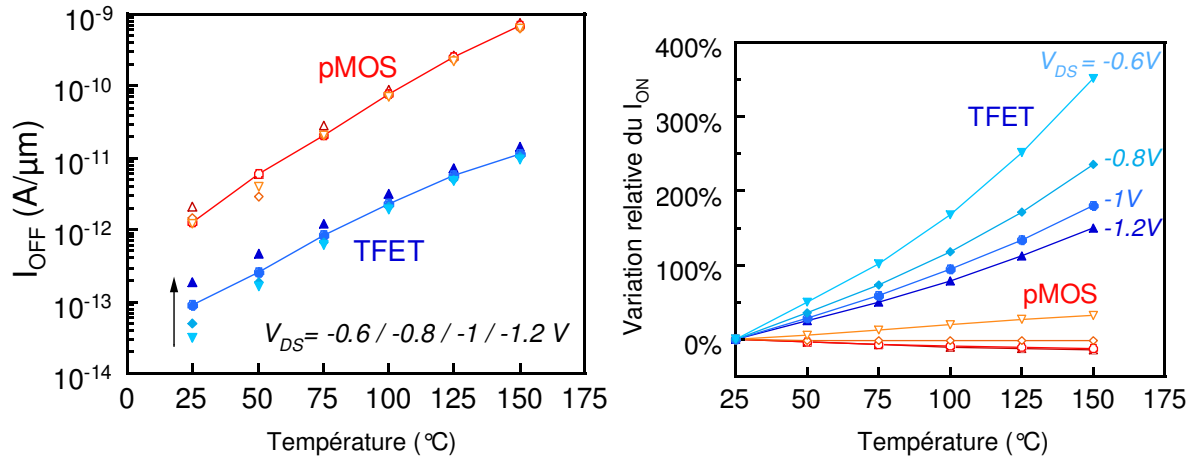


Figure V-4 : (gauche) $I_{OFF}(T)$ pour un TFET à canal p et un MOSFET sur SOI fin ($L_G=350nm$, $L_{esp}=30nm$, $T_{Si}=20nm$, LDD p) pour différentes polarisation V_{SD} [Mayer 08b]. (droite) $I_{ON_relatif}(T)$ pour un TFET à canal p et un MOSFET sur SOI fin pour différentes V_{DS} . $I_{ON_relatif}(T)$ est défini par $I_{ON}(T, V_{GS}=V_{DS})/I_{ON}(T=25°C, V_{GS}=V_{DS})$ [Mayer 08b].

La **Figure V-4** (droite) représente le courant passant I_{ON} relatif du TFET et du MOSFET en fonction de la température. Le courant relatif I_{ON} est défini par $I_{ON}(T)/I_{ON}(T=25^\circ\text{C})$. Le courant I_{ON} du MOSFET diminue avec la température (sauf pour $V_{SD}=-0.6\text{V}$, car le courant à cette polarisation correspond au courant sous le seuil). Pour le TFET, la situation est opposée : le courant augmente de plus de 350% à $V_{DS}=-0.6\text{V}$ (à 150°C). Cela est dû au fait que la transparence tunnel augmente avec la température [Sze]. Lorsque V_{DS} augmente, le gain en température est moins important.

La conduction bipolaire (canal p et n) peut être un inconvénient dans les circuits, puisque cela entraîne des fuites importantes. En introduisant une zone intrinsèque entre la grille et la source, on introduit une dissymétrie supplémentaire (en plus des LDD). Cette architecture correspond à un I-MOS polarisé en mode TFET. La **Figure V-5** (gauche) représente les caractéristiques $I_D(V_{GS})$ d'un n-IMOS polarisé en TFET à canal p, ainsi qu'un « vrai » TFET. L'introduction de la zone intrinsèque permet de réduire le courant parasite d'une décade, sans diminuer le courant I_{ON} . La **Figure V-5** (droite) représente $I_{ON}(L_{IN})$ pour $V_{DS}=-0.6\text{V}$ et -1.2V . La valeur de I_{ON} est la valeur à 50% de la distribution cumulée représentée en insert. Tant que la résistance équivalente introduite avec L_{IN} n'est pas supérieure à la résistance tunnel, L_{IN} n'a pas d'effet sur I_{ON} [Verhulst 07]. La limite se situe vers $L_{IN}=300\text{nm}$. La perte en compacité liée à l'introduction de la zone intrinsèque peut être compensé par l'utilisation d'une architecture en L_s , comme dans le I-MOS [Toh 07].

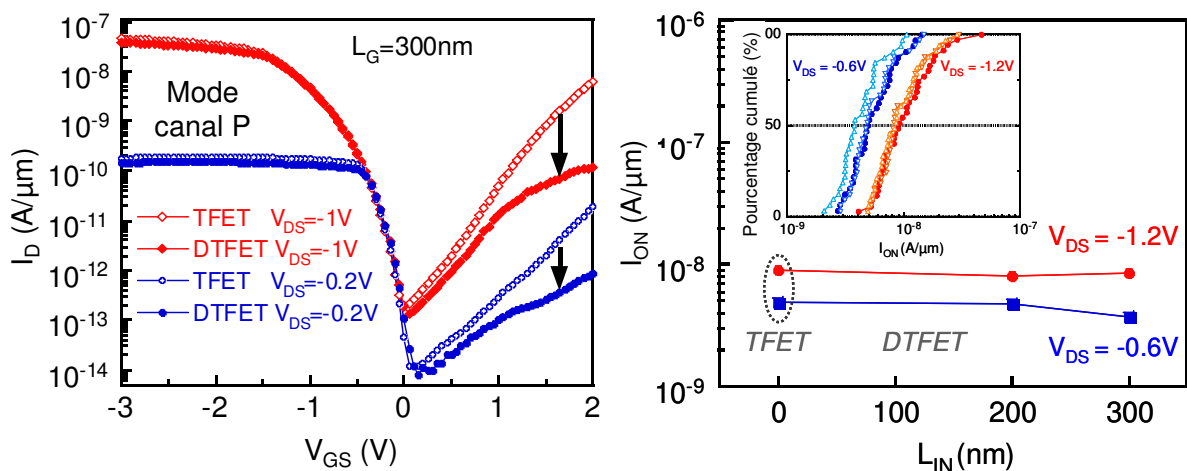


Figure V-5 : (gauche) Caractéristiques $I_D(V_{GS})$ d'un TFET et d'un n-IMOS en mode TFET sur SOI fin ($L_G=300\text{nm}$, $L_{esp}=30\text{nm}$, $T_{Si}=20\text{nm}$, LDD p et $L_{IN}=200\text{nm}$ pour le I-MOS) [Mayer 08b]. (droite) Courant $I_{ON}(L_{IN})$ à $V_{DS}=-0.6\text{V}$ et -1.2V . La valeur du courant est prise à 50% de la distribution cumulée montrée dans l'insert [Mayer 08b].

V.2 Etude des différentes variantes technologiques

L'inconvénient majeur du TFET concerne le faible courant I_{ON} , comparé au MOSFET. Dans cette partie, nous allons comparer l'impact de la taille de l'espaceur et des implantations LDD sur les performances des TFET/I-MOS en mode TFET et notamment sur l'amélioration du courant I_{ON} . La **Figure V-6** (gauche) représente les caractéristiques $I_D(V_{GS/GD}-V_{BiBi})$ des

différents TFET fabriqués. Les courants I_{ON} extraits sont représentés sur la **Figure V-6** (droite). Pour le fonctionnement en canal n, la présence de LDD p permet d'augmenter le courant d'un facteur 8, mais l'impact de l'espaceur n'est pas visible. Pour le fonctionnement en canal p, la meilleure configuration est celle avec un espaceur de 30nm et des LDD p. Avec des LDD p, le passage d'un espaceur de 15nm à 30nm entraîne une hausse du courant d'un facteur 55. Cependant, ces résultats préliminaires ne sont pas évidents à interpréter et doivent être couplés avec des simulations TCAD pour une meilleure interprétation.

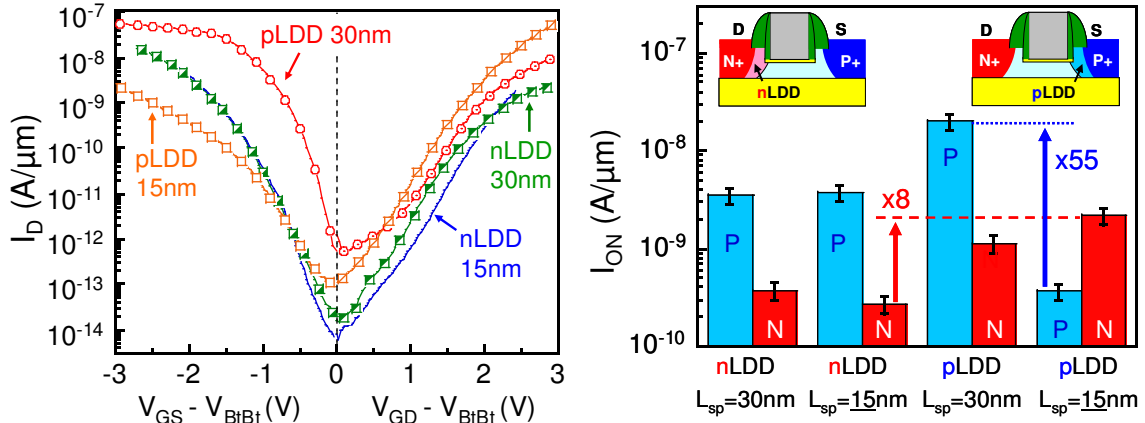


Figure V-6 : (gauche) Caractéristiques $I_D(V_{GS/GD}-V_{BtBt})$ des TFET sur SOI fin pour chaque configuration $L_{esp}=15/30nm$ et LDD n/p à $V_{DS}=\pm 0.8V$ ($L_G=100nm$, $T_{Si}=20nm$) [Mayer 08b]. (droite) Histogrammes de I_{ON} en fonction des différentes configurations, pour le TFET à canal n et p [Mayer 08b].

La barrière tunnel dépend de la bande interdite du semi-conducteur : plus elle est petite et plus l'effet sera important [Sze]. Il a été montré par des simulations TCAD que l'introduction de Ge peut s'avérer bénéfique en terme de I_{ON} [Toh 07b] - [Toh 08]. La **Figure V-7** (gauche) représente les caractéristiques $I_D(V_{GS/GD}-V_{BtBt})$ pour les TFET sur substrats $Si_{1-x}Ge_xOI$ (0-15-30%) et GeOI. Les courants I_{ON} sont extraits sur les histogrammes de la **Figure V-7** (droite). Pour les TFET à canal p, l'introduction de Ge à hauteur de 15 et 30% ne conduit pas à une amélioration significative du courant I_{ON} . Au contraire, la pente sous le seuil est dégradée et I_{OFF} augmenté d'une décade. Cependant l'architecture I-MOS sur GeOI apporte un fort gain de courant (x335), au détriment du I_{OFF} . Mais cette augmentation du I_{OFF} peut être annulée en optimisant l'architecture [Toh 08]. Pour les TFET à canal n, l'introduction de Ge conduit à une augmentation de 30% par rapport au cas SOI. Cependant, on n'observe pas de différence notable entre 15 et 30% de Ge. L'architecture TFET sur GeOI permet d'augmenter le courant d'un facteur 2700 par rapport au cas SOI.

Ainsi, le Ge apparaît comme un matériau prometteur pour l'architecture TFET. L'augmentation du I_{OFF} peut être limitée par une optimisation des jonctions source et drain [Toh 08] et par une amélioration des procédés sur substrat à base de Ge qui ne sont pas encore matures aujourd'hui (voir chapitre III).

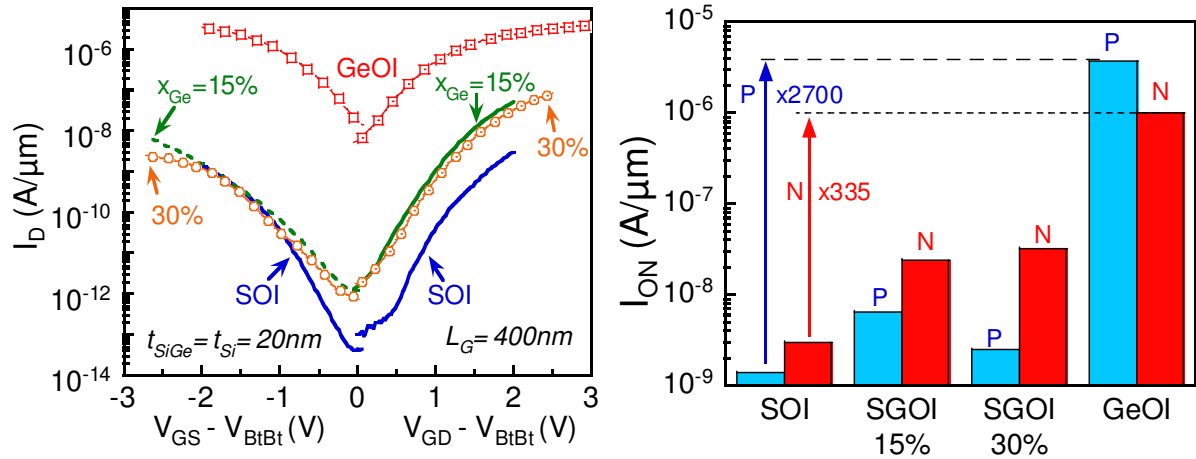


Figure V-7: (gauche) Caractéristiques $I_D(V_{GS/GD}-V_{BtBt})$ des TFET sur $Si_{1-x}Ge_xOI$ (0-15-30%) et GeOI à $V_{DS}=\pm 0.8V$ ($L_G=100nm$, $T_{SiGe}=20nm$, $T_{Ge}=60nm$) [Mayer 08b]. (droite) Histogrammes de I_{ON} en fonction des différentes configurations, pour le TFET à canal n et p [Mayer 08b].

VI Conclusions du chapitre

Dans ce chapitre, nous avons présenté des n et des p-IMOS fonctionnels sur SOI, présentant des pentes sous le seuil de 2mV/dec. Les I-MOS ont été co-intégrés avec des TFET et des CMOS, ce qui a permis de comparer les différents dispositifs. Nous avons étudié le I-MOS, en terme de I_{ON} , I_{OFF} et V_{GT} et vérifié expérimentalement les résultats de simulations obtenus dans le chapitre II. Nous avons ainsi vérifié que le I-MOS opérait comme un MOSFET en régime linéaire à l'état passant. Les I-MOS et les MOSFET produisent ainsi des courants ON comparables (ce qui n'est pas le cas des TFET, dont le courant est plus faible de quelques décades). De plus, le courant I_{OFF} du I-MOS est bien celui d'une diode PiN en inverse. Ainsi, la technologie I-MOS permet de diminuer la tension de seuil sans augmenter le courant I_{OFF} . Le I-MOS répond donc bien à la problématique que nous avons posé en début de thèse. La tension d'alimentation peut être réduite expérimentalement jusqu'à 5V pour des I-MOS utilisant du Si, ce qui représente une limite physique intrinsèque. Cependant, cette limite peut être abaissée jusqu'à 1V en remplaçant le Si par du Ge.

Des problèmes sévères de fiabilité ont aussi été mis en évidence, qui viennent dégrader les performances du I-MOS. En effet, l'ionisation par impact nécessite l'existence de porteurs énergétiques, appelées porteurs chauds qui se piègent dans les oxydes et dégradent rapidement les performances du dispositif. Avant la perte de l'effet transistor 10-20 cycles ON/OFF sont nécessaires, ce qui représente une meilleure fiabilité que les I-MOS testés dans la littérature. Cette amélioration a été reliée à la localisation de l'avalanche côté source. D'autre part, nous avons vu que des I-MOS parasites situés sur les bords du transistor (en largeur) commutent avant le I-MOS principal à cause d'un champ électrique plus important dans les coins (effet 3D). Ces I-MOS parasites augmentent le courant OFF, réduisant ainsi la dynamique de sortie du dispositif. Parmi les différentes variantes, seule la variante des I-MOS sur SOI épais s'est avérée fonctionnelle. Sur SOI fin et $Si_{1-x}Ge_xOI$, les I-MOS présentaient bien des tensions d'avalanche

variant avec la tension de grille, mais la pente sous le seuil était mauvaise ($S \sim 500 \text{ mV/dec}$). Une des raisons pourrait être des effets TFET parasites sur les bords du I-MOS.

Nous avons cependant pu faire fonctionner les I-MOS en mode TFET sur tous les substrats : SOI épais et fin, $\text{Si}_{1-x}\text{Ge}_x\text{OI}$ (0-15-30%) et GeOI. L'utilisation du I-MOS en mode TFET présente un avantage sur le TFET classique : il permet de réduire la conduction bipolaire sans dégrader le courant à l'état passant. Nous avons vérifié que le courant des TFET/ I-MOS en mode TFET ne dépendait pas de la longueur de grille L_G , ce qui permet d'améliorer la variabilité par rapport à une technologie MOSFET classique. Nous avons aussi étudié la sensibilité du TFET par rapport à différentes variantes technologiques. Une des faiblesses du TFET est son faible courant ON. Nous avons montré que l'introduction de Ge est bénéfique aux performances du TFET et que l'utilisation de GeOI augmentait le courant ON d'un facteur 335 et 2700 (pour le canal n et p respectivement). De plus, le TFET ne génère pas de porteurs chauds contrairement au I-MOS, ce qui lui confère une fiabilité équivalente à celle du MOSFET. L'utilisation du I-MOS en mode TFET semble donc prometteuse...

Références

- [Batdorf 60] R. L. Batdorf, A. G. Chynoweth, G. C. Dacey and P. W. Foy “*Uniform Silicon p-n Junctions I Broad area Breakdown*”, Journal of Applied Physics, Vol. 31, N°7, July 1960.
- [Bhulwarka 05] K. K. Bhulwarka, J. Schulze and I. Eisele, “*A simulation Approach to Optimize the Electrical Parameters of a Vertical Tunnel FET*”, IEEE Transactions on electron devices, Vol. 52, N° 7, p. 1541-1547, July 2005.
- [Boucart 07] K. Boucart and A.M. Ionescu, “*Threshold Voltage in Tunnel FETs: physical definition, extraction, scaling and impact on IC design*”, ESSDERC, September 2007, p. 299-302.
- [Cathignol 07] A. Cathignol, A. Cros, S. Harrison, R. Cerutti, P. Coronel, A. Pouydebasque, K. Rocherau, T. Skotnicki and G. Ghibaudo, «*High Thrshold Voltage Matching Performance on Gate-All-Around MOSFET*», Solid-States Electronics, Vol.51, N°11-12, p. 1450-1457, December 2007.
- [Charbuillet 06] C. Charbuillet, S. Monfray, E. Dubois, P. Bouillon, F. Judong and T. Skotnicki, “*High Current Drive in Ultra-Short Impact Ionization MOS (I-MOS) Devices*”, IEDM, p 1-4, December 2006.
- [Choi 05] W. Y. Choi, J. Y. Song, J. D. Lee, Y. J. Park and B. G. Park, “*100 nm n-/p-Channel I-MOS Using a Novel Self-Aligned Structure*”, IEEE Electron Device Letters, Vol. 26, N°4, April 2005.
- [Choi 05b] W.Y. Choi, J.Y. Song, J.D. Lee, Y.J. Park and B.J. Park, “*70-nm Impact-Ionization Metal-Oxide-Semiconductor (I-MOS) Devices Integrated with Tunneling Field-Effect Transistors (TFETs)*”, IEDM, p. 975-978, December 2005.
- [Chynoweth 58] A. G. Chynoweth and G. L. Pearson, “*Effect of Dislocations on Breakdown in Silicon p-n Junctions*”, Journal of Applied Physics, Vol. 29, N°9, July 1958.
- [Faynot 94] O. Faynot, S. Cristoloveanu, P. McLarty, C. Raynaud and J. Gautier, “*A New Parameter Extraction Method for Ultra Thin Oxide SOI MOSFET's*”, IEEE SOI Conference, October 1994.
- [Gopalakrishnan 05] K. Gopalakrishnan, P.B. Griffin, J. Plummer, R. Woo and C. Jungemann “*Impact Ionization MOS (I-MOS) - Part II: Experimental Results*”, IEEE Transactions on Electron Devices, Vol.52, N°1, p. 77-84, January 2005.
- [Gopalakrishnan 05b] K. Gopalakrishnan, R. Woo, R. Shenoy, Y. Jono, P.B. Griffin, and J. Plummer, “*Novel Very High IE Structures Based on the Directed BBHE Mechanism for Ultralow-Power Flash Memories*”, IEEE Electron Device Letters, Vol. 26, N° 3, March 2005.
- [Gopalakrishnan 05c] K. Gopalakrishnan, P.B. Griffin and J. Plummer, “*Impact Ionization MOS (I-MOS) – Part I : Device and circuit Simulations*”, IEEE Transactions on Electron Devices, Vol. 52, N° 1, p.69-76, January 2005.
- [Kane 61] E.O. Kane, “*Theory of Tunneling*”, Journal of Applied Physics, Vol.32, N°1, January 1961.

- [Marinov 07] O. Marinov, M.J. Deen and J.A.J. Tejada, “*Theory of microplasma fluctuations and noise in silicon diode in avalanche breakdown*”, Journal of Applied Physics, Vol. 101, March 2007.
- [Mayer 06] F. Mayer, C. Le Royer, G. Le Carval, L. Clavelier C. Tabone and S. Deleonibus, “*Co-integration of 2mV/dec Subthreshold Slope Impact Ionization MOS (I-MOS) with CMOS*”, ESSDERC, September 2006.
- [Mayer 06b] F. Mayer, C. Le Royer, G. Le Carval, L. Clavelier C. Tabone and S. Deleonibus, “*Static and Dynamic TCAD Analysis of IMOS Performance: From the Single Device to the Circuit*”, IEEE Transaction On Electron Devices, Vol. 53, N°8, p. 1852-1857, August 2006.
- [Mayer 07] F. Mayer, C. Le Royer, G. Le Carval, L. Clavelier, S. Deleonibus, “*Experimental and TCAD Investigation of the two Components of the I-MOS (Impact Ionization MOSFET) Switching*”, IEEE Electron Device Letters, Vol. 28, N°7, p. 619-621, July 2007.
- [Mayer 08 b] F. Mayer, C. Le Royer, J.-F. Damlencourt, K. Romanjek, F. Andrieu, C. Tabone, B. Previtali, and S. Deleonibus, “*Impact of SOI, Si_{1-x}Ge_xOI and GeOI substrates on CMOS compatible Tunnel FET performance*”, submitted IEDM 2008.
- [Mayer 08] F. Mayer, C. Le Royer, D. Blachier, L. Clavelier, and S. Deleonibus, “*« Avalanche Breakdown Due to 3-D Effects in the Impact-Ionization MOS (I-MOS) on SOI: Reliability Issues »*”, IEEE Transaction on Electron Devices, Vol.55, N°6, p. 1373-1378, June 2008.
- [McIntyre 61] R.J. McIntyre, “*Theory of Microplasma Instability in Silicon*”, Journal of Applied Physics, Vol. 32, N°6, p983-995, June 1961.
- [Nguyen 07] Q.T. Nguyen, J.F. Damlencourt, B. Vincent, L. Clavelier, Y. Morand, P. Gentil and S. Cristoloveanu, “*High quality Germanium-On-Insulator wafers with excellent hole mobility*”, Solid-State Electronics, Vol. 51, Issue 9, p. 1172-1179, September 2007.
- [Romanjek 08] K. Romanjek, L. Hutin, C. Le Royer, A. Pouydebasque, M.-A. Jaud, C. Tabone, E. Augendre, L. Sanchez, J.-M. Hartmann, H. Grampeix, V. Mazzocchi, S. Soliveres, R. Truche, L. Clavelier, P. Scheiblin, X. Garros, G. Reimbold, M. Vinet, F. Boulanger and S. Deleonibus, “*High performance 70nm Gate Length Germanium-On-Insulator pMOSFET With High- k /Metal Gate*”, ESSDERC 2008 accepted.
- [Rose 57] D.J. Rose, “*Microplasmas in Silicon*”, Physical Review, Vol. 115, N°2, January 1957.
- [Schenk 93] A. Schenk, “*Rigorous Theory and Simplified Model of the Band to Band Tunneling in Si*”, Solid States Electronics, Vol. 36, N°1, p. 19-34, 1993.
- [Shen 07] C. Shen, J.Q. Lin, E.H. Toh, K.F. Chang, P. Bai, C.H. Heng, G.S. Samudra, Y.C. Yeo, “*On the performance Limit of Impact-Ionization Transistors*”, IEDM, p. 117-120, December 2007.

- [Sze] S.M. Sze “*Physics of Semiconductor Devices*“, 2nd Edition, Ed. John Wiley & Sons, Inc.
- [Toh 07] E. Toh, G.H. Wang, L. Chan, G.Q. Lo, G. Samudra and Y.C. Yeo, “*Strain and Materials Engineering for the I-MOS Transistor with an Elevated Impact-Ionization Region*”, IEEE Transaction on Electron Devices, Vol.54, N°10, p. 2778-2785, October 2007.
- [Toh 07b] E.H. Toh, G.H. Wang, L. Chan, G. Samudra and Y.C. Yeo, “*Device Physics and Guiding Principles for the Design of Double Gate Tunneling Field Effect Transistor with Silicon Germanium Source Heterojunction*”, Applied Physics Letters, Vol.91, N°24, December 2007.
- [Toh 07c] E. Toh, G.H. Wang, L. Chan, G.Q. Lo, D. Sylvester, C.H. Heng, G. Samudra and Y.C. Yeo, “*A complementary I-MOS Technology Featuring SiGe Channel and I-Region for Enhancement of Impact Ionization, Breakdown Voltage, and Performance*”, ESSDERC, p. 295-298, September 2007.
- [Toh 08] E.H. Toh, G.H. Wang, L. Chan, G. Samudra and Y.C. Yeo, “*Device physics and design of germanium tunneling field-effect transistor with source and drain engineering for low power and high performance applications*”, Journal of Applied Physics, Vol. 103, N°10, May 2008.
- [Toh 08b] E.H. Toh, G.H. Wang, L. Chan, G. Samudra and Y.C. Yeo, “*A Double-Spacer I-MOS Transistor With Shallow Source Junction and Lightly Doped Drain for Reduced Operating Voltage and Enhanced Device Performance*”, IEEE Electron Device Letters, Vol.29, N°2, p.189-191, February 2008.
- [Verhulst 07] A.S. Verhulst, W.G. Vanderberghe, K. Maex and G. Groeseneken, “*Tunnel Field effect Transistor without Gate Drain Overlap*”, Applied Physics Letters Vol.91, N°5, July 2007.

Chapitre 5

Modélisations analytique et compacte de I-MOS : Application aux simulations de circuits à base de I-MOS

Le premier objectif de ce chapitre est de développer un modèle analytique pour le courant du I-MOS sur SOI (et de manière générale sur xOI) en fonction des données géométriques et des polarisations appliquées. Ce modèle est ensuite formulé de manière compacte afin d'être intégré dans un simulateur de circuit de type SPICE. Le second objectif de ce chapitre est d'utiliser ce modèle afin d'évaluer le comportement de l'architecture I-MOS dans un environnement circuit à travers l'étude des performances de l'inverseur I-MOS, du miroir de courant et des portes logiques NAND et NOR adaptées aux spécificités du I-MOS.

Sommaire du Chapitre 5

I	Modélisation analytique	139
I.1	Contexte et état de l'art	139
I.2	Définition de la structure à modéliser	139
I.3	Principe générale de la modélisation	140
I.4	Potentiel de surface	141
I.4.a	Capacité MOS 1D	141
I.4.b	Modélisation	141
I.4.c	Approximation et résultats	142
I.5	Champ électrique latéral	143
I.5.a	Référence du potentiel	143
I.5.b	Zone I : « partie MOS »	144
I.5.c	Zone II : zone intrinsèque	145
I.5.d	Zone III : zone de charge d'espace côté source	147
I.5.e	Conditions limites et raccord	148
I.5.f	Champ électrique E_x : comparaison avec la TCAD	150
I.5.g	Intégrale d'ionisation	151
I.5.h	Tension de seuil et domaine de validité	152
I.6	Transport dans le I-MOS	155
I.6.a	Etat OFF	155
I.6.b	Etat ON	155
I.6.c	Comparaison avec le dispositif unitaire	157
I.6.d	Implémentation en Verilog-A	159
I.6.e	Modélisation des capacités	160
II	Simulation circuit	161
II.1	Marges de bruit statique et dynamique	161
II.2	Inverseur	162
II.3	Miroir de courant	164
II.4	Porte NAND	166
II.5	Porte NOR	169
III	Conclusions du chapitre	170

I Modélisation analytique

I.1 Contexte et état de l'art

Les performances du dispositif isolé ne suffisent pas pour appréhender l'intérêt de la technologie I-MOS. Il est nécessaire d'étudier le comportement du dispositif dans un environnement circuit : soit un circuit purement composé de CI-MOS soit un circuit mixte CMOS/CI-MOS. Pour cela, il est nécessaire de disposer d'une modélisation analytique du dispositif, puis une description compacte de ce modèle pour effectuer des simulations de circuit à l'aide d'outils comme eldo [Mentor].

Avant 2007, aucun modèle de I-MOS n'existait. Une première approche a été proposée par [Shen 07] basé sur un modèle numérique, qui ne semblait pas en bon accord avec la TCAD. Cette approche a été améliorée par [Lin 08] sur la base d'un modèle tabulé. L'inconvénient majeur de ce type de modèle est qu'il n'est pas prédictif et que toutes les simulations numériques nécessaire à la tabulation doivent être effectuées au préalable. La suite de ce chapitre se propose donc de construire un premier modèle analytique et compact pour le I-MOS [Mayer 07].

I.2 Définition de la structure à modéliser

Nous allons nous intéresser à la modélisation du p-IMOS dans le reste de ce chapitre. Les équations obtenues sont évidemment applicables au n-IMOS moyennant quelques changements de signe. La structure considérée est décrite dans la **Figure I-1**. Il s'agit d'une structure SOI, dont l'épaisseur de l'oxyde enterré est supposée infinie. Evidemment, d'autres matériaux « On Insulator » peuvent être utilisés, il suffit alors de changer les constantes matériaux...

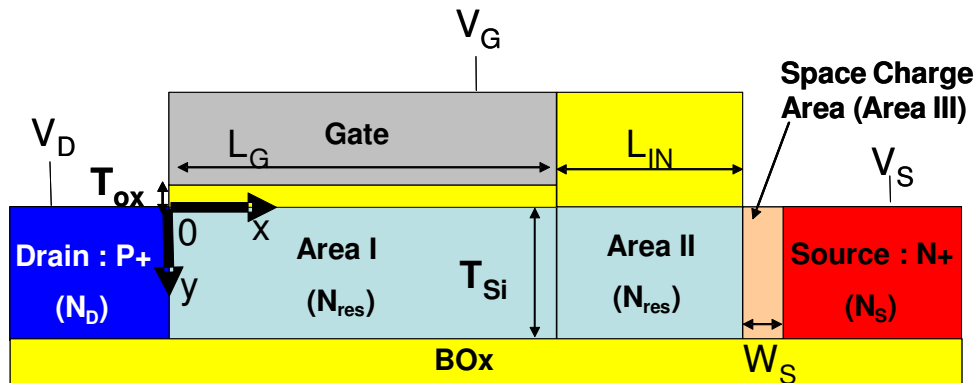


Figure I-1 : Structure du p-IMOS utilisé pour établir le modèle. Les variables du modèle sont définies, ainsi que le référentiel (x, y) . On définit aussi les trois zones du I-MOS à modéliser [Mayer 07].

Les paramètres géométriques pris en compte sont : la longueur de grille (L_G), la longueur de zone intrinsèque (L_{IN}), l'épaisseur de film de Si (T_{Si}), l'épaisseur de l'oxyde de grille (T_{ox}).

Les paramètres matériaux pris en compte sont : le travail de sortie du matériau de grille (Φ_M), le dopage de la zone intrinsèque (N_{res}), le dopage de la source (N_S), supposé identique à celui du drain (N_D). On appellera V_D , V_S et V_G respectivement les potentiels de drain, de source

et de grille. W_s représente la zone de désertion de la source. Les axes X/Y ainsi que l'origine du repère sont décrits sur la **Figure I-1**. La modélisation sera effectuée en trois parties, définies par :

- zone 1 : « partie MOS » du I-MOS
- zone 2 : zone intrinsèque
- zone 3 : zone de charge d'espace du I-MOS.

I.3 Principe générale de la modélisation

L'objectif de ce paragraphe est de présenter les grandes lignes de la modélisation, représentées schématiquement sur la **Figure I-2**. Notre modélisation ressemble à l'approche utilisée pour les LDMOS [Roig 06]. Le I-MOS repose sur le phénomène d'ionisation par impact. Dans une modélisation « Dérive Diffusion », les coefficients d'ionisation par impact dépendent uniquement du champ électrique. La première étape consiste donc à calculer le champ électrique dans la structure, en fonction des polarisations appliquées et de la géométrie du dispositif. Ce champ électrique est ensuite introduit dans l'intégrale d'ionisation, notée M . On prendra comme référence de tension la polarisation du drain. On utilisera donc V_{SD} et V_{GD} .

Du résultat de cette intégrale dépend l'état du I-MOS. En effet, contrairement à un MOSFET classique, la tension de seuil n'est pas définie par la valeur du potentiel de surface [Sze] mais par l'intégrale d'ionisation M [Mayer 07]. Si $M < 1$, le dispositif est à l'état bloqué, le courant est celui d'une diode polarisée en inverse. Si $M = 1$, le dispositif est en avalanche. Dans le I-MOS, il existe deux tensions de seuil : on parlera de V_{BR} dans le cas d'une caractéristique $I_D(V_{SD})$ et V_{GT} dans le cas d'une caractéristique $I_D(V_{GD})$. Si $M > 1$, le dispositif est dans l'état passant, le courant est alors limité par les résistances du dispositif (canal+accès).

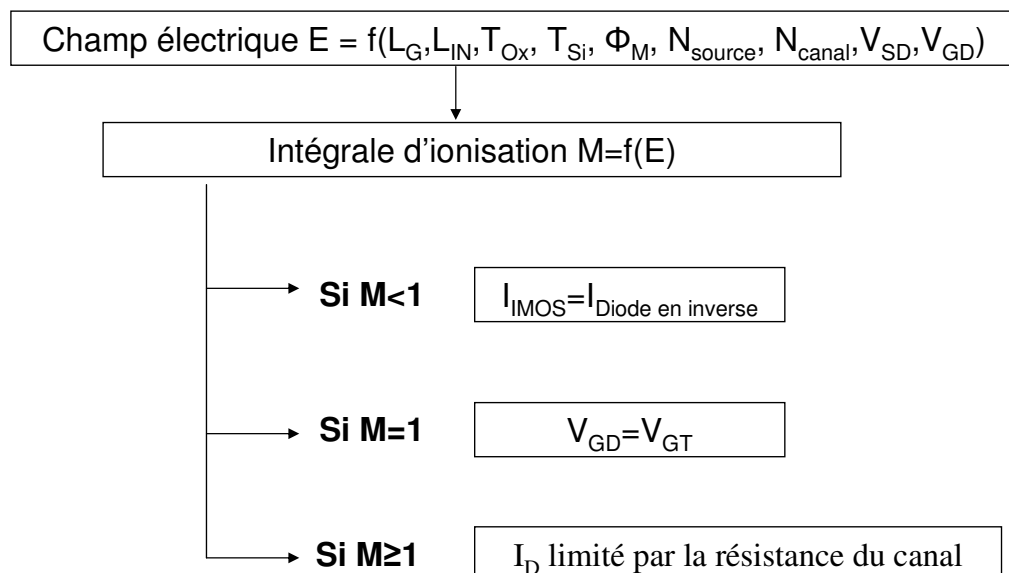


Figure I-2 : Principales étapes de la modélisation électrique du I-MOS.

I.4 Potentiel de surface

I.4.a Capacité MOS 1D

Basiquement, le champ électrique dans la structure résulte de la compétition entre la capacité de la diode PiN (horizontale) et celle de la structure Métal-Oxide-Semiconducteur (verticale). Dans un premier temps, nous allons considérer dans notre modèle que la capacité sous la grille est uniforme, et que la grille contrôle alors parfaitement le potentiel dans le canal. La modélisation est alors 1D. En intégrant une fois l'équation de Poisson et en utilisant le théorème de Gauss, on obtient alors l'équation (I-1) qui donne la charge dans le semiconducteur Q_{SC} en fonction du potentiel de surface ψ_s . On peut alors relier les potentiels de surface et de grille par l'expression (I-2).

$$Q_{SC}(\psi_s) = \frac{-\psi_s}{|\psi_s|} \cdot \sqrt{2 \cdot \epsilon_{Si} \cdot \epsilon_0 \cdot k \cdot T \cdot N_{res}} \cdot \left[\left(\exp\left(\frac{\psi_s}{ut}\right) - \frac{\psi_s}{ut} - 1 \right) \cdot \exp\left(\frac{-2 \cdot \Phi_F - V}{ut}\right) + \exp\left(\frac{-\psi_s}{ut}\right) + \frac{\psi_s}{ut} - 1 \right]^{\frac{1}{2}} \quad (I-1)$$

ϵ_{Si} est la permittivité relative du Si, ϵ_0 est la permittivité du vide, k la constante de Boltzmann, T la température du réseau, N_{res} le niveau de dopage de la zone intrinsèque, Φ_F le niveau de fermi, V le potentiel dans le canal et « ut » le potentiel thermique.

$$V_{GD} = \frac{-Q_{SC}(\psi_s)}{C_{ox}} + \psi_s + V + \Delta\Phi_{M,Si} \quad (I-2)$$

C_{ox} est la capacité de l'oxyde de grille et $\Delta\Phi_{M,Si}$ est la différence entre le travail de sortie du matériau de grille et du silicium.

Cette formulation est valable pour tous les régimes : accumulation, inversion faible, inversion forte. Cependant, cette expression n'est pas inversable analytiquement. Or en modélisation, nous avons besoin de $\psi_s(V_{GD})$ et pas de $V_{GD}(\psi_s)$.

I.4.b Modélisation

Il est possible d'expliciter l'équation (I-1) dans chaque régime de fonctionnement du semiconducteur [Langevelde 00], c'est dire en inversion faible (et désertion), en inversion forte et en accumulation. A partir des équations (I-3) et (I-4) qui décrivent le potentiel de surface en régime d'inversion faible et forte, il est possible de donner une expression explicite valable dans ces deux régimes [Langevelde 00]. Cependant, d'un point de vue mathématique, il est difficile d'obtenir des fonctions similaires avec le régime d'accumulation à cause du changement de signe du potentiel de surface entre le régime d'accumulation et l'inversion faible (et désertion).

$$\psi_{S, inversion faible} = \left(\sqrt{V_{GD} - \Delta\Phi_{M,Si} + V + \frac{\gamma^2}{4}} - \frac{\gamma}{2} \right)^2 \quad \text{avec} \quad \gamma = \frac{\sqrt{2 \cdot q \cdot \epsilon_{Si} \cdot \epsilon_0 \cdot N_{res}}}{C_{ox}} \quad (I-3)$$

$$\psi_{S, inversion\ forte} = 2.\Phi_F + V + ut.\ln\left[\left(\frac{V_{GD} - \Delta\Phi_{M, Si} - 2.\Phi_F}{\gamma.\sqrt{ut}}\right)^2 + \theta\right] \quad (I-4)$$

La valeur de θ ne modifie pas significativement le potentiel en inversion forte, mais sert à obtenir un raccord continu [Gildenblat 06]-[Wu 04] (ici, nous prendrons $\theta=20$).

Pour obtenir un modèle compact, l'expression $\psi_s(V_{GD})$ doit être continue et de dérivée continue. Comme nous venons de le voir, une approche directe n'est pas possible pour obtenir une expression valable dans tous les régimes. Notre solution consiste dans un premier temps à simplifier le régime d'inversion faible (I-3) pour obtenir l'expression (I-5). Cette simplification n'est valable que pour de faibles dopages de canal ($<10^{16}\text{cm}^{-3}$), ce qui est le cas des structures I-MOS (le semiconducteur sous l'oxyde de grille est intrinsèque)

$$\psi_{S, inversion\ faible} = V_{GD} - \Delta\Phi_{M, Si} + V \quad (I-5)$$

On raccorde ensuite les régimes d'inversion faible et forte à l'aide de fonctions tangentes hyperboliques, logarithmiques et/ou exponentielles. On obtient alors la fonction suivante (I-6), dérivable et de dérivée continue. Le facteur 4 au dénominateur et dans les exponentielles permet de régler mathématiquement la vitesse de transition entre les deux modes (inversion faible et forte).

$$F_{raccord\ 1}(V, V_{GD}) = -\frac{1}{4}\ln\left[\exp(-4.\psi_{S, inversion\ forte}(V, V_{GD})) + \exp(-4.\psi_{S, inversion\ faible}(V, V_{GD}))\right] \quad (I-6)$$

Si on admet que l'accumulation est identique à l'inversion forte, au type de porteur près, on peut alors obtenir une fonction décrivant l'inversion faible et l'accumulation.

$$F_{raccord\ 2}(V, V_{GD}) = -F_{raccord\ 1}(V, V - V_{GD} + 2.(\Phi_F + \Delta\Phi_{Mi})) + 2.\Phi_F + V \quad (I-7)$$

En raccordant alors les deux fonctions grâce à l'expression (I-8), on obtient une bonne approximation du potentiel de surface, pour de faibles dopages de canal ($<10^{16}\text{cm}^{-3}$).

$$\begin{aligned} \psi_s(V_{GD}) = & \frac{\tanh(-2.F_{raccord\ 2}(V, V_{GD}) + 1)}{2} . F_{raccord\ 2}(V, V_{GD}) \\ & + \frac{\tanh(2.F_{raccord\ 1}(V, V_{GD}) + 1)}{2} . F_{raccord\ 1}(V, V_{GD}) \end{aligned} \quad (I-8)$$

I.4.c Approximation et résultats

L'expression (I-8) de ψ_s décrite dans le paragraphe précédent s'applique dans le cas 1D. Dans notre cas, le champ électrique pénètre sous la grille et entraîne la désertion des porteurs. De ce fait, il faut tenir compte du potentiel V dans le canal. Comme il dépend normalement de la position dans le canal et qu'il ne peut pas être calculé a priori, nous prendrons une valeur moyenne pour V comme paramètre d'ajustement. De même, pour prendre en compte le fait que

le canal est en partie déserté à cause du champ électrique latéral, nous remplacerons le terme Φ_F par un $\Phi_{F \text{ effectif}}$. La **Figure I-3** compare alors les expressions (I-8) et (I-2). Nous obtenons en bon accord entre les deux formules, sauf pour les transitions entre les différents régimes. Les valeurs de V et $\Phi_{F \text{ effectif}}$ sont obtenues en comparant les dynamiques des courbes $V_{GT}(V_{DS})$ obtenues par notre modèle et la TCAD (voir **Figure I-11** dans le chapitre I.5.h). On choisira par la suite $\Phi_{F \text{ effectif}}=2.45V$ et $V=2V$. Le choix de $V \neq 0V$ implique qu'il faut corriger la polarisation V_{SD} appliquée en $V_{SD}+V$ pour ne pas impacter le champ électrique dans la zone intrinsèque. Le champ électrique au drain sera surestimé, cependant l'intégrale d'ionisation est calculée entre $L_G/2$ et L_G+L_{IN} et ne fait donc pas intervenir le champ électrique côté drain.

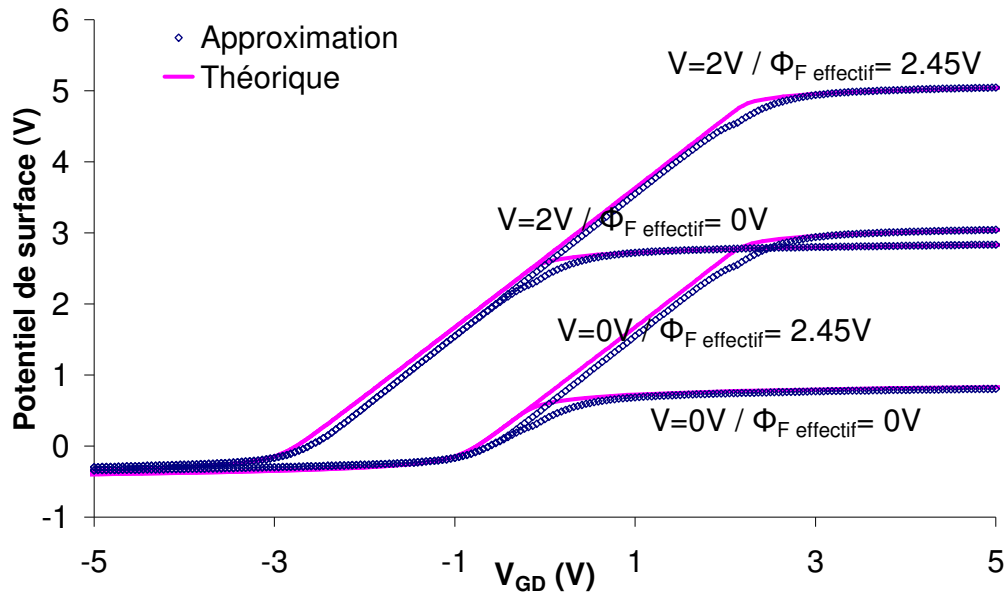


Figure I-3 : Comparaison entre les expressions : approximation (I-8) et théorie (I-2) du potentiel de surface ψ_s pour différentes valeurs d'ajustement V et $\Phi_{F \text{ effectif}}$

I.5 Champ électrique latéral

Dans cette partie, nous allons établir l'expression du champ électrique et du potentiel dans la structure à l'état OFF, c'est à dire pour $V_{GD} < V_{GT}$ et $V_{DS} < V_{BR}$.

I.5.a Référence du potentiel

Avant de commencer la modélisation, il faut choisir une référence pour le potentiel. La Figure I-4 représente le diagramme de bande d'un empilement MOS, avec le semiconducteur dopé P. En définissant ψ_0 comme $\psi_s - \Phi_F$, on s'affranchit du dopage canal. On peut alors réécrire la relation (I-2) qui relie les différentes grandeurs physiques du diagramme de bande et on obtient l'expression (I-9).

$$V_{GD} - \Delta\Phi_{Mi} = \psi_0 + V_{ox} \quad \text{où} \quad \Delta\Phi_{Mi} = \Phi_M - \Phi_{Si_Intrinsèque} = \Phi_{M,Si} + \Phi_F \quad (I-9)$$

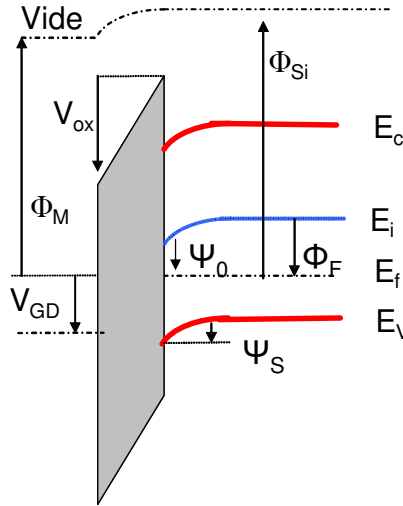


Figure I-4 : Diagramme de bande d'un empilement métal oxyde semiconducteur (MOS), avec un semiconducteur dopé P.

I.5.b Zone I : « partie MOS »

Nous allons maintenant aborder la partie modélisation du I-MOS a proprement dit, en commençant par la partie MOS du I-MOS. Cette première zone est définie pour $0 \leq x < L_G \cap 0 \leq y < T_{Si}$. A fin de prendre en compte le confinement du champ électrique, nous allons résoudre l'équation de Poisson en 2D. On suppose qu'il n'y a pas de charge dans le canal, puisque $V_{GD} < V_{GT}$ et $V_{DS} < V_{BR}$ et on néglige le dopage du canal. On obtient alors l'expression (I-10), où $\Psi_I(x,y)$ représente le potentiel dans la zone I et p la densité de trous.

$$\frac{\partial^2 \Psi_I(x, y)}{\partial x^2} + \frac{\partial^2 \Psi_I(x, y)}{\partial y^2} = \frac{-q \cdot (p - N_{res})}{\epsilon_{Si} \cdot \epsilon_0} \approx 0 \quad (I-10)$$

Pour résoudre cette équation, il y a deux méthodes. La première consiste à écrire le potentiel sous la forme d'une série de Fourier et de déterminer les coefficients en injectant la série dans l'équation [Liang 04]-[Frank 98]. La deuxième consiste à découpler les dépendances en x et y [Suzuki 93]. C'est cette deuxième approche, nommée approximation parabolique que nous utiliserons. Le potentiel s'écrit alors sous la forme (I-11), où $A_I(x)$ et $B_I(x)$ sont des fonctions à déterminer. Nous avons vérifié par ailleurs que cette approximation est justifiée.

$$\Psi_I(x, y) = \psi_{0,I}(x) + A_I(x) \cdot y + B_I(x) \cdot y^2 \quad (I-11)$$

Pour déterminer les deux fonctions inconnues, nous utiliserons les conditions limites suivantes :

- continuité du vecteur vertical de déplacement en $y=0$: (I-12).
- continuité du vecteur vertical de déplacement en $y=T_{Si}$, en supposant une épaisseur d'oxyde enterré infinie : (I-13).

$$-\frac{\partial \Psi_I(x, y)}{\partial y} \Big|_{y=0} = -A_I(x) = \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{\psi_{0,I} - V_{GD} + \Delta \Phi_{Mi}}{T_{ox}} \quad (I-12)$$

$$-\frac{\partial \Psi_I(x, y)}{\partial y} \Big|_{y=T_{Si}} = -A_I(x) - 2.T_{Si}.B_I(x) = 0 \quad (\text{I-13})$$

L'équation (I-11), devient alors (I-14), où $f(y)=y-y^2/(2.T_{Si})$.

$$\Psi_I(x, y) = \psi_{0,I}(x) \cdot \left[1 + \frac{\epsilon_{ox}}{\epsilon_{Si} \cdot T_{ox}} \cdot f(y) \right] + \frac{\epsilon_{ox}}{\epsilon_{Si} \cdot T_{ox}} \cdot f(y) \cdot (-V_{GD} + \Delta\Phi_{Mi}) \quad (\text{I-14})$$

En injectant (I-14) dans l'équation (I-10), on obtient alors l'équation différentielle (I-15), dans laquelle intervient encore la fonction $f(y)$.

$$\frac{\partial^2 \psi_{0,I}(x)}{\partial x^2} \cdot \left[1 + \frac{\epsilon_{ox}}{\epsilon_{Si} \cdot T_{ox}} \cdot f(y) \right] + \psi_{0,I}(x) \cdot \left[\frac{-\epsilon_{ox}}{\epsilon_{Si} \cdot T_{ox} \cdot T_{Si}} \right] - \frac{\epsilon_{ox}}{\epsilon_{Si} \cdot T_{ox} \cdot T_{Si}} \cdot (-V_{GD} + \Delta\Phi_{Mi}) = 0 \quad (\text{I-15})$$

Les solutions dans les différentes zones doivent maintenant être raccordées. Or, la forme de cette équation ne permet pas de raccorder les fonctions pour toute valeur de y . Nous allons donc nous placer en $y=0$ ($\rightarrow f(0)=0$), où le champ électrique est le plus élevé. Cette hypothèse implique aussi que le trajet des porteurs est horizontal, ce qui n'est pas tout à fait correct, la conduction étant volumique dans la zone intrinsèque du I-MOS (voir chapitre IV). On résout ensuite l'équation résultante et on obtient la solution (I-16) pour la zone I, où λ est une dimension caractéristique donnée par (I-17). On retrouve la même expression que pour un MOSFET Double Grille [Suzuki 93], puisque la méthodologie utilisée est la même.

$$\psi_{0,I}(x) = A(V_{SD}, V_{GD}) \cdot \exp\left(\frac{x}{\lambda}\right) + B(V_{SD}, V_{GD}) \cdot \exp\left(-\frac{x}{\lambda}\right) + K(V_{GD}) \quad (\text{I-16})$$

$$\lambda = \sqrt{\frac{\epsilon_{Si} \cdot T_{ox} \cdot T_{Si}}{\epsilon_{ox}}} \quad (\text{I-17})$$

Les fonction $A(V_{SD}, V_{GD})$ & $B(V_{SD}, V_{GD})$ seront déterminées dans le paragraphe I.5.e par le raccord des solutions dans les zones I, II et III. Concernant la fonction $K(V_{GD})$, si on résout les équations précédentes, on obtient $K(V_{GD})=V_{GD}-\Delta\Phi_{Mi}$. Cependant, ce terme ne décrit que le régime en inversion faible. Pour tenir compte des autres régimes et ainsi « limiter » le potentiel de surface, on pose donc $K(V_{GD})=\psi_s(V_{GD})$, avec $\psi_s(V_{GD})$ tel que décrit dans l'équation (I-8).

I.5.c Zone II : zone intrinsèque

Si on veut traiter la zone II en 2D comme précédemment, on se heurte au problème de la condition limite en $y=0$. La problématique consiste à définir les lignes de champ dans l'oxyde. Une approche par transformées conformes ne parvient pas à donner une expression analytique. La solution numérique permet cependant de constater qu'une approximation par un polynôme du troisième degré permet de correctement décrire le potentiel. La TCAD confirme ce résultat. Notre approche consiste alors à définir une électrode virtuelle en $y=-T_{ox}$ avec un potentiel dépendant de x (la structure I-MOS à modéliser est rappelée sur la **Figure I-5**). La fonction est

construite de telle façon que le potentiel varie entre V_{GD} en $x=L_G$ et V_{SD} en $x=L_G+L_{IN}$ et que le champ électrique en $x=L_G$ et en $x=L_G+L_{IN}$ soit égal respectivement à la valeur moyenne dans la zone intrinsèque et à la valeur en bord de la zone de charge d'espace côté source.

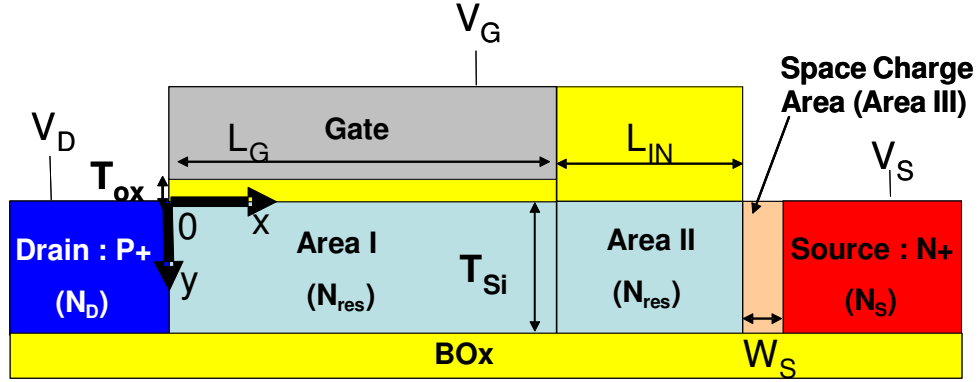


Figure I-5 : Structure du p-IMOS utilisé pour établir le modèle. Les variables du modèle sont définies, ainsi que le référentiel (x, y). On définit aussi les trois zones du I-MOS à modéliser [Mayer 07].

En nous appuyant sur les simulations TCAD, nous avons pu affiner notre fonction en modulant les valeurs des champs électriques utilisés par les fonctions $h_1(L_{IN})$ et $h_2(L_{IN})$ et en introduisant le facteur p_1 (fixé à 0.99). On obtient ainsi la fonction $P(x)$, décrit ci-dessous (équation (I-18)) :

$$\begin{aligned}
 P(x) &= p_1 \cdot (CoeffA \cdot (x - L_G)^3 + CoeffB \cdot (x - L_G)^2 + E_1 \cdot (x - L_G) + \psi_s(V_{GD})) \\
 E_1 &= \frac{V_{SD} - \psi_s(V_{GD})}{L_{IN}} \cdot h_1(L_{IN}) \\
 E_2 &= \frac{q \cdot N_s \cdot W_s}{\epsilon_{Si} \cdot \epsilon_0} \cdot h_2(L_{IN}) \\
 CoeffA &= \frac{E_1 + E_2}{L_{IN}^2} + \frac{2 \cdot (\psi_s(V_{GD}) - V_{SD})}{L_{IN}^3} \\
 CoeffB &= \frac{-(2 \cdot E_1 + E_2)}{L_{IN}^2} - \frac{3 \cdot (\psi_s(V_{GD}) - V_{SD})}{L_{IN}^3}
 \end{aligned} \tag{I-18}$$

Les fonctions empiriques $h_1(L_{IN})$ et $h_2(L_{IN})$ sont définies par les relations (I-19) où L_{IN} est défini en mètre. Les fonctions h_1 et h_2 sont sans unités.

$$\begin{aligned}
 h_1(L_{IN}) &= -2 \cdot 10^{11} \cdot L_{IN}^2 - 1.68 \cdot 10^5 \cdot L_{IN} + 1.31 \\
 h_2(L_{IN}) &= 1.66 \cdot 10^{11} \cdot L_{IN}^2 + 4.30 \cdot 10^5 \cdot L_{IN} + 1.01
 \end{aligned} \tag{I-19}$$

On peut maintenant appliquer la même méthodologie que précédemment dans la zone I. On obtient alors le potentiel dans la zone II, décrit par l'expression (I-20).

$$\psi_{0,II}(x) = C(V_{SD}, V_{GD}) \cdot \exp\left(\frac{x}{\lambda}\right) + D(V_{SD}, V_{GD}) \cdot \exp\left(\frac{-x}{\lambda}\right) + Solpar(x) \tag{I-20}$$

La fonction $Solpart(x)$ est définie en (I-21) et dérive de la fonction $P(x)$. Les fonctions $C(V_{SD}, V_{GD})$ et $D(V_{SD}, V_{GD})$ seront déterminées plus tard.

$$\begin{aligned} Solpart(x) &= 0.99 \cdot (CoeffA \cdot (x - L_G)^3 + CoeffB \cdot (x - L_G)^2 + CoeffC \cdot (x - L_G) + CoeffD) \\ CoeffC &= (E_1 - 6 \cdot CoeffA \cdot \lambda^2) \\ CoeffD &= 2 \cdot \lambda^2 \cdot CoeffA + \psi_s(V_{GD}) \end{aligned} \quad (I-21)$$

I.5.d Zone III : zone de charge d'espace côté source

Il reste maintenant à modéliser le potentiel dans la zone intrinsèque côté source, de longueur W_s . Pour cela, nous allons considérer que la zone de charge d'espace source dans le I-MOS est la même que celle d'une diode PiN de longueur de zone intrinsèque L_{IN} (voir **Figure I-6**).

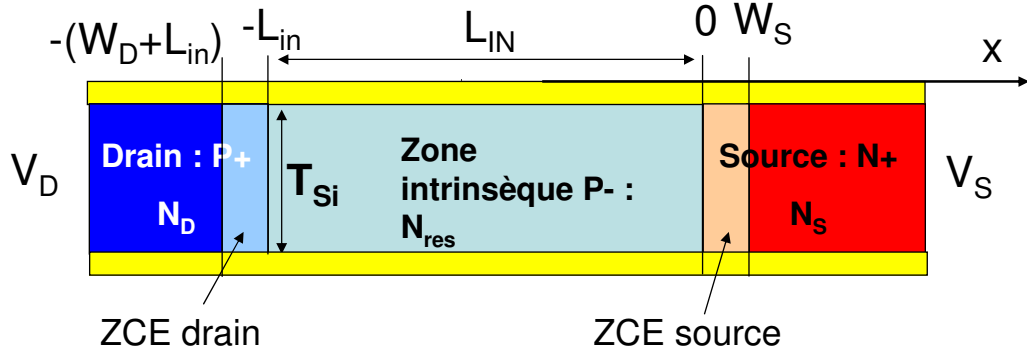


Figure I-6 : Structure de la diode PiN servant à calculer la zone de charge d'espace W_s . On suppose que la zone intrinsèque est légèrement dopée P.

Avec les notations introduites sur la **Figure I-6**, on obtient les différentes expressions pour le champ électrique (I-22) : E_n dans la zone de charge d'espace du drain, E_{p2} dans la zone intrinsèque et E_{p1} dans la zone de charge d'espace de la source.

$$\begin{aligned} E_n(x) &= \frac{q \cdot N_s}{\epsilon_{Si} \epsilon_0} \cdot (x - W_s) \\ E_{p2}(x) &= \frac{-q \cdot N_{res}}{\epsilon_{Si} \epsilon_0} \cdot x - \frac{q \cdot N_s}{\epsilon_{Si} \epsilon_0} \cdot W_s \\ E_{p1}(x) &= \frac{-q \cdot N_s}{\epsilon_{Si} \epsilon_0} \cdot (x + L_{IN} + W_D) \end{aligned} \quad (I-22)$$

On suppose en outre que $V_{SD} > 0$ (la diode est polarisée en inverse). La relation d'électroneutralité $N_{res} \cdot L_{IN} + N_D \cdot W_D = N_S \cdot W_s$ conduit alors à la relation $W_D \sim W_s$ en supposant $N_D = N_S$ et $N_{res} \ll N_S$. Devant les tensions V_{SD} appliquées, on néglige le potentiel de jonction. En résolvant finalement l'équation (I-23), on obtient W_s (I-24). Si $L_{IN} = 0$, on retrouve bien l'équation d'une diode PN.

$$V_{SD} = \int_{-(W_D+L_{IN})}^{-L_{IN}} E_{p1}(x) + \int_{-L_{IN}}^0 E_{p2}(x) + \int_0^{W_S} E_n(x) \quad (\text{I-23})$$

$$W_S = \frac{1}{2} \cdot \left(\sqrt{L_{IN}^2 + \frac{4 \cdot V_{SD} \cdot \epsilon_{Si} \epsilon_0}{q \cdot N_S}} - L_{IN} \right) \quad (\text{I-24})$$

Pour obtenir le potentiel dans la zone III, on résout l'équation de poisson en 1D et on obtient l'expression (I-25) pour le potentiel dans la zone III. Comme précédemment, les fonctions $E(V_{SD}, V_{GD})$ et $F(V_{SD}, V_{GD})$ seront déterminées par le raccord des solutions.

$$\psi_{0,III}(x) = \frac{-q \cdot N_S \cdot x^2}{2 \cdot \epsilon_{Si} \epsilon_0} + E(V_{SD}, V_{GD}) \cdot x + F(V_{SD}, V_{GD}) \quad (\text{I-25})$$

I.5.e Conditions limites et raccord

Maintenant que nous avons établi les expressions du potentiel en $y=0$ dans chacune des trois zones, nous allons les raccorder pour déterminer les six fonctions inconnues A, B, C, D, E & $F(V_{SD}, V_{GD})$. Pour cela, les six conditions suivantes (I-26) sont nécessaires (voir **Figure I-7**). Ces conditions assurent que notre solution finale sera de classe C_2 , c'est-à-dire continue et de dérivée continue. Les potentiels de jonction $\Phi_{bi,D}$ et $\Phi_{bi,S}$ sont négligés devant V_{SD} .

$$\begin{aligned} \psi_{0,I}(0) &= V_D - \phi_{bi,D} - \phi_F \\ \psi_{0,I}(x = L_G) &= \psi_{0,II}(x = L_G) \\ \frac{\partial \psi_{0,I}(x)}{\partial x} \Big|_{x=L_G} &= \frac{\partial \psi_{0,II}(x)}{\partial x} \Big|_{x=L_G} \\ \frac{\partial \psi_{0,II}(x)}{\partial x} \Big|_{x=L_G+L_{IN}} &= \frac{\partial \psi_{0,III}(x)}{\partial x} \Big|_{x=L_G+L_{IN}} \\ \psi_{0,II}(x = L_G + L_{IN}) &= \psi_{0,III}(x = L_G + L_{IN}) \\ \psi_{0,III}(x = L_G + L_{IN} + W_S) &= V_S + \phi_{bi,S} - \phi_F \end{aligned} \quad (\text{I-26})$$

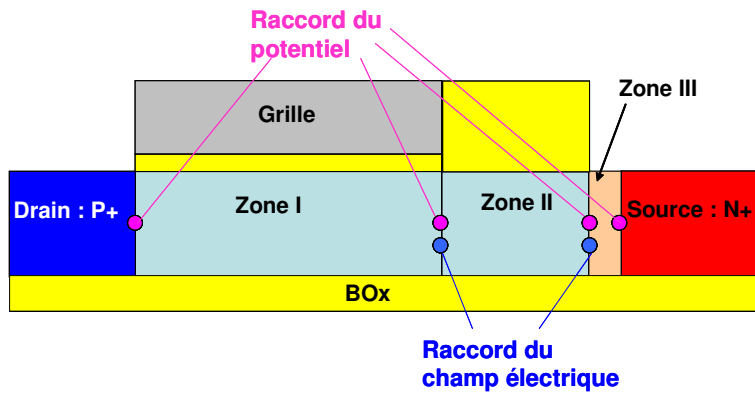


Figure I-7 : Structure d'un p-IMOS servant à définir les points de raccord de la solution.

Pour résoudre ce système (I-26) de six équations à six inconnues, nous allons l'écrire sous forme matricielle (I-27), où les fonctions g_0 à g_5 sont définies par (I-28).

$$\begin{bmatrix}
1 & 1 & 0 & 0 & 0 & 0 \\
\exp\left(\frac{L_G}{\lambda}\right) & \exp\left(\frac{-L_G}{\lambda}\right) & -\exp\left(\frac{L_G}{\lambda}\right) & -\exp\left(\frac{-L_G}{\lambda}\right) & 0 & 0 \\
\exp\left(\frac{L_G}{\lambda}\right) \cdot \frac{1}{\lambda} & \exp\left(\frac{-L_G}{\lambda}\right) \cdot \frac{-1}{\lambda} & -\exp\left(\frac{L_G}{\lambda}\right) \cdot \frac{1}{\lambda} & \exp\left(\frac{-L_G}{\lambda}\right) \cdot \frac{1}{\lambda} & 0 & 0 \\
0 & 0 & \exp\left(\frac{L_G + L_{IN}}{\lambda}\right) \cdot \frac{1}{\lambda} & -\exp\left(\frac{-(L_G + L_{IN})}{\lambda}\right) \cdot \frac{1}{\lambda} & -1 & 0 \\
0 & 0 & \exp\left(\frac{L_G + L_{IN}}{\lambda}\right) & \exp\left(\frac{-(L_G + L_{IN})}{\lambda}\right) & -(L_G + L_{IN}) & -1 \\
0 & 0 & 0 & 0 & L_G + L_{IN} + W_S & 1
\end{bmatrix}
\begin{bmatrix}
A \\
B \\
C \\
D \\
E \\
F
\end{bmatrix}
=
\begin{bmatrix}
g_0 \\
g_1 \\
g_2 \\
g_3 \\
g_4 \\
g_5
\end{bmatrix} \quad (\text{I-27})$$

$$\begin{aligned}
g_0 &= -\psi_s(V_{GD}) \\
g_1 &= \text{Solpart}(L_G) - \psi_s(V_{GD}) \\
g_2 &= -\frac{\partial \text{Solpart}(Lx)}{\partial x} \Big|_{x=L_G} \\
g_3 &= \frac{-q \cdot N_s \cdot (L_G + L_{IN})}{\epsilon_{Si} \epsilon_0} + \frac{\partial \text{Solpart}(Lx)}{\partial x} \Big|_{x=L_G + L_{IN}} \\
g_4 &= \frac{-q \cdot N_s \cdot (L_G + L_{IN})^2}{2 \cdot \epsilon_{Si} \epsilon_0} - \text{Solpart}(L_G + L_{IN}) \\
g_5 &= \frac{q \cdot N_s \cdot (L_G + L_{IN} + W_S)^2}{2 \cdot \epsilon_{Si} \epsilon_0} + V_{SD}
\end{aligned} \quad (\text{I-28})$$

L'avantage de cette formulation est de permettre de changer facilement la solution du système si on trouve une fonction P(x) mieux adaptée (donc de Solpart(x)). La solution du système est donnée en (I-29), où $L_T = L_{IN} + L_G$.

$$\begin{aligned}
A(V_{SD}, V_{GD}) &= \frac{g_2 \cdot \lambda \cdot sh\left(\frac{L_{IN}}{\lambda}\right) + g_1 \cdot ch\left(\frac{L_{IN}}{\lambda}\right) + g_3 \cdot W_S + g_4 + g_5 - g_0 \cdot \exp\left(-\frac{L_T}{\lambda}\right)}{2 \cdot sh\left(\frac{L_T}{\lambda}\right)} \\
B(V_{SD}, V_{GD}) &= \frac{g_2 \cdot \lambda \cdot sh\left(\frac{L_{IN}}{\lambda}\right) + g_1 \cdot ch\left(\frac{L_{IN}}{\lambda}\right) + g_3 \cdot W_S + g_4 + g_5 - g_0 \cdot \exp\left(\frac{L_T}{\lambda}\right)}{-2 \cdot sh\left(\frac{L_T}{\lambda}\right)} \\
C(V_{SD}, V_{GD}) &= \frac{g_3 \cdot W_S + g_4 + g_5 + \exp\left(-\frac{L_T}{\lambda}\right) \cdot (g_1 \cdot ch\left(\frac{L_G}{\lambda}\right) - g_0 - g_2 \cdot \lambda \cdot sh\left(\frac{L_G}{\lambda}\right))}{2 \cdot sh\left(\frac{L_T}{\lambda}\right)} \\
D(V_{SD}, V_{GD}) &= \frac{-g_3 \cdot W_S - g_4 - g_5 + \exp\left(\frac{L_T}{\lambda}\right) \cdot ((-g_1 + g_2 \cdot \lambda) \cdot sh\left(\frac{L_G}{\lambda}\right) + g_0)}{2 \cdot sh\left(\frac{L_T}{\lambda}\right)} \\
E(V_{SD}, V_{GD}) &= \frac{-g_2 \cdot \lambda \cdot sh\left(\frac{L_G}{\lambda}\right) + g_1 \cdot ch\left(\frac{L_G}{\lambda}\right) - g_3 \cdot \lambda \cdot sh\left(\frac{L_T}{\lambda}\right) + ch\left(\frac{L_T}{\lambda}\right) \cdot (g_4 + g_5) - g_0}{W_S \cdot ch\left(\frac{L_T}{\lambda}\right) + \lambda \cdot sh\left(\frac{L_T}{\lambda}\right)} \\
F(V_{SD}, V_{GD}) &= \frac{-L_T \cdot (-g_0 + g_5 \cdot sh\left(\frac{L_T}{\lambda}\right) + g_3 \cdot \lambda \cdot sh\left(\frac{L_T}{\lambda}\right)) + W_S \cdot (g_0 + g_3 \cdot \lambda \cdot sh\left(\frac{L_T}{\lambda}\right))}{W_S \cdot ch\left(\frac{L_T}{\lambda}\right) + \lambda \cdot sh\left(\frac{L_T}{\lambda}\right)} \\
&+ \frac{g_5 \cdot \lambda \cdot sh\left(\frac{L_T}{\lambda}\right) + (W_S - L_T) \cdot (g_2 \cdot \lambda \cdot sh\left(\frac{L_G}{\lambda}\right) - g_1 \cdot ch\left(\frac{L_G}{\lambda}\right) - g_4 \cdot ch\left(\frac{L_T}{\lambda}\right))}{W_S \cdot ch\left(\frac{L_T}{\lambda}\right) + \lambda \cdot sh\left(\frac{L_T}{\lambda}\right)}
\end{aligned} \quad (\text{I-29})$$

La dernière étape consiste à remplacer V_{SD} par $V_{SD}+V$, comme expliquée au paragraphe I.4.c. On dispose maintenant de l'expression du potentiel et du champ électrique dans toute la structure, des expressions continues, dérivables et de dérivée continue.

I.5.f Champ électrique E_x : comparaison avec la TCAD

L'objectif de ce paragraphe est de comparer le résultat de la modélisation avec des simulations TCAD. La **Figure I-8** représente le champ électrique modélisé et simulé dans un p-IMOS ($L_G=1\mu\text{m}$, $L_{IN}=0.4\mu\text{m}$, $T_{Si}=100\text{nm}$, $T_{ox}=9\text{nm}$, $\Phi_M=4\text{eV}$) pour différentes polarisations V_{SD} . Le pic côté source est légèrement surestimé alors que le pic côté grille est sous-estimé par notre modèle. La valeur au milieu de la zone intrinsèque correspond à celle donnée par la TCAD. La valeur au drain est surestimée, mais elle n'est pas utile pour le calcul de l'intégrale d'ionisation. Nous quantifierons l'erreur sur la tension d'avalanche induite par le désaccord dans le paragraphe I.5.f.

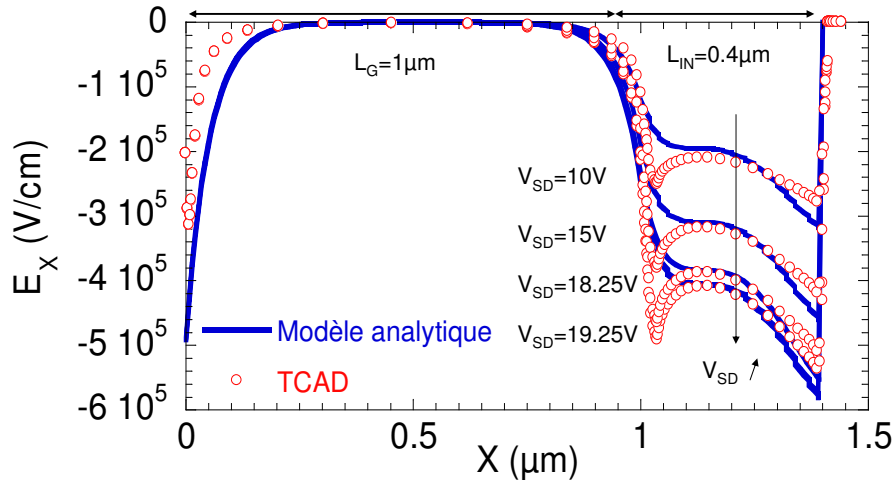


Figure I-8 : Composante horizontale E_x du champ électrique dans un p-IMOS, obtenue par simulation TCAD et par notre modèle (dimensions : $L_G=1\mu\text{m}$, $L_{IN}=0.4\mu\text{m}$, $T_{Si}=100\text{nm}$, $T_{ox}=9\text{nm}$, $\Phi_M=4\text{eV}$) pour différentes polarisations V_{SD} (coupe effectuée à $y=1\text{nm}$), à $V_{GD}=0\text{V}$ [Mayer 07].

La **Figure I-9** représente le champ électrique modélisé et simulé dans un p-IMOS ($L_G=1\mu\text{m}$, $T_{Si}=100\text{nm}$, $T_{ox}=9\text{nm}$, $\Phi_M=4\text{eV}$) pour différentes longueurs de zone intrinsèque L_{IN} . On retrouve les mêmes conclusions que précédemment.

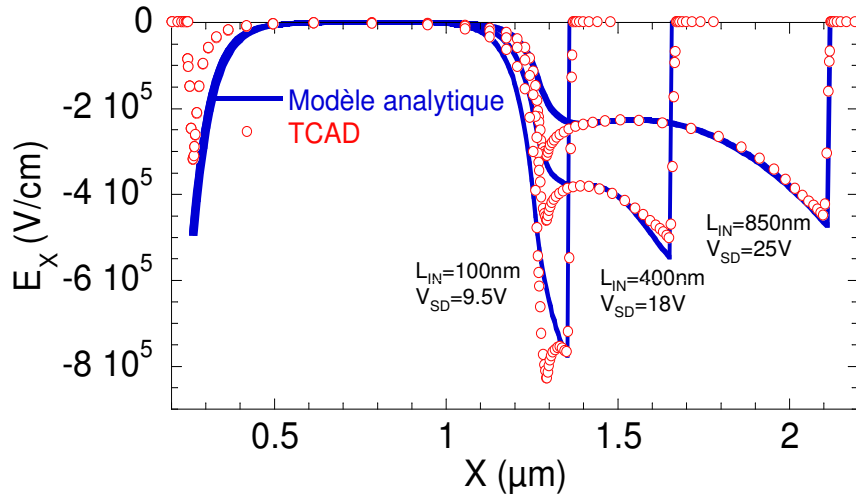


Figure I-9 : Composante horizontale E_x du champ électrique dans un p-IMOS, obtenue par simulation TCAD et par notre modèle (dimensions : $L_G=1\mu\text{m}$, $L_{IN}=0.4\mu\text{m}$, $T_{Si}=100\text{nm}$, $T_{ox}=9\text{nm}$, $\Phi_M=4\text{eV}$) (dimensions : $L_G=1\mu\text{m}$, $T_{Si}=100\text{nm}$, $T_{ox}=9\text{nm}$, $\Phi_M=4\text{eV}$) pour différentes longueurs de zones intrinsèque L_{IN} (coupe effectuée à $y=1\text{nm}$), à $V_{GD}=0\text{V}$.

I.5.g Intégrale d'ionisation

Les coefficients d'ionisation par impact sont donnés par (I-30) dans le cas d'un transport selon l'axe x , où E_C représente le champ électrique critique et α_∞ la valeur limite du coefficient d'ionisation par impact.

$$\alpha_{n/p}(x) = \alpha_{\infty,n/p} \cdot \exp\left(\frac{-E_{C,n/p}}{|E_x(x)|}\right) \quad (\text{I-30})$$

Pour connaître l'état du dispositif (ON ou OFF), il faut calculer l'intégrale d'ionisation [Sze], donnée par l'expression (I-31). Si $M < 1$, le I-MOS est à l'état bloqué. Si $M \sim 1$, la tension de seuil est atteinte (soit V_{BR} , soit V_{GT}). $M > 1$ n'a physiquement pas de sens, puisque $M=1$ signifie un courant infini. Normalement si toutes nos équations étaient couplées, la résistance viendrait « naturellement » limité ce courant. Dans notre cas, M peut dépasser 1. Cela signifie alors que le dispositif est passant. Nous en reparlerons dans le paragraphe consacré au transport.

$$M = \int_0^{L_T} \alpha_n(x) \cdot \exp\left(-\int_0^x (\alpha_n(y) - \alpha_p(y)) \cdot dy\right) \cdot dx \quad (\text{I-31})$$

L'expression (I-31) n'est pas intégrable analytiquement et le temps de calcul requis est trop important pour pouvoir être utilisé tel quel dans un simulateur du type Verilog-A. Nous allons donc la simplifier, en découpant d'abord le champ électrique en deux ($x < L_G$ et $x > L_G$) et en considérant ensuite que le champ électrique dans la zone intrinsèque est constant, ainsi que sous la grille. Nous prendrons respectivement l'intégrale du champ dans la zone intrinsèque (I-32) et

sous la grille (I-33). Pour éviter la surestimation du côté du drain, on intégrera qu'entre $L_G/2$ et L_G . La prise en compte de la partie sous la grille permet une meilleure précision pour des faibles longueurs de grille (typiquement $L_G < 100\text{nm}$) [Mayer 08].

$$E_{LIN_moyen} = \frac{-C(V_{SD}, V_{GD}) \cdot \left[\exp\left(\frac{L_T}{\lambda}\right) - \exp\left(\frac{L_G}{\lambda}\right) \right] + D(V_{SD}, V_{GD}) \cdot \left[-\exp\left(\frac{-L_T}{\lambda}\right) + \exp\left(\frac{-L_G}{\lambda}\right) \right] - Solpart(L_T) + Solpart(L_G)}{L_{IN}} \quad (\text{I-32})$$

$$E_{LG_moyen} = \frac{-A(V_{SD}, V_{GD}) \cdot \left[\exp\left(\frac{L_G}{\lambda}\right) - \exp\left(\frac{L_G}{2\lambda}\right) \right] + B(V_{SD}, V_{GD}) \cdot \left[-\exp\left(\frac{-L_G}{\lambda}\right) + \exp\left(\frac{-L_G}{2\lambda}\right) \right]}{L_G} \quad (\text{I-33})$$

En utilisant (I-32), (I-33) et (I-31), on obtient alors l'expression (I-34) pour M . Pour les grandes longueur de grille, le canal est parfaitement contrôlé et $E_{LIN_moyen} \gg E_{LG_moyen}$ et la seconde partie de l'expression est alors négligeable.

$$M = \alpha_{\infty,n} \cdot \left[\exp\left(\frac{-E_{C,n}}{E_{LIN_moyen}}\right) \cdot \frac{1 - \exp(-K_{\alpha,LIN} \cdot L_{IN})}{1 + \frac{K_{\alpha,LIN} \cdot L_{IN}}{2}} + \exp\left(\frac{-E_{C,n}}{E_{LG_moyen}}\right) \cdot \frac{1 - \exp(-K_{\alpha,LG} \cdot \frac{L_G}{2})}{1 + \frac{K_{\alpha,LG} \cdot \frac{L_G}{2}}{2}} \right] \quad (\text{I-34})$$

$\xrightarrow{\alpha_n = \alpha_p \rightarrow L_{IN}} \quad \xrightarrow{\alpha_n = \alpha_p \rightarrow \frac{1}{2} \cdot L_G}$

$K_{\alpha,LIN}$ et $K_{\alpha,LG}$ représentent la différence entre les coefficients d'ionisation par impact pour les électrons et les trous, respectivement dans la zone II et I. Les expressions sont données en (I-35).

$$K_{\alpha,LIN} = \alpha_{\infty,n} \cdot \exp\left(\frac{-E_{C,n}}{E_{LIN_moyen}}\right) - \alpha_{\infty,p} \cdot \exp\left(\frac{-E_{C,p}}{E_{LIN_moyen}}\right) \quad (\text{I-35})$$

$$K_{\alpha,LG} = \alpha_{\infty,n} \cdot \exp\left(\frac{-E_{C,n}}{E_{LG_moyen}}\right) - \alpha_{\infty,p} \cdot \exp\left(\frac{-E_{C,p}}{E_{LG_moyen}}\right)$$

Quant $\alpha_n = \alpha_p$, l'expression (I-34) se simplifie en (I-36). Cette approximation n'est pas valide dans le Si, même si de nombreux auteurs l'utilisent pour simplifier les calculs. Dans le germanium, les coefficients sont plus symétriques que dans le Si, mais pour le moment, la validité de cette approche n'a pas encore été testée.

$$M = \alpha_{\infty,n} \cdot \left[\exp\left(\frac{-E_{C,n}}{E_{LIN_moyen}}\right) \cdot L_{IN} + \exp\left(\frac{-E_{C,n}}{E_{LG_moyen}}\right) \cdot \frac{L_G}{2} \right] \quad (\text{I-36})$$

I.5.h Tension de seuil et domaine de validité

L'objectif de ce paragraphe est de présenter les résultats concernant l'électrostatique, en comparant notre modèle à la simulation TCAD, ainsi que de définir le domaine de validité de notre modèle.

La **Figure I-10** représente la tension de seuil V_{GT} en fonction de V_{SD} pour différentes longueurs de zone intrinsèque. Notre modèle reproduit correctement la dépendance linéaire.

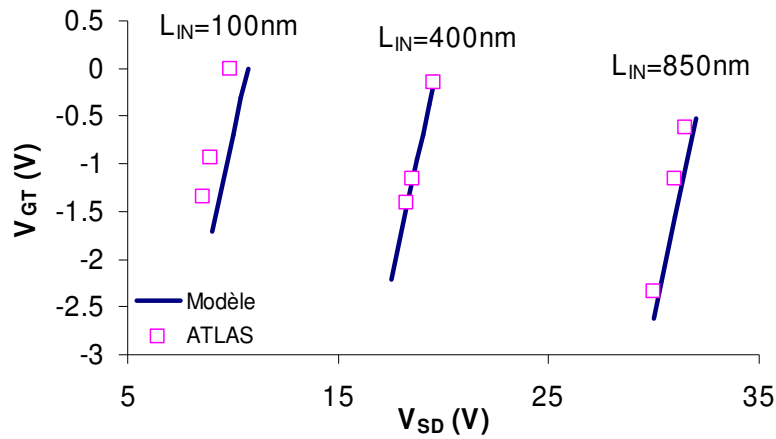


Figure I-10 : Comparaison TCAD/modèle de la caractéristique $V_{GT}(V_{SD})$ pour un p-IMOS ($L_G=1\mu m$, $T_{Si}=100nm$, $T_{ox}=9nm$, $\Phi_M=4eV$) pour différentes longueurs de zone intrinsèque [Mayer 07].

La **Figure I-11** représente la caractéristique $V_{GT}(V_{SD})$ pour différentes valeurs de V (voir paragraphe I.4.c) et Φ_{F_eff} . La tension de coupure « basse » vers $V_{SD}=17V$ est reproduite, mais elle est beaucoup plus abrupte dans notre modèle qu'en TCAD. C'est la coupure la plus importante car c'est elle qui déterminera la dynamique de sortie en mode inverseur. La tension de coupure haute qui est supérieure à $24V$ n'est pas reproduite, mais elle est suffisante pour décrire les applications circuits. Comme expliqué au paragraphe I.4.a, on prendra $V=2V$ et $\Phi_{F_eff}=2.45V$, puisque ces paramètres permettent de s'approcher le plus de la courbe $V_{GT}(V_{SD})$ obtenue par la TCAD.

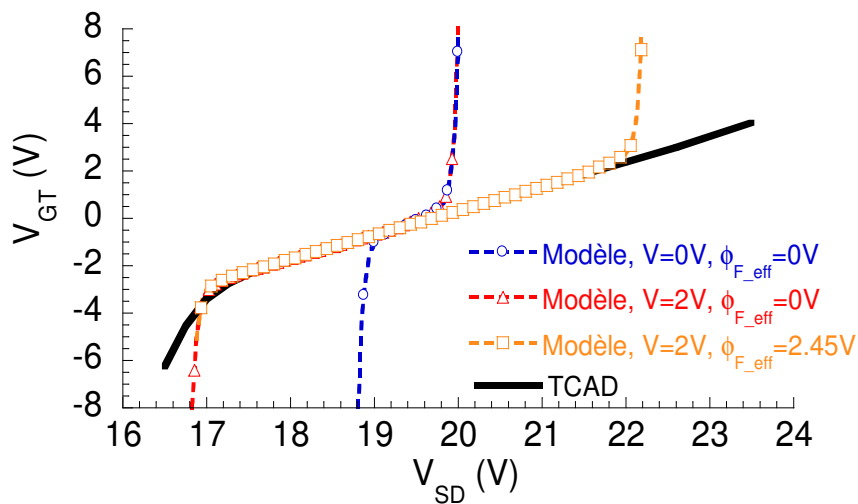


Figure I-11 : Caractéristique $V_{GT}(V_{DS})$ simulée (TCAD) et modélisée pour un p-IMOS ($L_G=1\mu m$, $L_{IN}=400nm$, $T_{Si}=100nm$, $T_{ox}=9nm$, $\Phi_M=4eV$) pour différentes valeurs de V et Φ_{F_eff}

La **Figure I-12** représente la tension de seuil V_{GT} pour différentes valeurs T_{Si} d'un p-IMOS sur SOI à $V_{SD}=18.25V$. Notre modèle retranscrit bien les effets 2D induits par une diminution de T_{Si} .

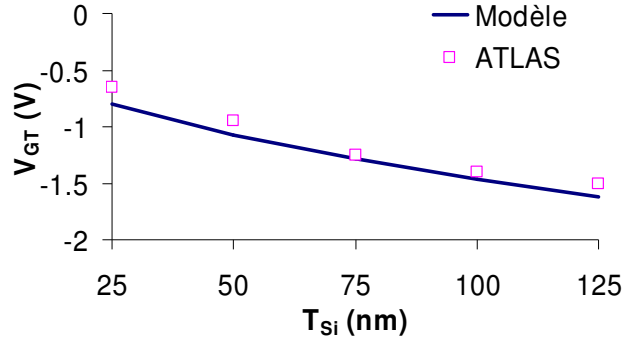


Figure I-12 : Comparaison TCAD/Modèle : Impact de l'épaisseur de Si sur la tension de seuil d'un p-IMOS à $V_{SD}=18.25V$ ($L_G=1\mu m$, $L_{IN}=400nm$, $T_{ox}=9nm$, $\Phi_M=4eV$) [Mayer 07] .

La **Figure I-13** représente l'erreur relative sur V_{BR} que l'on commet avec notre modèle par rapport à la TCAD. Tant que $L_{IN}/T_{Si} > 1$, l'erreur est inférieure à 5%. Les cas $L_{IN}/T_{Si} < 1$ n'ont pas une bonne électrostatique : ils sont mal décrits par notre modèle mais ne présentent pas d'intérêt pour l'architecture I-MOS. L'erreur semble augmenter pour $L_{IN}=850nm$ et $T_{Si} < 25nm$. Cela provient en partie à cause de la simplification de l'intégrale d'ionisation (pour $\sim 50\%$) et en partie à cause de la modélisation du champ électrique. La modélisation de la partie MOS du I-MOS impose une seconde limitation sur le domaine de validité : $L_G/T_{Si} > 2$ [Suzuki 93].

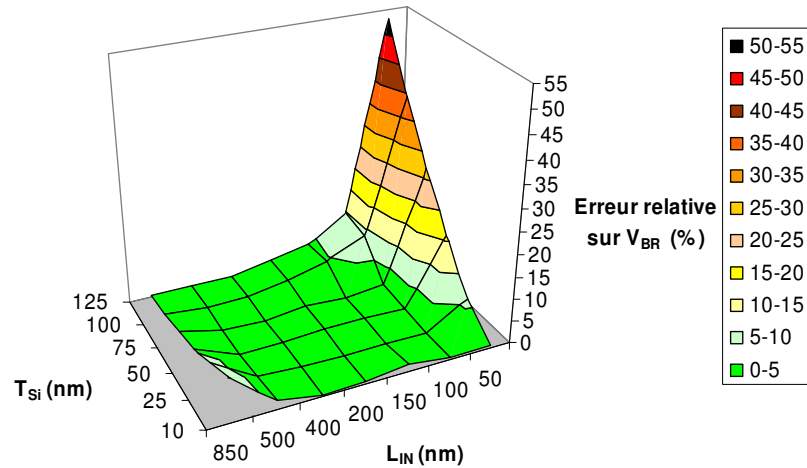


Figure I-13 : Erreur relative sur V_{BR} par rapport à la TCAD en fonction de L_{IN} et T_{Si} ($\Phi_M=4eV$ et $T_{ox}=9nm$) [Mayer 08].

La **Figure I-14** représente $V_{BR}(L_G)$ pour différentes valeurs de T_{Si} pour un p-IMOS de géométrie $L_{IN}=9nm$, $\Phi_M=4eV$ et $T_{ox}=9nm$. Notre modèle arrive à retrouver les deux régimes : pour $L_G > 100nm$, V_{BR} est indépendant de L_G , et pour $L_G < 100nm$, V_{BR} diminue quand L_G diminue. On retrouve la limite à partir de laquelle la diminution de L_G entraîne une diminution de V_{BR} : $\sim 150-200nm$ [Toh 07].

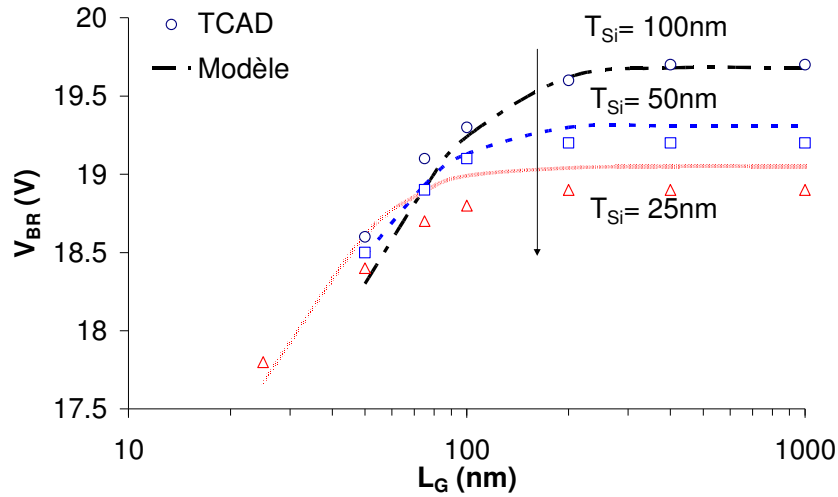


Figure I-14 : Caractéristiques $V_{BR}(L_G)$ pour plusieurs T_{Si} , comparaison entre la TCAD et notre modèle (p -IMOS, $L_{IN}=9nm$, $\Phi_M=4eV$ et $T_{ox}=9nm$) [Mayer 08].

I.6 Transport dans le I-MOS

Après avoir traité le cas de l'électrostatique, nous allons maintenant nous intéresser au transport. Nous distinguerons l'état bloqué ($M < 1$) de l'état passant ($M > 1$). La tension de seuil est définie pour $M=1$. Les expressions obtenues pour chaque régime seront finalement raccordées.

I.6.a Etat OFF

Quand l'intégrale d'ionisation M est inférieure à 1, le I-MOS est à l'état bloqué. Son courant est alors celui d'une diode PiN, dont la zone intrinsèque serait comprise entre L_{IN} et $L_{IN}+L_G$. L'expression du courant est donnée par (I-37) [Hurkx 92]. La densité de courant de diffusion J_{diff} ainsi que la densité de courant de génération J_{gr} sont données par les expressions (I-38) et (I-39) [Sze]. On définit le facteur f_{LG} (compris entre 0 et 1) qui représente le pourcentage de la longueur de grille à prendre en considération pour le taux de génération. Nous prendrons dans la suite $f_{LG}=0.45$.

$$I_{OFF} = \frac{(J_{diff}(V_{SD}) + J_{gr}(V_{SD})).T_{Si}.W}{1 - M} \quad (I-37)$$

$$J_{diff}(V_{SD}) = \left(\frac{e.n_i^2.D_p}{N_S.L_p.tanh((L_{IN} + L_G)/L_p)} + \frac{e.n_i^2.D_n}{N_S.L_n.tanh((L_{IN} + L_G)/L_n)} \right) \left(e^{\frac{eV_{SD}}{kT}} - 1 \right) \quad (I-38)$$

$$J_{gr}(V_{SD}) \approx -\frac{en_i}{2.\tau} . (L_{IN} + L_G . f_{LG}) . \left(e^{\frac{eV_{SD}}{kT}} - 1 \right) \quad (I-39)$$

I.6.b Etat ON

Quand l'intégrale d'ionisation M est supérieure à 1, le dispositif est à l'état passant. Dans le cas d'un p -IMOS, on se retrouve donc avec la polarisation de la partie MOS suivante : $V_{seffD} > 0$ et $V_{GD} < 0$. En « traduisant » ces polarisations avec une convention MOS classique, on obtient :

$V_{DS} > 0$ et $V_{GS} < 0$. Pour un p-MOS, la condition du régime linéaire est $-V_{DS} < -(V_{GS} - V_T)$ [Sze]. Or dans notre cas $-V_{DS} < 0$ et $-(V_{GS} - V_T) > 0$, la condition est donc toujours satisfaite et la partie MOS du I-MOS est donc toujours en régime linéaire. L'équation (I-40) décrit donc l'état passant du I-MOS. α_{ION} sert à ajuster finement le courant à l'état passant I_{ON} , on prendra dans toute la suite $\alpha_{ION} = 1.05$.

$$I_{ON} = \alpha_{ION} \cdot \mu_0 \cdot \frac{W}{L_{Geff}} \cdot C_{ox} \cdot (V_{GD} - V_{GT}) \cdot V_{SeffD} \quad (I-40)$$

Dans l'équation (I-40), la longueur de grille effective L_{Geff} , la polarisation effective V_{SeffD} ainsi que la tension de seuil V_{GT} sont inconnues. La tension de V_{GT} est définie par la tension V_{GS} pour laquelle $M=1$, à une tension V_{SD} donnée. Cependant, l'expression (I-34) de M est trop complexe pour pouvoir exprimer V_{GT} en fonction des autres données. Cela n'est possible que si $\alpha_n = \alpha_p$ et $E_{LIN_moyen} \gg E_{LG_moyen}$: V_{GT} est alors exprimable à partir de (I-35) en négligeant le second terme de l'expression concernant l'ionisation par impact sous la grille. Dans notre approche, V_{GT} sera calculé numériquement.

La longueur de grille effective représente la longueur de grille prise en compte d'un point de vue électrique. La **Figure I-15** représente les densités de porteurs au bord de la grille et au bord de la zone intrinsèque : l'effet de la grille se prolonge au-delà de la grille physique. Une définition correcte de cette longueur est encore plus critique que dans un MOS classique. En effet, elle intervient à deux endroits dans (I-40) : directement dans L_{Geff} mais aussi dans V_{SeffD} , puisque la polarisation de source effective est définie par la localisation du bord de la grille effective. La **Figure I-15** nous permet de donner une définition précise de L_{Geff} . Il s'agit de l'endroit où la dérivée du champ électrique atteint $-q \cdot N_{av} / \epsilon_0 \epsilon_{Si}$, où N_{av} ($\gg N_{res}$) représente la densité moyenne de porteur dans la zone intrinsèque. Ainsi $V_{SeffD} = \psi_{0,II}(L_{Geff}) - V$.

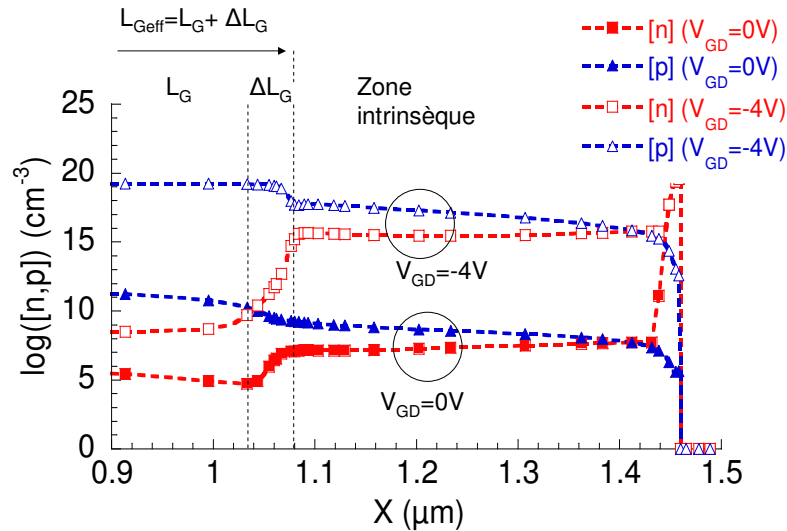


Figure I-15 : Concentrations de porteurs (n et p) obtenues par simulations TCAD d'un p-IMOS ($L_G = 1 \mu m$, $L_{IN} = 0.4 \mu m$, $T_{Si} = 100 nm$, $T_{ox} = 9 nm$, $\Phi_M = 4 eV$) à $V_{SD} = 19.25 V$, centré sur le bord de la grille et la zone intrinsèque. A $V_{GD} = -4V$, le dispositif est à l'état passant et à $V_{GD} = 0V$, à l'état bloqué (coupes effectuées à 1nm sous la grille) [Mayer 07].

I.6.c Comparaison avec le dispositif unitaire

Dans ce paragraphe, nous allons comparer les caractéristiques $I_D(V_{GD})$ obtenues avec notre modèle avec la TCAD. Puis nous comparerons notre modèle avec des données expérimentales.

La **Figure I-16** représente les caractéristiques $I_D(V_{GD})$ pour différentes valeurs de V_{SD} , en régime linéaire et en saturé. Les polarisations V_{SD} sont ajustées pour que les tensions de seuil V_{GT} soient identiques. On observe un excellent accord entre la TCAD et notre modèle.

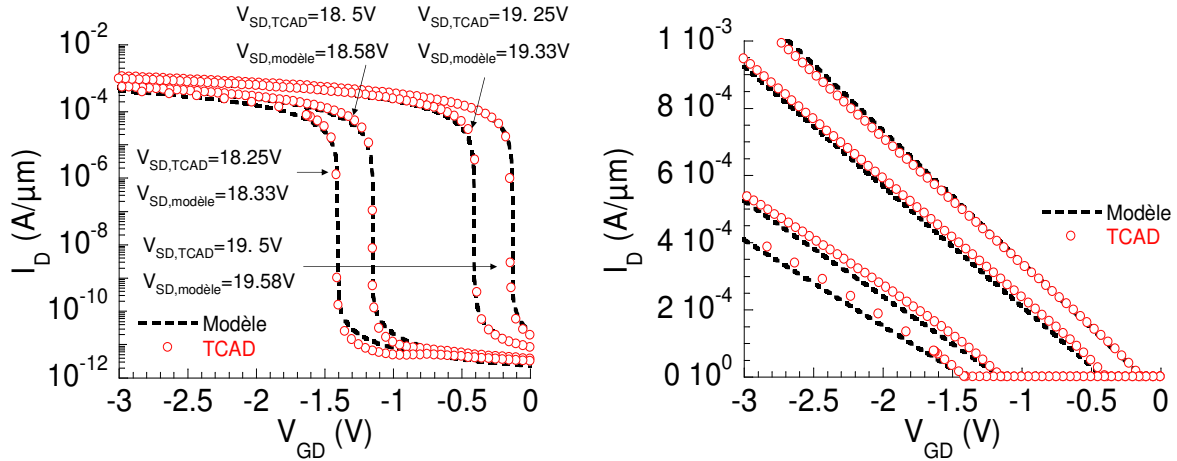


Figure I-16 : Caractéristiques $I_D(V_{GD})$ modélisée et simulée pour un p-IMOS ($L_G=1\mu m$, $L_{IN}=0.4\mu m$, $T_{Si}=100nm$, $T_{ox}=9nm$, $\Phi_M=4eV$) pour différents V_{SD} . Les tensions V_{SD} choisies pour le modèle et la simulation TCAD sont légèrement différentes, de telle façon à ce que les V_{GT} soient identiques et que l'on puisse comparer les courbes [Mayer 07].

Nous allons maintenant comparer notre modèle aux mesures électriques. Il y a deux différences majeures à prendre en compte entre nos conditions de modélisation et la réalité :

- Etant donné les valeurs élevées du champ électrique dans le I-MOS ($\sim 5.10^5 V/cm$) la mobilité dans le dispositif ne peut pas être considérée comme constante et égale à la mobilité du matériau bulk μ_0 . La prise en compte d'une dépendance de μ en fonction de E induit un ΔV_{BR1} et une diminution du courant (car $\mu(E) < \mu_0$).
- Le dopage Source et Drain n'est pas « une boîte de dopants » mais décroît selon une gaussienne, ce qui implique que le L_{IN} effectif est inférieur au L_{IN} lithographique. Cette variation va se traduire par un décalage de la tension d'avalanche ΔV_{BR2} .

La **Figure I-17** illustre les propos précédents par des caractéristiques $I_D(V_{GD})$ simulées pour différents cas : 1) $\mu=\mu_0$ + boîte de dopant ; 2) $\mu=\mu_0$ + dopage gaussien (=dopage 2D) ; 3) $\mu=\mu(E)$ + boîte de dopant ; 4) $\mu=\mu(E)$ + dopage 2D. L'influence du profil de dopage se traduit par un décalage de la tension de seuil, induit par une longueur L_{IN} effective inférieure. L'introduction d'un modèle de mobilité dépendant du champ électrique a deux conséquences. Premièrement, le courant I_{ON} est plus faible car la mobilité diminue à fort champ électrique.

Deuxièmement, le parcours des porteurs est moins unidirectionnel : les porteurs sont déviées vers le fond de la structure (voir chapitre IV), ce qui entraîne un décalage de la tension de seuil. Si on compare le cas le plus proche de la réalité ($\mu(E)$ + dopage 2D) au cas correspondant à notre modèle (μ_0 + boîte de dopage), on constate que les décalages de V_{GT} se compensent approximativement. Par contre le courant I_{ON} est plus faible pour le cas le proche de la réalité.

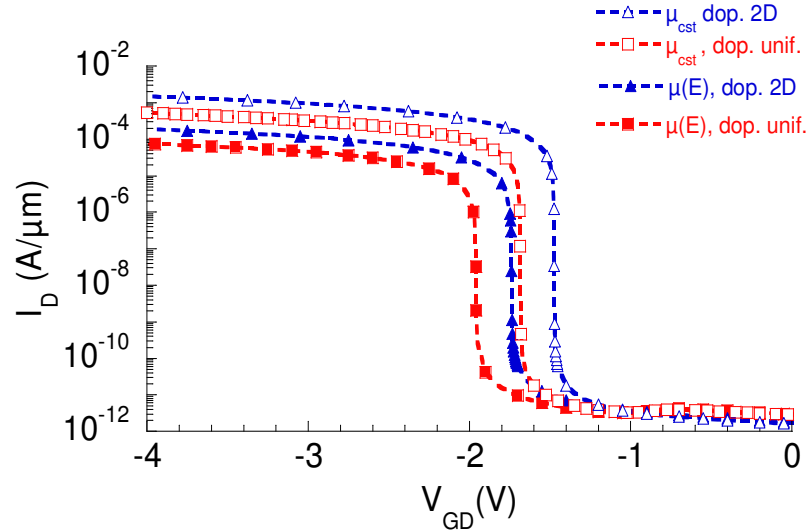


Figure I-17 : Caractéristiques $I_D(V_{GD})$ simulées par TCAD pour un p-IMOS ($L_G=1\mu m$, $L_{IN}=0.4\mu m$, $T_{Si}=100nm$, $T_{ox}=9nm$, $\Phi_M=4eV$) à $V_{SD}=18V$, en prenant en compte différents modèles pour la mobilité (constante ou dépendant du champ électrique) et pour le dopage (boîte de dopant ou avec décroissance gaussienne = dopage 2D).

Nous allons maintenant essayer de comparer notre modèle aux données électriques. La **Figure I-18** représente les caractéristiques $I_D(V_{GD})$ mesurées expérimentalement d'un p-IMOS et celles de notre modèle. Pour décrire le mieux possible la réalité, nous venons de voir qu'il est nécessaire d'effectuer quelques ajustements sur notre modèle. Pour compenser le fait que notre modèle ne prenne pas en compte une mobilité dépendant du champ, on introduit une mobilité μ_{eff} divisée par douze par rapport à la mobilité du matériaux massif μ_0 . De plus, on définit une variation de la longueur intrinsèque ΔL_{IN} pour prendre en compte l'influence du dopage 2D. Nous avons pris $\Delta L_{IN} = -8/-6/0/0nm$ respectivement pour $V_{SD}=18/17.5/17/16.8V$. Le fait que ΔL_{IN} ne soit pas constant s'explique par le fait que les caractéristiques aient été mesurées sur un même dispositif, ce qui induit une dégradation par porteurs chauds.

La tension de seuil V_{GT} et l'état ON sont bien décrits par notre modèle. Par contre le courant OFF mesuré est deux à trois décades supérieur. Cet écart est expliqué dans le chapitre IV dans la partie sur la fiabilité.

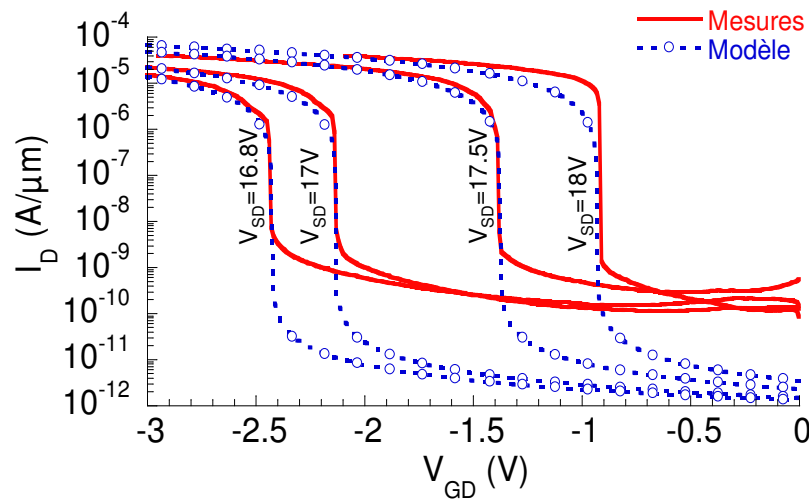


Figure I-18 : Comparaison entre les caractéristiques $I_D(V_{GD})$ mesurées et modélisées d'un p -IMOS ($L_G=1\mu\text{m}$, $L_{IN}=0.4\mu\text{m}$, $T_{si}=100\text{nm}$, $T_{ox}=9\text{nm}$, $\Phi_M=4.6\text{eV}$) pour plusieurs polarisations V_{SD} .

I.6.d Implémentation en Verilog-A

Comme expliquée précédemment, en vue d'une implémentation du modèle dans un simulateur de type Verilog-A, les expressions utilisées doivent être continues, dérivables et de dérivées continues. Nous avons vu que cela induit des contraintes, notamment sur l'expression du potentiel de surface (voir paragraphe I.4).

Nous avons aussi vu qu'il était impossible de donner une expression analytique de V_{BR} et de V_{GT} . Or ces valeurs sont nécessaires pour calculer les courants. Le but de ce paragraphe est de présenter l'algorithme utilisé pour contourner ce problème. La **Figure I-19** présente la méthodologie générale. L'« astuce » consiste à évaluer numériquement les courbes $V_{GT}(V_{SD})$, $V_{SeffD}(V_{SD})$ et $L_{Geff}(V_{SD})$ uniquement au démarrage du programme et d'utiliser des splines cubiques pour interpoler de façon C_2 les fonctions.

Uniquement lors du lancement du programme :

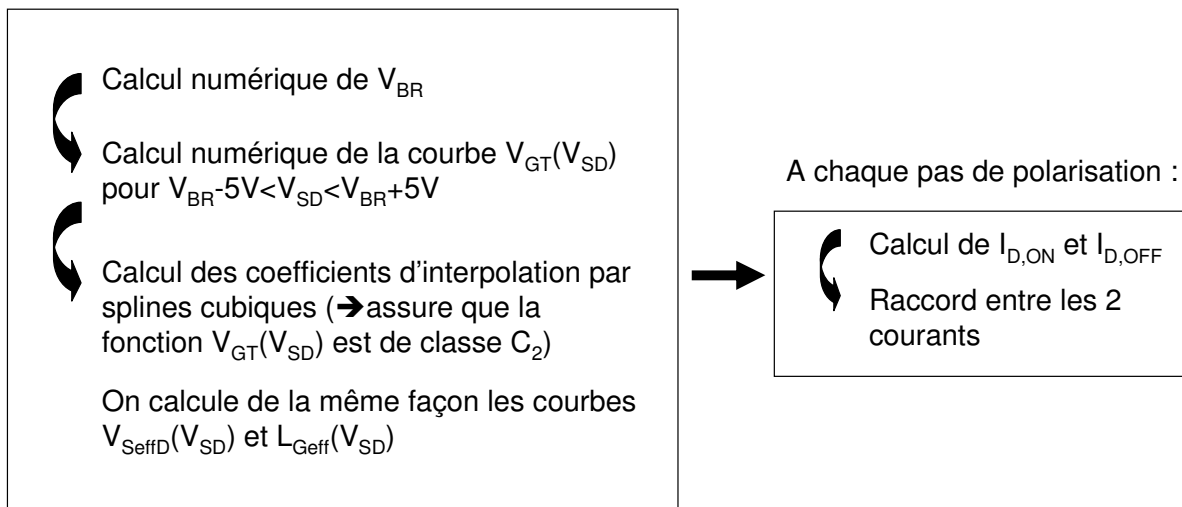


Figure I-19 : Algorithme de calcul utilisé sous Verilog-A.

En ce qui concerne le raccord des fonctions entre plusieurs régimes, des combinaisons linéaires de fonctions tangentes hyperboliques ont été utilisées, comme auparavant pour le potentiel de surface. De cette façon, on minimise le temps de calcul et on obtient des fonctions de classe C_2 .

I.6.e Modélisation des capacités

L'objectif de cette partie est de présenter un modèle capacitif simple pour évaluer les performances dynamiques du I-MOS, en particulier les marges de bruit dynamiques (DNM) des circuits que nous étudierons dans les paragraphes suivants. Des simulations Monte Carlo du I-MOS ont montré que la vitesse de commutation du I-MOS est intrinsèquement limitée par le temps nécessaire à la multiplication des porteurs [Shen 07b]. Cependant, cette limite n'apparaît pas pour des fréquences inférieures à ~ 10 GHz. La **Figure I-20 c)** représente le circuit électrique équivalent du I-MOS en régime dynamique. Cette modélisation est proche de celle utilisée pour les diodes IMPATT [Sze]. La source de courant I_{DS} représente le courant statique. Nous supposons que cette source suit parfaitement les variations de tension V_{DS} , ce qui est valable pour des fréquences inférieures à quelques GHz.

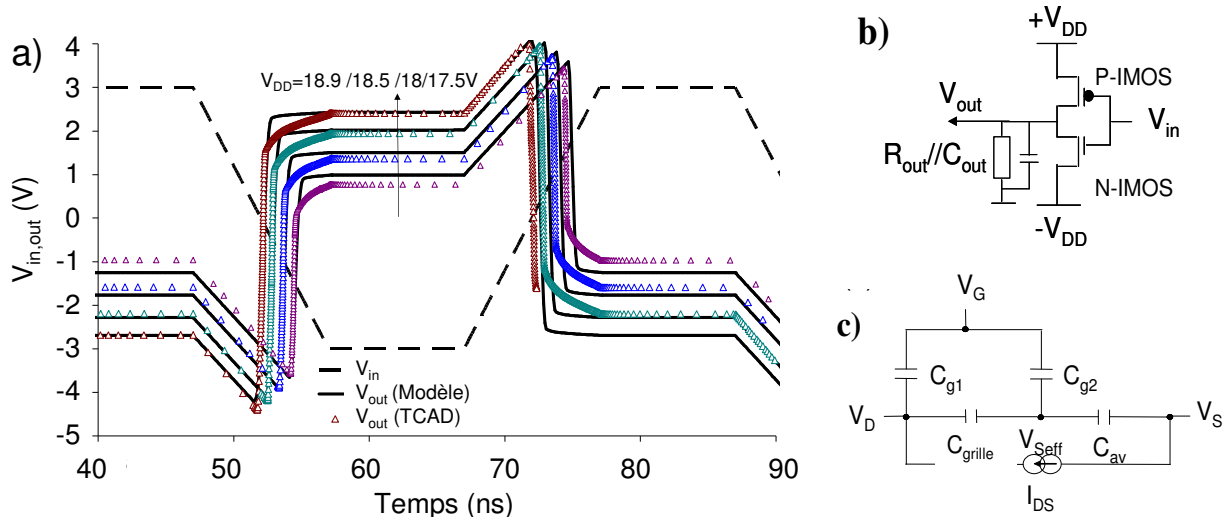


Figure I-20 : a) Inverseur I-MOS : comparaison entre les simulations TCAD et notre modèle pour V_{DD} de 17.5V à 18.9V. b) Schéma électrique de l'inverseur simulé ($R=4.10^{12}$ ohms, $C=3fF$, $L_{IN}=0.4\mu m$, $L_G=1\mu m$, $T_{si}=100nm$, $T_{ox}=9nm$, $W_n=W_p=1\mu m$). c) Schéma électrique équivalent du I-MOS pour les simulations dynamiques [Mayer 08].

A l'état bloqué (avant l'avalanche), la zone intrinsèque ainsi que la zone sous la grille sont désertées, comme nous l'avons vu précédemment (voir **Figure I-15**). Ces zones sont modélisées par les capacités C_{av} et C_{canal} (équation (I-41)). V_{Seff} représente comme précédemment la tension en bord de grille. Comme en technologie MOSFET classique, la capacité liée à l'oxyde de grille est divisée en C_{g1} et C_{g2} (équation (I-41)).

$$C_{grille} = \frac{\epsilon_{Si}}{L_G} \cdot T_{Si} \cdot W, C_{av} = \frac{\epsilon_{Si}}{L_{IN}} \cdot T_{Si} \cdot W, C_{g1} = \frac{\epsilon_{ox}}{2 \cdot T_{ox}} L_G \cdot W \text{ et } C_{g2} = C_{g1} \quad (\text{I-41})$$

Afin d'évaluer notre modèle, nous avons réalisé des simulations TCAD dynamique d'un inverseur I-MOS. Le schéma de l'inverseur simulé est décrit sur la **Figure I-20 b**) : l'inverseur est chargé en sortie par une résistance et une capacité en parallèle. La comparaison entre notre modèle et la TCAD est montré sur la **Figure I-20 a**) pour différentes polarisations V_{DD} (de 17.5V à 18.9V). Malgré la simplicité de notre approche, un bon accord est obtenu entre la simulation numérique et notre modèle, ce qui valide notre approche pour des basses fréquences (<10GHz). De plus, ce modèle est suffisant pour extraire les DNM des circuits envisagés.

II Simulation circuit

Dans cette partie, nous allons étudier les performances du I-MOS dans un environnement circuit. Nous avons opté pour une technologie mature, c'est-à-dire $L_G=350\text{nm}$, $L_{IN}=200\text{nm}$, $T_{Si}=100\text{nm}$ et $T_{ox}=9\text{nm}$. Pour ces dimensions, la tension d'avalanche est $V_{BRp}=13.35\text{V}$ et $V_{BRn}=12\text{V}$ respectivement pour les p-IMOS et les n-IMOS. Comme nous l'avons montré [Mayer 07b], ces tensions d'avalanche peuvent être réduite jusqu'à 5V dans le Si en réduisant L_{IN} à 50nm. Nous utiliserons les symboles de la **Figure II-1** pour décrire les n et p-IMOS dans les schémas électriques.

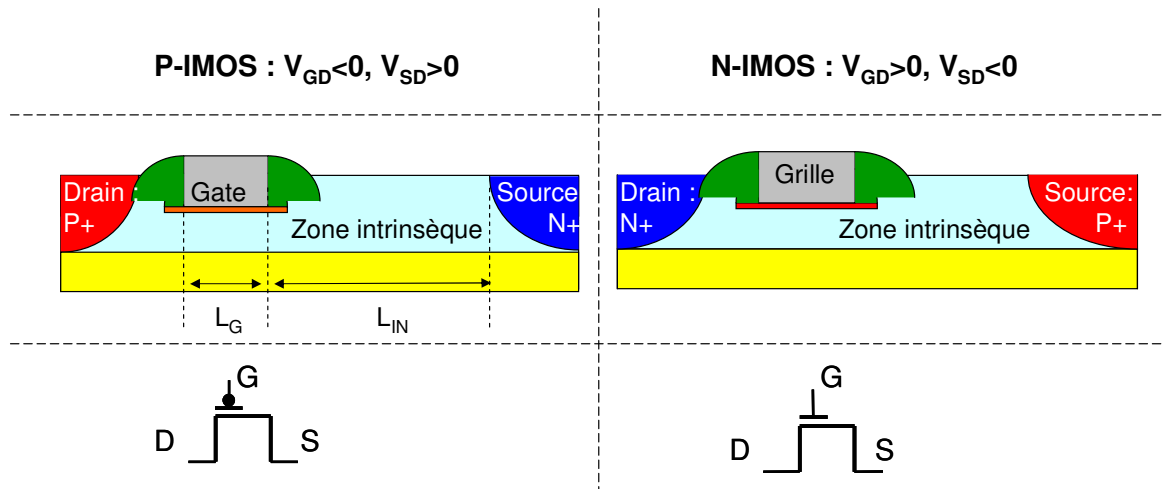


Figure II-1: Symboles du p-IMOS (gauche) et du n-IMOS (droite) dans les schémas électriques. Les polarisations en fonctionnement nominal sont aussi récapitulées [Mayer 08].

II.1 Marges de bruit statique et dynamique

Un des paramètres utilisés pour caractériser les portes logiques est la marge de bruit statique (SNM : Static Noise Margin), qui caractérise la stabilité de la porte. Si on ajoute une source de tension parasite dans une porte, la SNM peut être vue comme la tension maximale supportée par cette porte avant de commuter. Elle s'exprime donc en Volt. Graphiquement, la

SNM représente la diagonale du plus grand carré que l'on peut former entre les courbes $V_{in}(V_{out})$ et $V_{out}(V_{in})$ d'une porte logique (voir **Figure II-2**). L'extraction de la SNM se fait traditionnellement par la méthode de Seevinck [Seevinck 87], qui consiste à calculer $V_{in}(V_{out}) - V_{out}(V_{in})$ dans un repère tourné à 45° : la SNM représente alors l'amplitude maximum de la courbe obtenue (voir **Figure II-2**). Ce paramètre est extrait en régime statique. Pour des signaux d'entrée/sortie dynamiques, on utilise la marge de bruit dynamique (DNM : Dynamic Noise Margin).

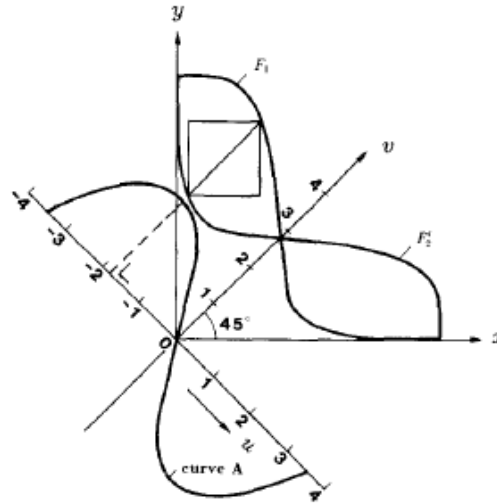


Figure II-2 : Illustration graphique de la SNM : diagonale du plus grand carré formé par les courbes $V_{in}(V_{out})$ et $V_{out}(V_{in})$. La SNM est calculée comme l'amplitude maximum de la courbe $V_{in}(V_{out}) - V_{out}(V_{in})$ dans un repère tourné à 45° [Seevinck 87].

II.2 Inverseur

Malgré le fait que l'inverseur I-MOS ait déjà été étudié à travers la simulation TCAD [Gopalakrishnan 05]-[Mayer 06], une bonne connaissance du fonctionnement de l'inverseur I-MOS est nécessaire pour appréhender le principe de la porte NAND et NOR I-MOS que nous verrons dans le paragraphe II.4. Ainsi nous reviendrons dans ce paragraphe sur les particularités de l'inverseur I-MOS, dont le schéma électrique est donné sur la **Figure II-3** (droite).

La première différence avec une logique CMOS provient des fortes tensions d'alimentation nécessaires au fonctionnement du I-MOS qui imposent une double tension d'alimentation V_{SP} et V_{SN} respectivement pour le p-IMOS et le n-IMOS (au lieu de 0 et V_{DD} en logique CMOS). Comme source et drain ne sont pas symétriques dans le I-MOS, les polarisations V_{SN} et V_{SP} sont appliquées sur la source. Pour limiter la complexité de l'étude, nous fixerons $V_{SN} = -V_{SP} = V_{DD}$. De plus, pour équilibrer les transistors de type n et p, nous avons choisi $W_p = 3 \cdot W_n (= 3\mu m)$.

Contrairement au transistor MOSFET classique, le I-MOS nécessite une tension minimum entre source et drain pour maintenir l'avalanche, c'est-à-dire pour rester à l'état passant. Ainsi, seule une partie de $V_{SN/P}$ est transférée à la sortie V_{out} . Ainsi, l'inverseur I-MOS ne commute pas entre $\pm V_{DD}$, ce qui rend la mise en série d'inverseurs I-MOS délicate. L'inverseur I-MOS peut

être vu comme un pont diviseur de tension. Si la résistance de sortie est plus petite que la résistance équivalente du I-MOS, alors la caractéristique de sortie de l'inverseur est modifiée [Mayer 06]. Cependant, dans cette partie, nous considérerons l'inverseur intrinsèque, c'est-à-dire sans charge en sortie.

La caractéristique de transfert de l'inverseur I-MOS est tracée sur la **Figure II-3** (gauche) pour différentes tensions d'alimentation V_{DD} . Si $V_{DD} > \min(V_{BR,n}, V_{BR,p})$, il existe un domaine dans lequel les deux I-MOS se retrouvent à l'état passant : le premier car $V_{GD} > V_{GT}$ et le second car $V_{SD} > V_{BR}$. L'inverseur présente alors une forte consommation lors de la commutation ($P_{stat} = 2 \cdot V_{DD} \cdot I_{ON}$). Si $V_{DD} < \min(V_{BR,n}, V_{BR,p})$, les transistors restent à l'état OFF : le premier I-MOS est bloqué et le second qui pourrait être passant ne peut pas débiter de courant, la tension s'ajuste alors pour qu'il devienne bloqué. La consommation lors de la commutation est alors très faible ($P_{stat} = 2 \cdot V_{DD} \cdot I_{OFF}$). Cependant, quelle que soit la tension d'alimentation V_{DD} , la consommation statique pour les deux états stables de l'inverseur (à $V_G = \pm 2V$) est faible ($2 \cdot V_{DD} \cdot I_{OFF}$). La tension de commutation peut être ajustée en augmentant ou en diminuant V_{DD} ou en modifiant le rapport W_n/W_p , comme dans un inverseur CMOS conventionnel. Malgré le fait que la commutation ne s'effectue pas entre $\pm V_{DD}$, la dynamique de sortie est compatible avec un hypothétique second étage d'inverseur.

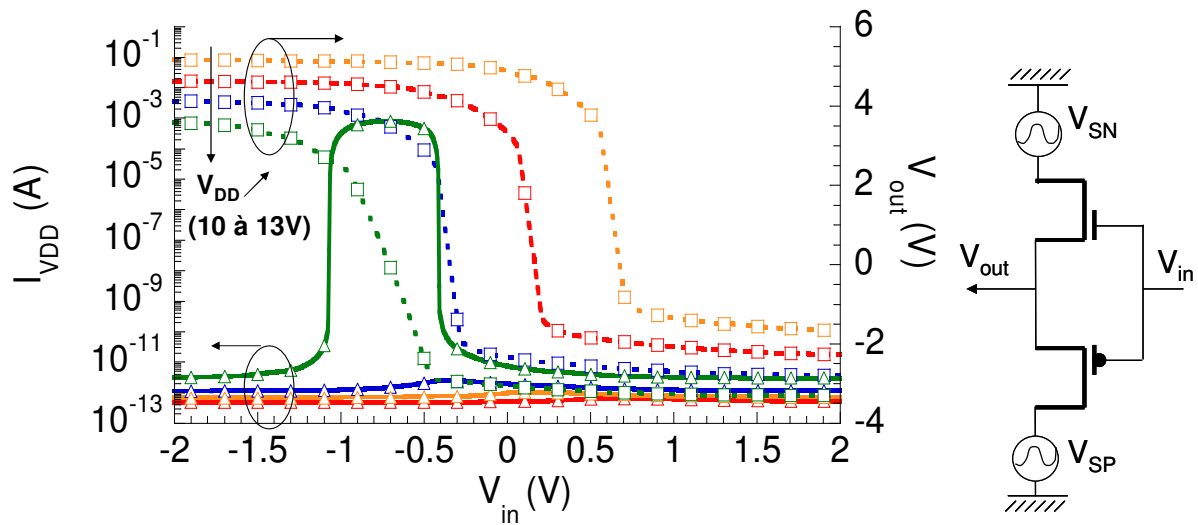


Figure II-3 : (droite) Schéma électrique de l'inverseur I-MOS [Mayer 08]. (gauche) Caractéristiques de transfert $V_{out}(V_{in})$ de l'inverseur I-MOS et de courant $I_{VDD}(V_{in})$ pour V_{DD} de 10 à 13V ($L_G=350nm$, $L_{IN}=200nm$, $T_{Si}=100nm$ et $T_{ox}=9nm$, $\Phi_M=4eV$, $W_p=3 \cdot W_n$, pas de charge en sortie).

La **Figure II-4** représente la SNM et la DNM de l'inverseur I-MOS en fonction de V_{DD} , ainsi que le courant statique (pour les états « 0 » à $V_G = -2V$ et « 1 » à $V_G = 2V$). T est la période du signal d'entrée, de 10ns à 10ms. La SNM vaut $\sim 2.1V$ sur tout le domaine d'étude, ce qui est une valeur très élevée (pour un MOS, la SNM dépend de V_{DD} . Pour V_{DD} nominal, $SNM_{MOS} \sim 300mV$: voir paragraphe II.4). L'inverseur I-MOS est donc plus stable qu'en logique CMOS, ce qui confirme les résultats obtenus par Choi [Choi 05] en TCAD.

Nous avons vu précédemment que l'inverseur I-MOS pouvait commuter sans consommation de courant. Cela peut être préjudiciable en terme de vitesse de commutation de la porte et donc de stabilité. L'analyse de la DNM confirme cette hypothèse : pour $V_{DD} < 11.5V$, la porte est instable $D_{NM} < 0$. Quelle que soit la période T_{per} du signal, $DNM > 0$ pour $V_{DD} > 12V$ et $DNM \sim SNM$ pour $V_{DD} > 12.75V$. Cependant, pour $V_{DD} > 13V$, l'inverseur consomme à l'état « 0 ». Finalement, la fenêtre d'utilisation est plus restreinte que ne le laisse supposer l'analyse statique: $12V < V_{DD} < 13V$.

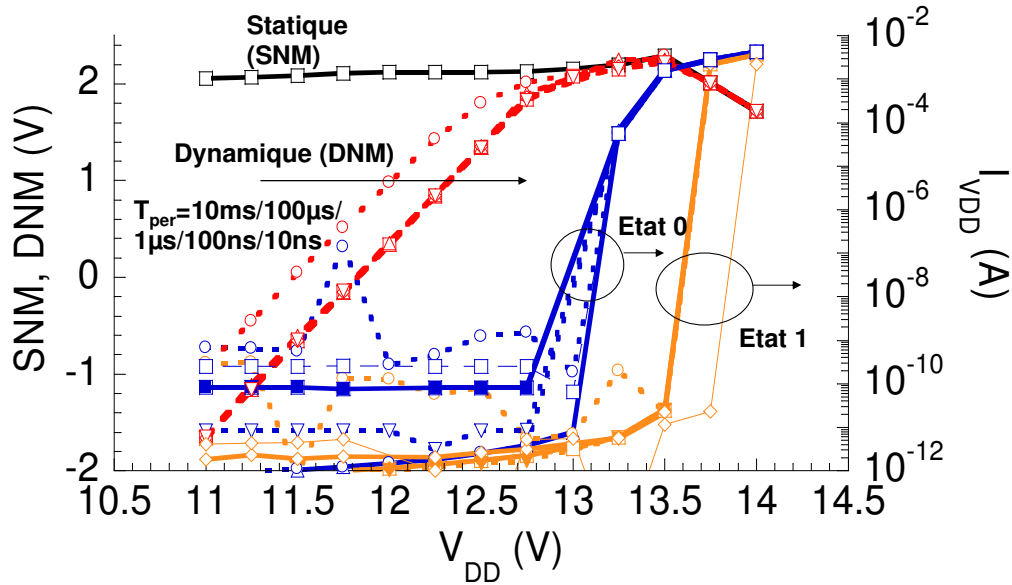


Figure II-4 : Analyse de la SNM et de la DNM (pour des signaux d'entrée de période T_{per}) en fonction de V_{DD} pour un inverseur I-MOS, ainsi que du courant I_{VDD} ($L_G=350nm$, $L_{IN}=200nm$, $T_{Si}=100nm$ et $T_{ox}=9nm$, $\Phi_M=4eV$, $W_p=3.W_n$) [Mayer 08].

Nous avons aussi étudié le temps de propagation porte à porte à l'aide de simulations TCAD [Mayer 06], pour des géométries plus petites ($L_G=125nm$, $L_{TN}=7nm$). Ces temps de propagation sont du même ordre de grandeur que pour les transistors MOSFET, c'est-à-dire $\tau_p \sim 2-4 \cdot 10^{-2}$ ns.

II.3 Miroir de courant

Le principe du miroir de courant consiste à reproduire exactement le courant d'une première branche de circuit dans une autre branche du circuit. Le schéma d'un miroir de courant est donné sur la **Figure II-5** (droite) pour des n-IMOS. Le schéma est identique en logique CMOS. Le drain et la grille du transistor dans la première branche sont connectés ensemble et reliés à la grille du transistor de la seconde branche. Les deux sources sont reliées à l'alimentation $V_{SN}=-12V$. Les largeurs des deux transistors sont identiques et valent $W_n=1\mu m$.

Le courant de sortie (dans la seconde branche), I_{smir} , est représenté sur la **Figure II-5** (gauche) en fonction du courant d'entrée (de la première branche). La polarisation des deux grilles V_{smir} est aussi représentée. On peut distinguer trois zones de fonctionnement :

- Tant que le courant d'entrée I_{in} est supérieur à 2.10^{-6} A, le courant de sortie reproduit le courant d'entrée avec une baisse d'environ 7%.
- Pour un courant d'entrée située entre 10^{-9} A et 2.10^{-6} A, le miroir de courant est incapable de reproduire le courant d'entrée dans la branche de sortie.
- Pour des courants d'entrée faible (I_{in} inférieur à 10^{-9} A), le courant d'entrée est égal au courant de sortie.

Ces différents régimes peuvent s'expliquer en analysant les états passant et bloqué du I-MOS. A l'état bloqué, le courant du I-MOS est équivalent à celui d'une diode PiN polarisée en inverse, c'est-à-dire qu'il présente une très faible dépendance vis-à-vis de V_{SD} . Or V_{smir} est très faible, si bien que les tensions aux bornes des I-MOS d'entrée et sortie sont pratiquement identiques. Ainsi les courants d'entrée et de sortie sont identiques.

A cause de la pente sous le seuil de quelques mV/dec, lorsque le I-MOS d'entrée bascule à l'état passant, le I-MOS de sortie reste bloqué, ce qui explique l'écart de courant entre l'entrée et la sortie pour 10^{-9} A < I_{in} < 2.10^{-6} A. Quand V_{smir} augmente suffisamment pour permettre au I-MOS de sortie de basculer à l'état passant, les courants d'entrée et de sortie redeviennent comparables. Cependant, contrairement au MOSFET, le I-MOS n'opère qu'en régime linéaire et pas en saturation [Mayer 07]. Le courant dépend donc toujours de V_{SD} , ce qui explique qu'on ne puisse pas reproduire exactement le courant d'entrée pour $I_{in} > 2.10^{-6}$ A.

Toutes les conclusions obtenues sur les miroirs de courant à base de transistor n sont transposables aux transistors de type p.

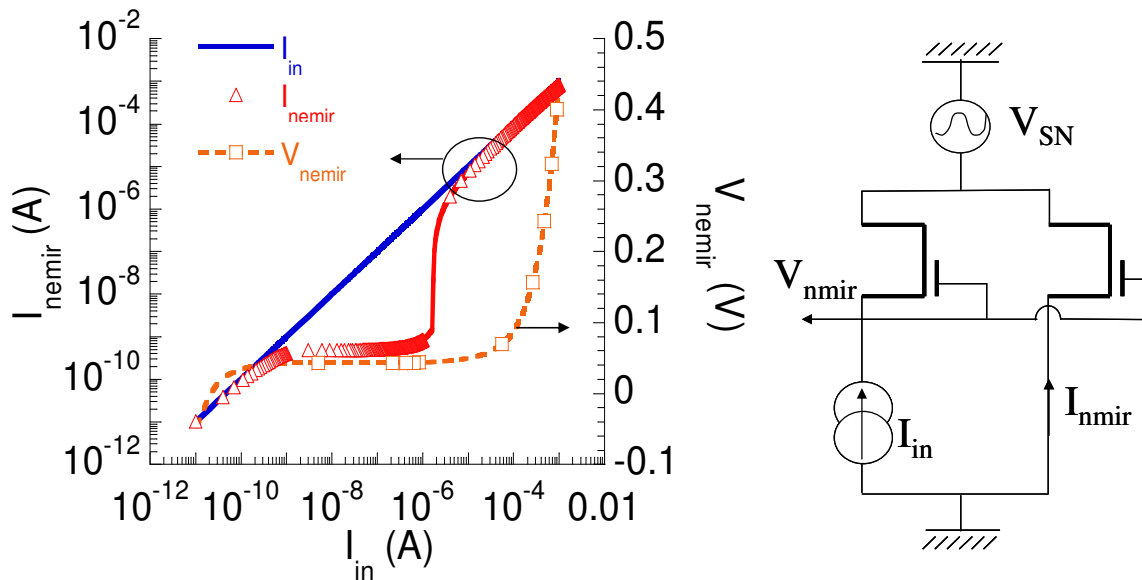


Figure II-5: (gauche) Schéma électrique du miroir de courant à base de n-IMOS ($L_G=350$ nm, $L_{IN}=200$ nm, $T_{Si}=100$ nm et $T_{ox}=9$ nm, $\Phi_M=4$ eV, $W_n=1\mu$ m). (droite) Courant de sortie I_{smir} et tension de grille V_{smir} en fonction du courant d'entrée I_{in} [Mayer 08].

II.4 Porte NAND

Dans un « design » standard de porte NAND (**Figure II-6**: gauche) ou NOR, trois transistors sont branchés en série. Dans un circuit à base de I-MOS, cela n'est plus possible, car il faudrait compenser le fait que le I-MOS ne restitue qu'une partie de la tension appliquée par une alimentation plus importante. Dans ce paragraphe, nous allons donc proposer un design innovant de porte NAND, mieux adapté aux spécificités du I-MOS. Ce nouveau design est présenté sur la **Figure II-6** (droite). Comparé au design MOS, les deux transistors en parallèle sont maintenus et servent d'entrée aux signaux V_a et V_b , mais les deux transistors en série sont remplacés par un miroir de courant. Ainsi le I-MOS supérieur est contrôlé par un courant d'entrée I_{in} . Comme précédemment, nous considérerons ici le cas avec des alimentations symétriques $V_{DD} = -V_{SN} = V_{SP}$ et des transistors équilibrés en prenant $W_p = 3.W_n$. Nous définirons par la suite l'état logique « 0 » pour $V_{a,b,out} < -2V$ et l'état logique « 1 » pour $V_{a,b,out} > 2V$.

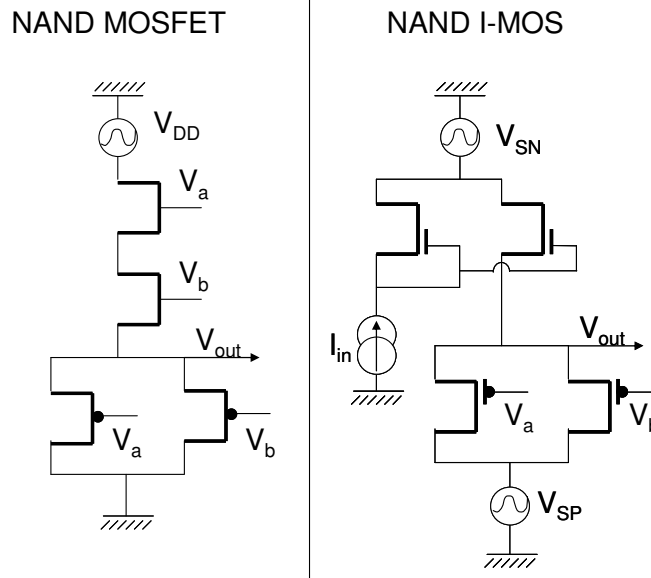


Figure II-6 : (droite) Schéma électrique d'une porte NAND adaptée aux spécificités du I-MOS (gauche) Schéma électrique d'une porte NAND « classique » CMOS [Mayer 08].

La **Figure II-7** représente la caractéristique de transfert $V_{out}(V_b)$ pour différentes valeurs de tension V_a ($V_{DD} = 13.5V$, $I_{in} = 0.1mA$). L'insert représente la table de vérité de notre porte, avec les états logiques tels que définis précédemment. Cette table de vérité correspond bien à une porte NAND.

L'impact de V_{DD} sur les performances de la porte logique est représenté sur la **Figure II-8**. V_{switch} est la tension pour laquelle $V_b = V_{out}$ (\sim tension de commutation) et ΔV_{out} est défini par $V_{out}(V_b = -2V) - V_{out}(V_b = 2V)$. Lorsque V_{DD} augmente, V_{switch} se décale vers les tensions positives, ce qui est cohérent avec l'analyse de l'inverseur réalisé précédemment. ΔV_{out} présente un maximum pour $V_{DD} = 13.35V$, ce qui correspond à la tension d'avalanche du p-IMOS (rappel: $V_{BRp} = 13.35V$, $V_{BRn} = 12V$). Il n'est pas recommandé d'utiliser une polarisation supérieure à 13.35V, sinon les I-MOS restent à l'état passant, conduisant à une forte consommation statique.

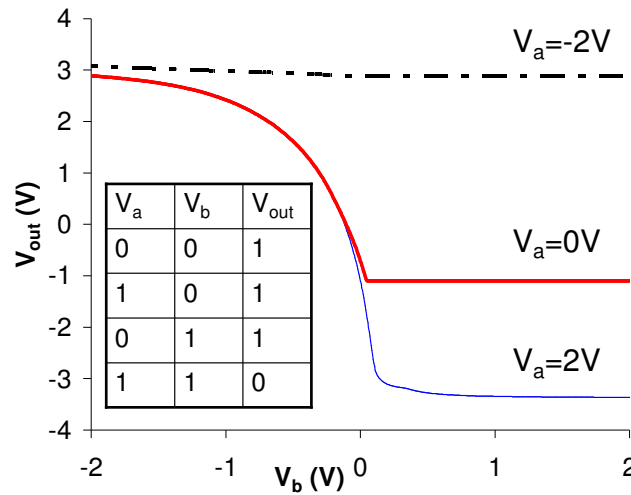


Figure II-7 : Caractéristique de transfert $V_{out}(V_b)$ simulée pour différentes valeurs de polarisation V_a . L'insert représente la table de vérité de notre porte et correspond bien à une porte NAND à $V_{DD}=13.5V$ et $I_{in}=0.1mA$ ($L_G=350nm$, $L_{IN}=200nm$, $T_{Si}=100nm$ et $T_{ox}=9nm$, $\Phi_M=4eV$, $W_p=3.W_n$) [Mayer 08].

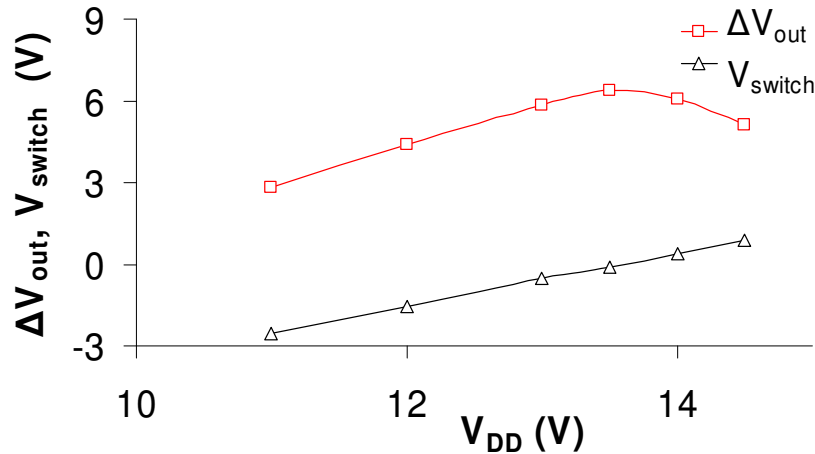


Figure II-8 : La tension de commutation V_{switch} (définie à $V_b = V_{out}$) et l'amplitude de sortie ΔV_{out} définie par $V_{out}(V_b = -2V) - V_{out}(V_b = 2V)$ sont tracées en fonction de V_{DD} pour une porte NAND I-MOS simulée ($L_G=350nm$, $L_{IN}=200nm$, $T_{Si}=100nm$ et $T_{ox}=9nm$, $\Phi_M=4eV$, $W_p=3.W_n$, $V_{DD}=13.5V$, $I_{in}=0.1mA$) [Mayer 08].

Comme cette porte est basée sur un inverseur, nous pouvons extraire le SNM avec la méthode décrite au paragraphe II.1. Nous allons aussi définir le gain comme le minimum de $\partial V_{out} / \partial V_b$. Ces paramètres sont représentés sur la **Figure II-9** en fonction de V_{DD} . De plus, le gain et la SNM d'un inverseur CMOS ($L_G=350nm$) sont représentés. L'alimentation du MOS est standard pour ce nœud technologique : $0V < V_{DD} < 3V$.

Le gain et la SNM de la porte NAND I-MOS suivent la même tendance : elles présentent un maximum vers $13.35V$, la tension d'avalanche du p-IMOS. Comparé au MOSFET, le gain du

I-MOS est supérieur de 8% à $V_{DD}=V_{BR,p}$ et reste supérieur au cas MOSFET sur une plage de polarisation d'environ 1V (pour $V_{BR,p}-0.5V < V_{DD} < V_{BR,p}+0.5V$). En dehors de cette plage, le gain chute rapidement. Concernant la stabilité du circuit, à $V_{DD}=V_{BR,p}$, la SNM est 2.4 fois plus élevée que pour une porte NAND CMOS. De plus la SNM de la porte I-MOS reste supérieure à celle de la porte MOSFET sur une plage importante : $V_{BR,p}-1.5V < V_{DD} < V_{BR,p}+1.5V$. Cela confirme que les circuits à base de I-MOS sont plus stables que leurs homologues MOSFET.

Nous avons vérifié que l'impact de I_{in} sur ΔV_{out} , V_{switch} , le gain et la SNM est négligeable pour $10^{-9}A < I_{in} < 10^{-5}A$. Cela est en accord avec l'étude du miroir de courant, pour lequel V_{smir} (la tension de grille du transistor de sortie) était constante pour cette gamme de courant d'entrée.

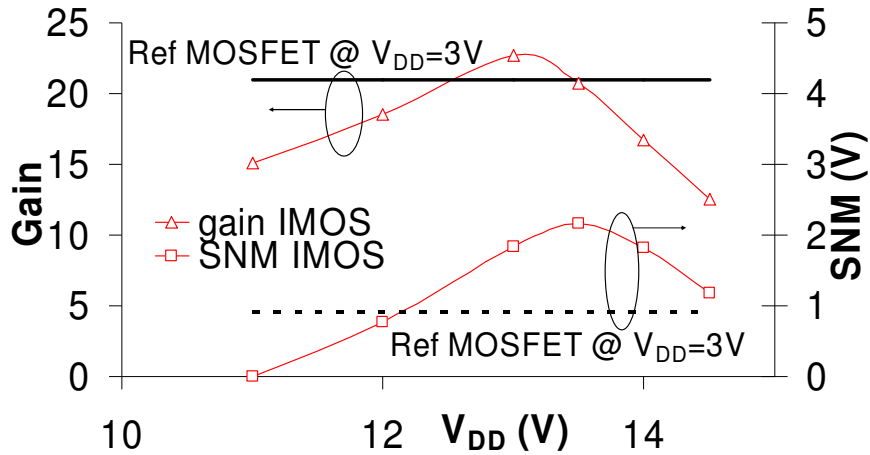


Figure II-9 : Gain et SNM simulés d'une porte NAND I-MOS en fonction de la tension d'alimentation V_{DD} ($L_G=350nm$, $L_{IN}=200nm$, $T_{si}=100nm$ et $T_{ox}=9nm$, $\Phi_M=4eV$, $W_p=3.W_n$, $V_{DD}=13.5V$, $I_{in}=0.1mA$). Les références MOSFET concernent une porte NAND « classique » alimentée entre 0 et 3V, avec $L_G=350nm$ [Mayer 08].

Pour terminer cette étude sur la porte NAND I-MOS, nous avons étudié la consommation statique de notre porte. La **Figure II-10** représente la puissance statique P_{stat} en fonction de I_{in} pour différents V_{DD} . V_a est toujours à l'état « 1 » ($V_G < -2V$) tandis que V_b est soit à l'état « 1 » soit à l'état « 0 ». Comme précédemment, la référence CMOS est aussi représentée. La combinaison d'entrée « 1 » (V_a) et « 1 » (V_b) conduit à une faible consommation statique de l'ordre de $10^{-10}W/\mu m$, indépendamment de I_{in} . Cette valeur est légèrement supérieure à celle du CMOS, mais peut être ajustée en diminuant V_{DD} à 12V.

Cependant, la combinaison d'entrée « 1 » (V_a) et « 0 » (V_b) est défavorable au design I-MOS : cette combinaison entraîne une forte puissance consommée, car les I-MOS ne se bloquent plus. Réduire V_{DD} n'entraîne qu'une faible diminution de P_{stat} . Pour bloquer le I-MOS relié au miroir de courant, I_{in} doit être inférieur à $2.10^{-12}A$, ce qui est très contraignant. Le cas « 0 » (V_a) et « 0 » (V_b) n'est pas montré sur la figure, mais est identique au cas « 1 » (V_a) et « 0 » (V_b) avec une puissance consommée de $7.10^{-2}W/\mu m$ (pour $I_{in} > 2.10^{-12}A$).

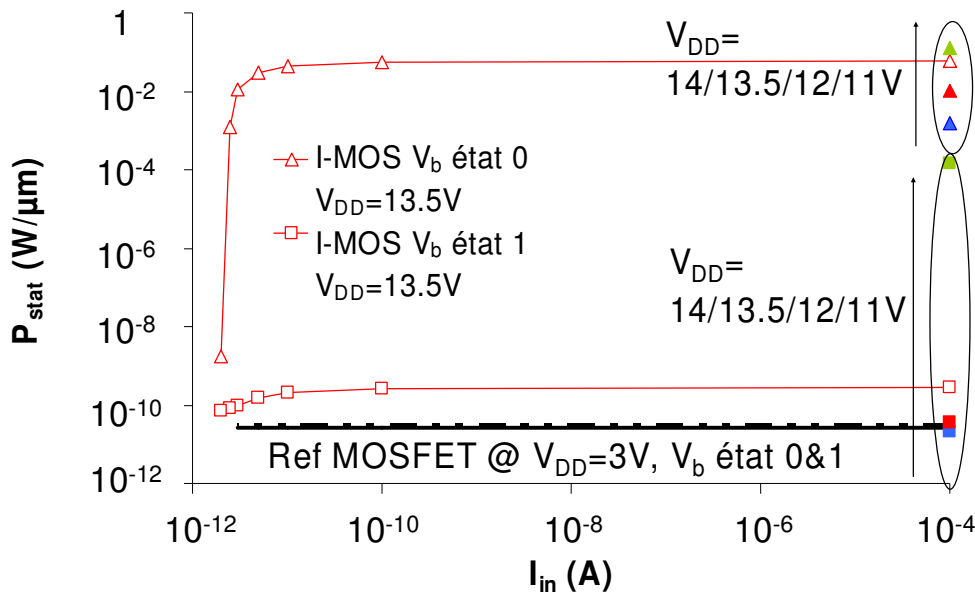


Figure II-10 : Puissance statique P_{stat} (normalisée par rapport à W_n) en fonction de I_{in} pour différentes combinaisons d'entrée d'une porte NAND I-MOS ($L_G=350nm$, $L_{IN}=200nm$, $T_{Si}=100nm$ et $T_{ox}=9nm$, $\Phi_M=4eV$, $W_p=3.W_n$). La référence du design NAND CMOS est aussi tracée [Mayer 08].

II.5 Porte NOR

La porte NOR I-MOS proposée est similaire à la porte NAND I-MOS : on inverse simplement les transistors type n et p (et les alimentations) : voir **Figure II-11**. Les caractéristiques de transfert sont tracées sur la **Figure II-12** ainsi que la table de vérité correspondante (NOR). Les analyses et les conclusions sont similaires à celles obtenues avec la porte NAND.

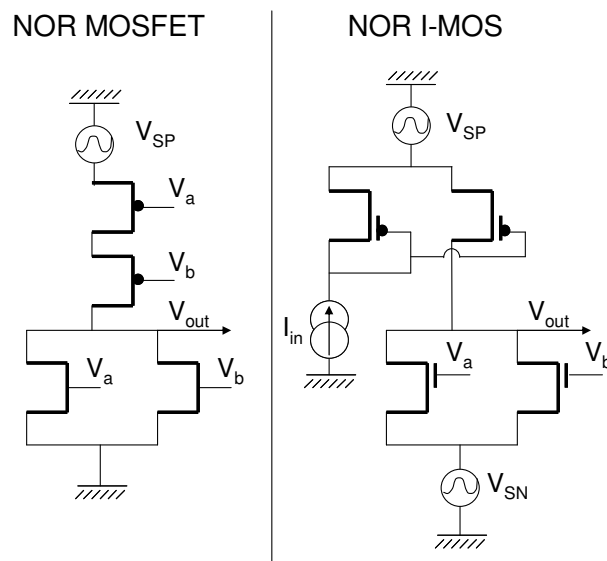


Figure II-11 : (droite) Schéma électrique d'une porte NOR adaptée aux spécificités du I-MOS (gauche) Schéma électrique d'une porte NOR « classique » CMOS.

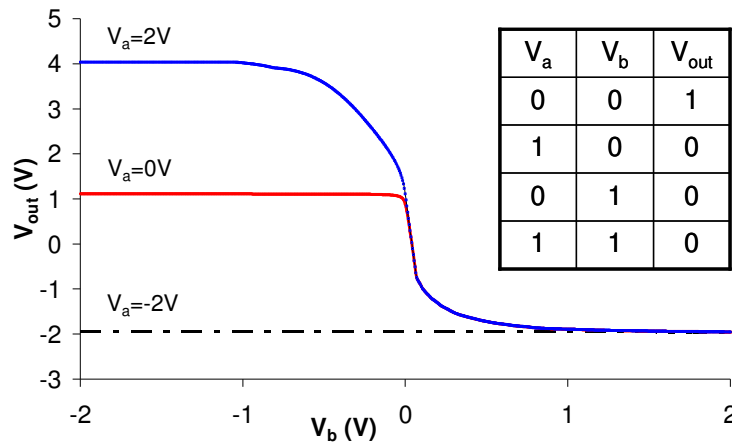


Figure II-12 : Caractéristique de transfert $V_{out}(V_b)$ simulée pour différentes valeurs de polarisation V_a . L'insert représente la table de vérité de notre porte (NOR) à $V_{DD}=13.5V$ et $I_{in}=0.1mA$ ($L_G=350nm$, $L_{IN}=200nm$, $T_{Si}=100nm$ et $T_{ox}=9nm$, $\Phi_M=4eV$, $W_p=3.W_n$).

III Conclusions du chapitre

Avec ce chapitre, nous avons pour objectif d'établir un modèle analytique, le premier pour le I-MOS et de l'intégrer dans un simulateur de type SPICE afin d'étudier le I-MOS dans un environnement circuit. Le modèle que nous avons bâti pour le I-MOS sur SOI est basé sur l'approximation du potentiel parabolique pour prendre en compte les effets 2D dans notre dispositif. Nous avons établi un modèle qui prend en compte les paramètres géométriques suivants : l'épaisseur du film de Si, T_{Si} , (l'épaisseur de l'oxyde enterré est supposé infini), l'épaisseur de l'oxyde de grille T_{ox} , la longueur de grille L_G , la longueur de la zone intrinsèque L_{IN} et les paramètres technologiques suivants : le travail de sortie de la grille Φ_M , le dopage de la source N_S , et le dopage du canal N_{canal} (inférieur à $10^{16} cm^{-3}$). Ce modèle a permis de calculer la tension d'avalanche avec une erreur inférieure à 5% (comparé à la TCAD). De même, les variations de V_{BR} avec T_{Si} sont parfaitement prises en compte. A l'état ON, le I-MOS est modélisé comme un MOSFET en régime linéaire, la difficulté étant de calculer le V_{DS} sous la grille. De plus, notre modèle est valable pour tous les semiconducteurs à condition de connaître les coefficients d'ionisation par impact. En particulier, notre modèle s'applique au Ge.

La principale piste d'amélioration de notre modèle serait l'introduction d'un calcul de partage de la zone de désertion entre la diode horizontale et la capacité de grille verticale, qui permettrait de ne pas avoir à approximer la capacité de grille par une expression 1D. Cette approche permettrait alors de mieux décrire les variations de la tension de seuil avec la tension V_{SD} .

L'introduction de notre modèle analytique dans un environnement SPICE s'est faite à l'aide de fonctions de raccord comme par exemple des fonctions tangentes hyperboliques. Ces fonctions assurent la dérivabilité et la continuité de la dérivée. Bien que peu développé dans ce manuscrit, ce travail a nécessité beaucoup d'investissement. Sous sa forme compacte, ce modèle

nous a ensuite permis d'étudier des circuits à base de I-MOS. Dans ce chapitre, nous avons étudié des circuits 100% I-MOS et nous avons pu tirer des conclusions quant au fonctionnement du I-MOS dans un environnement circuit. Nous avons mis en évidence que le I-MOS ne peut pas être utilisé pour des applications de type miroir de courant, car contrairement au MOSFET, il n'y a pas de régime de saturation où le courant serait indépendant de V_{SD} .

Nous avons ensuite étudié l'inverseur I-MOS. Son comportement diffère de l'inverseur CMOS : il ne commute pas de 0 à V_{DD} . En effet, seule une fraction de V_{DD} est transmise en sortie. De plus, l'inverseur I-MOS nécessite une double alimentation $\pm V_{DD}$ pour faire fonctionner les I-MOS n et p. Malgré cela, nous avons montré que les tensions de sortie étaient compatibles avec un deuxième étage d'inverseur I-MOS. Finalement, l'inverseur I-MOS est plus proche dans son comportement d'un pont diviseur de tension. Dans les états « 0 » et « 1 », l'inverseur ne consomme presque pas de courant et il s'avère plus stable que son équivalent CMOS. Cette amélioration de la stabilité est cohérente avec les études TCAD sur l'inverseur [Choi 05].

A cause des particularités du I-MOS listées ci-dessus, il est impossible d'utiliser un design de porte NAND ou NOR classique pour le I-MOS. C'est pourquoi nous avons proposé un design de porte NAND/NOR mieux adapté aux spécificités du I-MOS en combinant un inverseur et un miroir de courant. En terme de gain, nous avons mis en évidence une amélioration de 8% par rapport au design CMOS classique. Nous avons aussi vérifié que la porte NAND est plus stable que la porte MOSFET (SNM_{x2.4}). L'inconvénient majeur de cette structure vient de la forte consommation statique engendrée pour certaines combinaisons d'entrée. Cela peut être résolu en diminuant le courant de contrôle I_{in} à des valeurs inférieures au pico ampère, mais reste très restreignant.

Les performances des circuits à base de I-MOS peuvent être améliorées en utilisant des alimentations dissymétriques ou en utilisant des travaux de sortie différents pour les grilles des transistors de type n et p. En ce qui concerne les tensions d'alimentation, elles peuvent être réduites en diminuant L_{IN} ou en utilisant un matériau faible gap comme le Ge [Mayer 07b].

Bien que ces résultats aient été obtenus avec une technologie mature, les circuits 100% I-MOS ne seront pas plus compétitifs que les circuits CMOS avec une technologie plus agressive. En technologie I-MOS, l'avantage d'avoir une faible pente sous le seuil ($S < 60 \text{ mV/dec}$) est contrebalancé par une tension de seuil variable avec V_{SD} . Une solution serait peut être de co-intégrer des CMOS et des I-MOS au sein d'un même circuit, dans le quel le I-MOS « doperait » localement les performances tandis que le comportement global du circuit resterait proche de celui d'un circuit CMOS. Finalement, ce modèle a été mis à disposition des concepteurs afin de déterminer les potentialités de ce dispositif, notamment en co-intégration avec des transistors CMOS.

Références

- [Choi 05] W.Y. Choi, J.Y. Song, J.D. Lee, Y.J. Park and B.J. Park, “70-nm Impact-Ionization Metal-Oxide-Semiconductor (I-MOS) Devices Integrated with Tunneling Field-Effect Transistors (TFETs)”, IEDM, p. 975-978, December 2005.
- [Frank 98] D.J. Frank, Y. Taur, H.S.P. Wong, “Generalized Scale Length for Two-Dimensional Effects in MOSFET’s”, IEEE Electron Device Letters, Vol. 19, N°10, p. 385-387, October 1998.
- [Gildenblat 06] G. Gildenblat, X. Li, W. Wu, H. Wang, A. Jha, R. van Langevelde, G.D.J. Smit, A.J. Scholten and D.B.M. Klaasen, “PSP : An Advanced Surface-Potential-Based MOSFET Model for Circuit Simulation”, IEEE Transactions on Electron Devices, Vol. 53, N°9, p. 1979-1993, September 2006.
- [Gopalakrishnan 05] K. Gopalakrishnan, R. Woo, C. Jungemann, P.B. Griffin and J. Plummer, “Impact Ionization MOS (I-MOS) – Part I: Device and circuit simulations”, IEEE Transactions on electron devices, vol. 52, N°1, p. 69-76, January 2005.
- [Hurkx 92] G.A.M. Hurkx, H.C. de Graaf, W.J. Kloosterman and M.P.G. Knuvers, “A New Analytical Diode Model Including Tunnelling and Avalanche Breakdown”, IEEE Transactions on Electron Devices, Vol. 39, N°9, p. 2090-2098, September 1992.
- [Langevelde 00] R. van Langevelde, F.M. Klaassen, “An Explicit surface-potential-based MOSFET model for circuit simulation”, Solid-State Electronics, Volume 44, Issue 3, p. 409-418, March 2000.
- [Liang 04] X. Liang, Y. Taur, “A 2D Analytical Solution for SCEs in DG MOSFETs”, IEEE Transactions on Electron Devices, Vol. 51, N°8, p. 1385-1391, August 2004.
- [Lin 08] J. Lin, E.H. Toh, C. Shen, D. Sylvester, C.H. Heng, G. Samudra and Y.C. Yeo, “Compact HSPICE model for I-MOS device”, Electronics Letters, Vol.44, N°2, January 2008.
- [Mayer 06] F. Mayer, C. Le Royer, G. Le Carval, L. Clavelier and S. Deleonibus, “Static and Dynamic TCAD Analysis of IMOS Performance: From the Single Device to the Circuit”, IEEE Transaction On Electron Devices, Vol. 53, Issue 8, p. 1852-1857, August 2006.
- [Mayer 07] F. Mayer, T. Poiroux, G. Le Carval, L. Clavelier and S. Deleonibus, “Analytical and Compact Modelling of the I-MOS (Impact Ionization MOS)”, ESSDERC, p. 291-294, September 2007.
- [Mayer 07b] F. Mayer, C. Le Royer, G. Le Carval, C. Tabone, L. Clavelier and S. Deleonibus, “Comparative Study of the fabricated and simulated Impact Ionization MOS (IMOS)”, Solid-State Electronics, Vol. 51, Issue 4, p. 579-584, April 2007.

- [Mayer 08] F. Mayer, G. Billiot, T. Poiroux, C. Le Royer, and S. Deleonibus, "*CI-MOS (Impact Ionization MOSFET) based Circuits: Inverters, Current Mirrors and Logic Gates*", Solid-State Electronics, submitted, 2008.
- [Mentor] Mentor Graphics, "*Eldo User's Manual*".
- [Roig 06] J. Roig, E. Stefanov and F. Morancho, "*Safe design for TF-SOI power MOSFETs*", Electronics Letters, Vol.42, N°4, February 2006.
- [Seevinck 87] E. Seevinck, F.J. List and J. Lohstroh, "*Static-Noise Margin Analysis of MOS SRAM Cells*", IEEE Journal of Solid-State Circuits, Vol.22, N°5, p. 748-754, October 1987.
- [Shen 07] C. Shen, E. Toh, J. Lin, C.H. Heng, D. Sylvester, G. Samudra and Y.C. Yeo, "*A physics-based Compact Model for I-MOS Transistors*", SSDM, p. 608-609, September 2007.
- [Shen 07b] C. Shen, J.Q. Lin, E.H. Toh, K.F. Chang, P. Bai, C.H. Heng, G.S. Samudra, Y.C. Yeo, "*On the performance Limit of Impact-Ionization Transistors*", IEDM, p. 117-120, December 2007.
- [Suzuki 93] K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie and Y. Arimoto, "*Scaling Theory for Double Gate SOI MOSFET's*", Transactions on Electron Devices, Vol. 40, N°12, p. 2326-2329, December 1993.
- [Sze] S.M. Sze, "*Physics of Semiconductor Devices*", 2nd Edition, Ed. John Wiley & Sons, Inc
- [Toh 07] E. Toh, G.H. Wang, L. Chan, G.Q. Lo, G. Samudra and Y.C. Yeo, "*Strain and Materials Engineering for the I-MOS Transistor with an Elevated Impact-Ionization Region*", IEEE Transaction on Electron Devices, Vol.54, N°10, p. 2778-2785, October 2007.
- [Wu 04] W. Wu, T.L. Chen, G. Gildenblat and C. McAndrew, "*Physics-Based Mathematical Conditioning of the MOSFET Surface Potential Equation*", Transactions on Electron Devices, Vol. 51, N°7, p. 1196-1200, July 2004.

Conclusions et perspectives

L'objectif de cette thèse concernait l'évaluation d'une nouvelle architecture : le transistor à ionisation par impact (I-MOS). Les travaux réalisés durant cette thèse nous ont permis d'étudier en profondeur le transistor à ionisation par impact, depuis le matériau jusqu'au circuit. Nous avons étudié le dispositif par le biais de simulations TCAD, afin de comprendre le dispositif et d'analyser la physique mise en jeu dans le dispositif. Nous avons fabriqué nos propres dispositifs sur substrat SOI, $\text{Si}_{1-x}\text{Ge}_x\text{OI}$ et GeOI et proposé un procédé innovant de réalisation du I-MOS. Les dispositifs réalisés ont été testés électriquement afin de vérifier les propriétés fondamentales du I-MOS et de comparer les performances du I-MOS avec celles des MOSFET co-intégrés. Le fonctionnement des I-MOS en mode tunnel bande à bande a aussi été observé. Nous avons aussi développé un modèle analytique pour le I-MOS qui décrit correctement le fonctionnement électrique du dispositif. Ce modèle a ensuite été intégré dans un environnement SPICE pour réaliser ensuite des simulations de circuits à base de I-MOS.

Nous avons ainsi vérifié que le courant à l'état passant est proche de celui d'un MOSFET en régime linéaire, tandis que le courant à l'état bloqué est celui d'une diode PiN. Avec une pente sous le seuil mesurée de 2mV/dec à température ambiante, le I-MOS présente donc un meilleur compromis en terme de courant ON, OFF et de pente sous le seuil que le MOSFET. La stratégie d'optimisation du I-MOS sur SOI est similaire à celle du MOSFET : une diminution de la longueur de grille augmente le courant du I-MOS et une diminution de l'épaisseur du film de Si améliore l'électrostatique. De plus, une diminution de la longueur intrinsèque permet de diminuer linéairement la tension d'alimentation du I-MOS.

Cependant, le I-MOS souffre de plusieurs problèmes. D'abord les tensions d'alimentation sont trop élevées : même si elles diminuent avec la longueur de la zone intrinsèque, la tension limite est de l'ordre de 5V dans le Si, soit environ cinq fois la tension d'alimentation en logique CMOS. Nous avons vu que l'utilisation de Ge permet d'abaisser cette limite jusqu'à 1V. Cependant, l'utilisation de Ge sous forme pure reste encore confidentielle dans le monde de la microélectronique et rien ne laisse supposer que le Ge soit utilisé un jour dans cette industrie. De plus, le I-MOS présente une fiabilité exécrable, liée à la dégradation par porteurs chauds, inhérents au fonctionnement de cette architecture. A ce jour, ce problème n'a pu être résolu par aucune équipe dans le monde. Avec environ vingt cycles avant que l'effet transistor ne disparaisse, nos dispositifs sont les plus fiables. De plus, nous avons mis en évidence des effets 3D parasites qui dégradent les performances du I-MOS. Le dernier désavantage du I-MOS concerne le temps nécessaire pour que l'avalanche se produise, qui limite la vitesse de fonctionnement du dispositif.

En terme de circuit, le I-MOS présente des particularités qui nécessitent d'adapter le « design » des portes logiques. En effet, le I-MOS nécessite une certaine tension à ces bornes pour rester à l'état passant. Cela se traduit par exemple pour le cas de l'inverseur par une dynamique de sortie restreinte (la commutation ne se fait pas entre $\pm V_{DD}$). Ce problème couplé à

la forte valeur de la tension d'alimentation rend le design de circuits I-MOS complexe, car on ne peut pas mettre en série plus de deux I-MOS. Nous avons donc proposé une architecture de portes NAND/NOR plus adaptée aux spécificités du I-MOS. Cependant, cette nouvelle architecture souffre de problèmes de consommation à l'état statique. De plus, comparés aux performances des circuits CMOS, les circuits à base de I-MOS ne présentent qu'une plus forte stabilité, mais pas de bénéfice en gain. Comme le I-MOS présente une faible pente sous le seuil, ce dispositif aurait pu présenter un avantage dans un miroir de courant. Cependant, comme le I-MOS est équivalent à l'état passant à un MOSFET en régime linéaire, le courant dépend toujours de la tension V_{SD} . Le I-MOS n'est donc pas capable de « copier » le courant d'une branche à l'autre. Les circuits basés uniquement sur des I-MOS ne présentent donc aucun avantage par rapport à leurs équivalents CMOS. Il reste une voie qui n'a pas été explorée dans le cadre de cette thèse : la co-intégration de I-MOS et de MOSFET dans un circuit. Le I-MOS permettrait peut-être d'améliorer les performances s'il était utilisé conjointement avec des MOSFET.

Comme on l'a vu précédemment, malgré un meilleur compromis entre I_{ON} , I_{OFF} et S , le I-MOS souffre d'un important problème de fiabilité. Si on ajoute à la mauvaise fiabilité les difficultés de design et le manque d'intérêt des circuits à base de I-MOS, on peut en conclure que ce dispositif est un « bel outil de physique » mais n'est pas industrialisable à ce jour. Cependant, l'architecture du I-MOS similaire à celle du TFET peut fonctionner en mode TFET comme nous l'avons dans le chapitre IV. Le I-MOS en mode TFET présente l'avantage de s'affranchir des porteurs chauds, d'où une excellente fiabilité et fonctionne à des tensions basses ($\sim 0.5-1V$). Ce mode de fonctionnement permet de réduire la bipolarité par rapport à des TFET conventionnels, sans perdre de courant à l'état passant. De plus, le courant à l'état passant peut être amélioré par l'introduction de matériaux à faible gap, comme le SiGe ou le Ge. Ainsi, le TFET sera peut-être l'avenir du I-MOS...

Bibliographie de l'auteur

Papiers en Conférence:

- F. Mayer, C. Le Royer, J.-F. Damlencourt, K. Romanjek, F. Andrieu, C. Tabone, B. Previtali, and S. Deleonibus, "Impact of SOI, $Si_{1-x}Ge_x$ OI and GeOI substrates on CMOS compatible Tunnel FET performance", **accepted** IEDM 2008.
- F. Mayer, T. Poiroux, G. Le Carval, L. Clavelier and S. Deleonibus, "Analytical and Compact Modelling of the I-MOS (Impact Ionization MOS)", ESSDERC, p. 291-294, September 2007.
- F. Mayer, C. Le Royer, G. Le Carval, L. Clavelier C. Tabone and S. Deleonibus, "Co-integration of 2mV/dec Subthreshold Slope Impact Ionization MOS (I-MOS) with CMOS", ESSDERC, September 2006.
- F. Mayer, C. Le Royer, G. Le Carval, L. Clavelier C. Tabone and S. Deleonibus, "Comparative Study of the fabricated and simulated Impact Ionization MOS (IMOS)", ULIS, p 51-54, April 2006.
- F. Mayer, C. Le Royer, G. Le Carval, L. Clavelier C. Tabone and S. Deleonibus « Impact des paramètres géométriques sur les performances du IMOS (Transistor à ionisation par impact) », Journée Nationale du Réseau des Doctorants en Microélectronique (JNRDM), Mai 2006.

Papiers dans les journaux :

- F. Mayer, C. Le Royer, D. Blachier, L. Clavelier, and S. Deleonibus, « Avalanche Breakdown Due to 3-D Effects in the Impact-Ionization MOS (I-MOS) on SOI: Reliability Issues », IEEE Transaction on Electron Devices, Vol.55, N°6, p. 1373-1378, June 2008.
- F. Mayer, C. Le Royer, G. Le Carval, L. Clavelier, S. Deleonibus, "Experimental and TCAD Investigation of the two Components of the I-MOS (Impact Ionization MOSFET) Switching", IEEE Electron Device Letters, Vol. 28, N°7, p. 619-621, July 2007.
- F. Mayer, C. Le Royer, G. Le Carval, L. Clavelier and S. Deleonibus, "Static and Dynamic TCAD Analysis of IMOS Performance: From the Single Device to the Circuit", IEEE Transaction On Electron Devices, Vol. 53, Issue 8, p. 1852-1857, August 2006.
- F. Mayer, C. Le Royer, G. Le Carval, C. Tabone, L. Clavelier and S. Deleonibus, "Comparative Study of the fabricated and simulated Impact Ionization MOS (IMOS)", Solid-State Electronics, Vol. 51, Issue 4, p. 579-584, April 2007.
- F. Mayer, G. Billiot, T. Poiroux, C. Le Royer, and S. Deleonibus, "CI-MOS (Impact Ionization MOSFET) based Circuits: Inverters, Current Mirrors and Logic Gates", Solid-State Electronics, **submitted**, 2008.

Brevets :

- L. Clavelier, F. Mayer, M. Vinet and S. Deleonibus, "Procédé de réalisation de grille de transistor", EN 07 53288, deposited: 15-02-2007.
- F. Mayer, L. Clavelier, T. Poiroux et G. Billiot, « Procédé de réalisation de FinFET à grilles indépendante avec via recto verso », demande de brevet en France N°0755936 du 21-06-2007.

Communications:

- F. Mayer, C. Le Royer, G. Le Carval «*MOS à Ionisation par Impact (I-MOS) : Inverse de pente sous le seuil: 20 mV/dec*», Poster, Journée Des Doctorants de Grenoble 2006.
- F. Mayer, «*Etude, Réalisation et Caractérisation du Transistor à Ionisation par Impact (I-MOS)* », séminaire invité à l'IMEP, Grenoble, 19 juin 2008.

Etude, réalisation et caractérisation du transistor à ionisation par impact (I-MOS)

Le transistor à ionisation par impact (I-MOS) est une nouvelle architecture présentant l'avantage de s'affranchir de la barrière des 60mV/dec à température ambiante, qui limite la pente sous le seuil de l'architecture MOSFET classique. Le I-MOS se présente comme une diode PiN dont la zone intrinsèque est partiellement recouverte par une grille. L'objectif de cette thèse est d'évaluer les performances du I-MOS comme candidat potentiel à « l'après CMOS », à la fois du point de vue du dispositif unitaire et dans un environnement circuit. Nous avons étudié le dispositif par le biais de simulations TCAD, afin de comprendre le dispositif et d'analyser la physique mise en jeu dans ce transistor. Nous avons fabriqué nos dispositifs sur substrats SOI, $\text{Si}_{1-x}\text{Ge}_x\text{OI}$ et GeOI et proposé un procédé innovant de réalisation du I-MOS. Les dispositifs réalisés ont été testés électriquement afin de vérifier les propriétés fondamentales du I-MOS (2mV/dec mesurés...) et de comparer les performances du I-MOS avec celles des MOSFET co-intégrés. Le fonctionnement des I-MOS en mode tunnel bande à bande a aussi été observé. Nous avons également développé un modèle analytique pour le I-MOS qui décrit correctement le fonctionnement électrique du dispositif. Ce modèle a ensuite été intégré dans un environnement SPICE pour réaliser des simulations de circuits à base de I-MOS.

Mots clés: Ionisation par impact, pente sous le seuil, transistor, modélisation analytique, NAND, inverseur, I-MOS, GeOI, $\text{Si}_{1-x}\text{Ge}_x\text{OI}$.

Study, fabrication and characterisation of the impact ionization transistor (I-MOS)

The impact ionization transistor (I-MOS) is a new architecture enabling subthreshold slope smaller than 60mV/dec at room temperature, which is the intrinsic limit of the MOSFET architecture. The I-MOS is composed of a PiN diode, whose intrinsic area is partially covered by a gate. The target of this thesis is the performance evaluation of this new transistor from the single device to the circuit, as a potential post CMOS candidate. This device has been studied by the mean of TCAD simulations in order to investigate the I-MOS operation and to understand the underlying physics. Our I-MOS devices have been fabricated on SOI, $\text{Si}_{1-x}\text{Ge}_x\text{OI}$ and GeOI substrates. Furthermore, we have proposed an innovative fabrication process for the I-MOS architecture. The fabricated I-MOS have been tested in order to verify the basic proprieties of the device and their performance has been compared to the co-integrated MOSFET. The band to band tunnelling operation mode as also been observed. We have developed an analytical model for the I-MOS, which shows good results. This model has been integrated in a SPICE simulator and I-MOS based circuit simulations have been carried out.